

고속 시리얼 데이터 링크용 클럭 및 데이터 복원회로 설계

오 운 택, *이 흥 배, 소 병 춘, 황 원 석, 김 수 원
고려대학교 전자공학과, *삼성종합기술원

Design of a Clock and Data Recovery Circuit for High-Speed Serial Data Link Application

Woon-Taek Oh, Heung-Bae Lee, Byeoung-Chun So, Won-Suk Hwang, Soo-Won Kim
Department of Electronics Engineering, Korea University.
E-mail : wtoh@asic.korea.ac.kr

Abstract

This paper proposes a 2x oversampling method with a smart sampling for a clock and data recovery(CDR) circuit in a 2.5Gbps serial data link. In the conventional 2x oversampling method, the "bang-bang" operation of the phase detection produces a systematic jitter in CDR. The smart sampling in phase detection helps the CDR to remove the "bang-bang" operation and to improve the jitter performance. The CDR with the proposed 2x oversampling method is designed using Samsung 0.25 μ m process parameters and verified by simulation. Simulation result shows the proposed 2x oversampling method removes the systematic jitter.

I. 서론

최근 고속 데이터를 처리하기 위한 전송 표준은 P2P(Point-to-Point) 방식의 직렬 인터페이스 구조와 타이밍 클럭을 데이터와 함께 송신하여 셀프타이밍 인터페이스를 사용하여 수신기가 직렬 데이터 스트림으로부터 클럭 및 데이터를 복구하여 독자적으로 스쿼를 제거하는 방식을 채용하고 있다. [1][2][3]

클럭 및 데이터 복원 방식 중 가장 보편화 되어 있는 방식으로는 2배 과표본화 방식이 있다. 이 2배 과표본화 방식은 구조가 간단하다는 장점이 있지만 구조적인

문제로 Systematic Jitter를 가지고 있다는 단점이 있다.

본 논문은 Systematic Jitter를 제거하기 위한 2배 과표본화 방식을 제안하였으며 이 제안된 방식으로 2.5Gbps의 클럭 및 데이터 복원회로를 설계하였다.

II. 클럭 및 데이터 복원회로 설계

2.1 클럭 및 데이터 복원회로 전체 구조

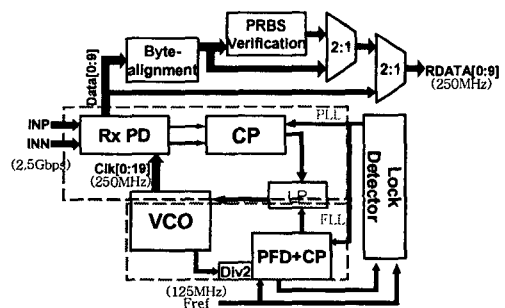


그림 1 클럭 및 데이터 복원회로 구조

전체 구조는 그림 1처럼 RxPD(Rx Phase Detector), CP(Charge Pump), VCO(Voltage Controlled Oscillator), Lock Detector, PRBS Verification 블록으로 구성되어 있으며 이중루프 구조로 외부의 기준 클럭의 주파수와 VCO의 출력의 2분주된 주파수를 동기 시키는 FLL(Frequency Locked Loop)과 입력되는 2.5Gbps의 직렬 데이터의 위상과 VCO에서 출력되는 20개의 클럭의 위상을 동기 시키는 PLL(Phase Locked

Loop)를 가지고 있다. 이 FLL과 PLL은 Lock Detector를 통하여 조정하게 된다.

동작은 FLL이 동작하여 외부의 클럭 125MHz의 주파수에 VCO의 출력 주파수를 동기 시킨 후 PLL이 동작하여 입력되는 2.5Gbps의 직렬 데이터의 위상과 VCO에서 출력되는 20개의 클럭 위상을 동기 시키게 된다.

이 FLL과 PLL 과정을 통해 RxPD에서 래치된 병렬 데이터는 PRBS Verification 블록을 통하여 BER(Bit Error Rate)을 측정하게 되며 250MHz의 병렬 데이터로 출력 된다.

2.2 RxPD

입력되는 2.5Gbps의 직렬 데이터를 VCO에서 생성되는 20개의 클럭을 이용하여 데이터를 샘플링하여 병렬 데이터로 변형 시켜주는 역할을 하게 된다. 구조는 20개의 SAFF(Sense-Amp Flip-Flop)을 병렬로 연결하여 VCO에서 출력되는 20개의 클럭을 이용한다. 설계된 RxPD에서 입력되는 직렬 데이터와 VCO의 출력 클럭 간의 위상을 동기 시키는 방법으로 제안된 2배 과표본화 방식(Proposed 2X Oversampling Method)을 사용하였다.

2.3 기존의 2배 과표본화 방식

그림 2는 기존의 2배 과표본화 방식으로 구현된 PD의 동작을 설명하는 것이다.

기존의 2배 과표본화 방식은 데이터의 천이 구간의 크로싱 포인트(Crossing Point)를 검출하여 VCO의 출력 클럭의 위상과 비교하여 UP/DOWN 신호를 출력하게 된다. 위상이 Lock이 되었을 경우에 크로싱 포인트를 검출하여야 하지만 구현하였을 경우 이 크로싱 포인트를 검출하지 못하고 UP/DOWN 신호를 계속 반복하여 출력하게 된다. 이러한 반복된 UP/DOWN 신호에 의해서 VCO의 입력 전압이 변화게 되고 변화된 입력 전압에 의해 VCO의 출력 주파수가 변화게 된다. 이런 출력 주파수의 변화는 PLL의 Systematic Jitter로 나타나게 된다.

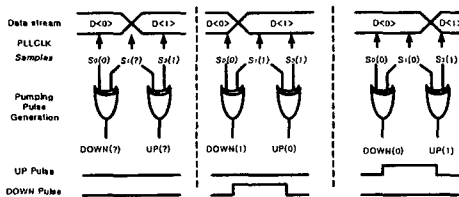


그림 2 기존의 2배 과표본화 방식으로 구현된 PD

2.4 제안된 2배 과표본화 방식

제안된 2배 과표본화 방식은 천이가 끝난 후의 데이터 값을 검출하여 펄스 생성 로직(Pulse Generator Logic)에 의해 UP/DOWN 신호를 발생하게 되며 Lock, UP, DOWN 상태가 명확하게 되어 기존의 2배 과표본화 방식에서 문제가 되던 Systematic Jitter를 제거할 수 있다. 그림 3은 제안된 2배 과표본화 방식으로 구현된 PD의 동작을 보여 주고 있다.

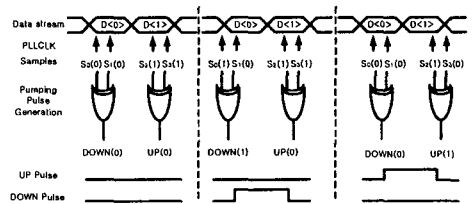
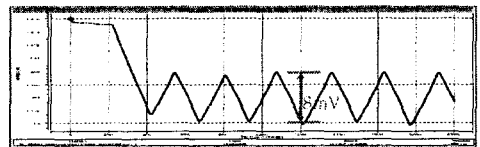


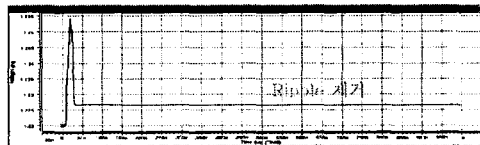
그림 3 제안된 2배 과표본화 방식으로 구현된 PD

제안된 2배 과표본화 방식은 동일 위상차를 가지는 20개의 클럭을 사용하는 기존의 2배 과표본화 방식과는 달리 각기 다른 위상차를 갖는 20개의 클럭을 이용하여 데이터와 VCO의 클럭의 위상을 비교한다.

그림 4는 기존의 2배 과표본화 방식과 제안된 2배 과표본화 방식으로 구현된 회로에서의 입력되는 2.5Gbps의 직렬 데이터의 위상과 VCO의 출력 클럭의 위상이 동기(Lock) 되었을 때의 PLL(Phase Locked Loop)의 모의실험에서 VCO의 입력 전압을 측정한 결과이다. 모의실험 결과 제안된 2배 과표본화 방식은 Systematic Jitter를 발생 시키는 VCO의 입력 전압의 변화가 없음을 확인할 수 있다.



(a)



(b)

그림 4. PLL의 모의 실험 결과 (a)기존의 2배 과표본화 방식 (b) 제안된 2배 과표본화 방식

기존의 2배 과표본화 방식이 가지고 있는 Systematic Jitter는 그림 5와 같다.

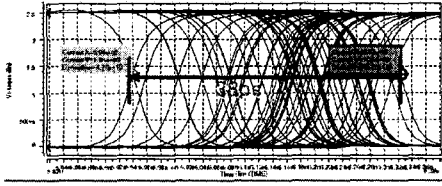


그림 5 Jitter 모의실험 결과

$$\Delta f_{VCO} = K_{VCO} \times \Delta VCO_{in}$$

$$\Delta f_{VCO} = 300\text{MHz/V} \times 8\text{mV} = 2.4\text{MHz}$$

$$\text{Jitter} = 38\text{ps}$$

기존의 2배 과표본화 방식이 가지고 있는 Systematic Jitter는 38ps이며 이 결과는 VCO의 입력 변화가 8mV 일 경우이다. 하지만 제안된 2배 과표본화 방식은 VCO의 입력 전압의 변화가 없으므로 PLL의 Systematic Jitter를 제거한 결과를 얻을 수 있다. 그림 6은 실제 구현된 RxPD이다. CLK<0>와 CLK<1>에 의해서 DN<0> 신호가 결정되며 CLK<1>과 CLK<12>가 동시에 High값을 갖는 구간에서 DN<0>가 출력된다. 또한 CLK<2>와 CLK<3>에 의해서 UP<0> 신호가 결정되며 CLK<2>와 CLK<14>가 동시에 High값을 갖는 구간에서 UP<0>가 출력된다.

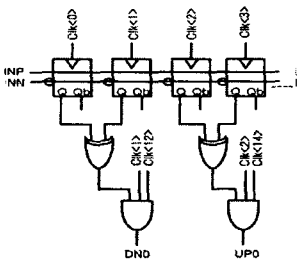


그림 6 구현된 RxPD

2.5 VCO

VCO는 제안된 2배 과표본화 방식에 사용되는 위상차가 다른 20개의 클럭을 만들어 내는 블록이며 위상보간 방식(Phase Interpolation Method)을 사용하였다. 링 발진부는 동일 위상차를 가지는 클럭을 출력하며 이 출력된 클럭은 위상보간기(Phase Interpolator)로 입력되어 필요한 위상차를 만들어 내게 된다. 그림 7은 VCO의 전체 구조도이다. 지연소자는 Diode-connected

로드를 가지는 셀로 구성되어 있으며 Replica bias를 사용하여 출력의 스윙(swing)을 일정하게 유지하도록 설계하였다.

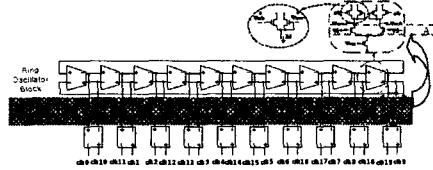


그림 7 VCO 전체 구조도

제안된 2배 과표본화 방식에 사용되는 클럭은 위상보간기의 지연소자의 입력 트랜지스터의 크기를 조정하여 위상차가 다른 20개의 클럭을 얻을 수 있다.

그림 8은 VCO의 출력 모의 실험 결과와 제안된 2배 과표본화 방식에서 사용되는 클럭의 데이터 샘플링 지점을 나타낸 것이다.

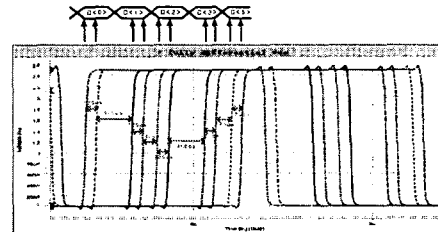
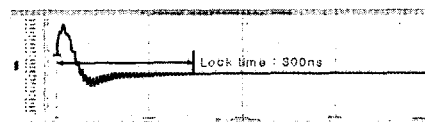


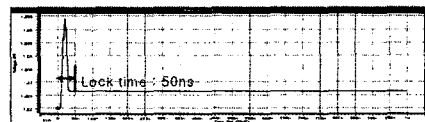
그림 8 VCO의 모의실험 결과 및 데이터의 샘플링 지점

2.6 모의실험 결과

모의실험은 FLL과 PLL의 전체적인 동작에 관하여 실험을 하였다. 입력 직렬 데이터는 2.5Gbps이며 외부 기준 클럭 주파수는 125MHz이다. FLL의 Lock time은 300ns이며 PLL의 Lock time은 50ns이다.



(a)



(b)

그림 9 설계된 클럭 및 데이터 복원회로의 FLL과 PLL의 CP의 출력 모의실험

2.7 Layout

공정은 삼성 0.25 μ m, 1-Poly, 5-Metal 공정을 사용하였으며 블록간의 연결은 Metal 4, 5를 사용하여 기생 성분배에 의한 영향을 최소화 하였다. 또한 VCO의 전압의 안정화를 위하여 Bypass cap으로 MOS Cap을 사용하여 전원과 접지를 연결하였다. 사용 면적은 2.5mm × 2mm이다.

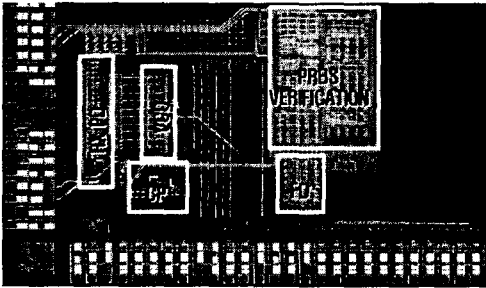


그림 10 클럭 및 데이터 복원회로의 Layout

III 결론

제안된 2배 과표본화 방식을 이용하여 클럭 및 데이터 복원회로를 설계하였다. 제안된 2배 과표본화 방식은 입력 데이터의 천이가 일어난 후의 값을 샘플링 하는 방식으로 Lock, DOWN, UP 상태가 명확하며 PLL의 동작에서 위상이 동기(Lock) 되었을 때 발생하던 VCO 입력 전압의 리플을 제거하였다. 모의실험 결과 VCO의 입력 전압의 리플에 의한 Systematic Jitter가 제거되었음을 확인 할 수 있다.

본 논문은 Infiniband, SONET, Gigabit Ethernet, 그 외 고속 I/O에서 활용 할 수 있다.

참고문헌

- [1] "A 1.0625Gbps Transceiver with 2x-Oversampling and Transmit Signal Pre-Emphasis", *ISSCC Digest of Technical Papers*, pp238-239, Feb. 1997
- [2] "A 0.5-3.5Gb/s Low-Power Low-Jitter Serial Data CMOS Transceiver" *ISSCC Digest of Technical Papers*, pp352-353, 1999
- [3] "Behzad Razavi, "Monolithic phase locked loops and clock recovery circuits", *IEEE*