

2.5Gbps 시리얼 데이터 링크 CMOS 트랜시버의 설계

이흥배*, 오운택, 소병춘, 황원석, 김수원

*삼성종합기술원 i-Networking Lab.

고려대학교 전자공학과 ASIC Lab.

Design of a 2.5Gbps Serial Data Link CMOS Transceiver

Heung-Bae Lee*, Woon-taek Oh, Byeoung-Chun So, Won-Suk Hwang, Soo-Won Kim

i-Networking Lab, Samsung Advanced Institute of Technology*

ASIC Lab, Department of Electronics Engineering, Korea Univ.

E-mail : leehb@samsung.com

Abstract

This paper describes a design for a 2.5Gb/s serial data link CMOS transceiver based on the InfiniBand™ specification. The transceiver chip integrates data serializer, line driver, Tx PLL, deserializer, clock recovery, and lock detector. The designed transceiver is fabricated in a 0.25 μm CMOS mixed-signal, 1-poly, 5-metal process. The first version chip occupies a 3.0mm x 3.3mm area and consumes 450mW with 2.5V supply. In 2.5 Gbps, the output jitter of transmitter measured at the point over a 1.2m, 50 Ω coaxial cable is 8.81ps(rms), 68ps(p-p). In the receiver, VCO jitter is 18.5ps(rms), 130ps(p-p), the recovered data are found equivalent to the transmitted data as expected.

In the design for second version chip, the proposed clock and data recovery circuit using linear phase detector can reduce jitter in the VCO of PLL.

I. 서론

인터넷의 발전 및 정보용량이 큰 멀티미디어 데이터에 의한 전송량의 증가로 초고속 통신에 대한 필요성이

커지게 되었다. 따라서 새로운 연결방식에 대한 논의가 이루어 지기 시작하였으며, LSI 사이를 1:1 로 연결하는 스위치 기반형 P2P(Point to Point) 접속과 가능한 한 적은 신호선으로 고속 데이터 전송속도를 실현하는 시리얼 전송을 사용하게 되었다.

일반적으로 수 Gb/s 전송률의 고속 시리얼 링크 트랜시버는 주로 GaAs 나 bipolar 와 같은 고속의 회로 소자를 사용하여 구현하였다. 이들 공정의 장점은 높은 동작 주파수(f_T)을 가지는 것이다. 그러나 CMOS 로 이루어지는 디지털 회로와 집적이 어렵다는 단점을 가지고 있다. 한편 CMOS 공정은 낮은 동작 주파수를 가지지만 고속 시리얼 링크 트랜시버를 매크로 블록으로 SoC(system on a chip)에 집적이 가능하다. CMOS 공정으로 멀티 기가 비트의 전송이 가능하도록 하기 위한 연구가 많이 이루어지고 있다.[2][3][4]

본 논문에서는 InfiniBand™ 의 전송 표준을 기본으로 하여,[1] 2.5Gb/s 속도의 데이터를 전송할 수 있도록 설계된 고속 시리얼 데이터 트랜시버의 전체 구조를 설명한다. 또한 1 차 제작된 칩에 대한 실험 결과를 보이고, 2 차 칩에서는 지터의 특성개선을 위한 새로운 클럭, 데이터 복원회로를 제안한다.

II. CMOS Transceiver 구조

그림 1 은 CMOS 트랜시버의 전체 구조도이다. 송신단

의 설계에서, BIST(Built in self test)을 위한 PRBS 생성기를 설계하였으며 병렬 입력 데이터를 시리얼 데이터로 변환하는 Serializer 는 클럭 주파수 속도의 부담을 줄일 수 있는 multiplexing 기법을 이용하였다. Serializer 에 공급할 균일한 위상차를 가지는 10 개의 다중 위상 클럭을 발생시키기 위해 다중 위상 클럭 발생기를 Charge pump PLL 를 이용하여 구현하였다. 고속 신호 전송이 가능한 차동형 전류 구동 라인 드라이버를 사용하여 드라이버를 구현하였으며 전류 구동 회로는 일정한 전류로 바이어스를 잡고 이 전류로 신호를 구동하기 때문에 다른 구동 회로에 비하여 전력 소모가 적다. Package 나 전송선의 특성에 의한 고주파 성분의 감쇄를 보상해 주기 위한 Pre-emphasis 회로를 출력의 라인 드라이브에 함께 연결하였다.

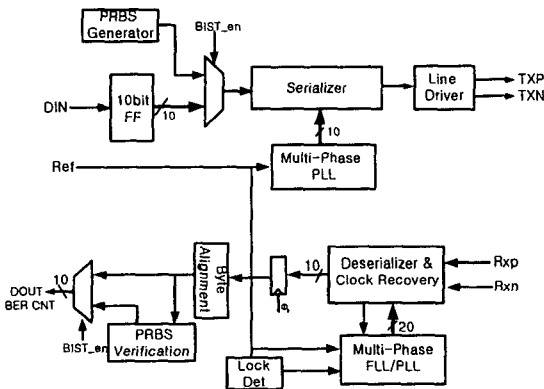


그림 1 CMOS 트랜시버의 전체 구조도

수신단은 전송선을 통해 입력되는 고속 시리얼 데이터를 병렬 데이터로 복원하는 Deserializer 을 SAFF(Sense amp flip flop)를 병렬로 연결하여 1:10 의 Serial-to Parallel 변환을 수행하였다. 수신단의 클럭, 데이터 복원회로는 Phase Locked Loop 과 Frequency Locked Loop 로 나누어지며 2X Oversampling 기법을 사용하였다. 2X Oversampling 을 위해서는 20 개의 다중 위상 클럭이 필요하며 이를 위해 10 Stage 차동 지연 소자를 이용하여 250MHz VCO 을 설계하였다. FLL 에 의해서 VCO 의 Free Running 주파수가 Center 주파수에 락(Lock) 되었는지를 판단하는 락 검출기를 구현하였다. 또한 복원된 데이터를 전송순서대로 다시 정렬시키는 바이트 정렬기와 복원된 데이터의 에러율을 확인하기 위한 PRBS 검증기를 내장하여 칩을 설계하였다.

III. 클럭 데이터 복원 회로

지터의 특성개선을 위한 클럭, 데이터 복원회로를 제안한다. 기존 bang bang 형태의 위상검출기를 가진 2X Oversampling 기법은 PLL 이 Lock 된 상태에서도 루프 필터 전압에 주기적인 리플 신호가 발생하여 PLL 에서 생성된 다중위상 클럭에 지터로 작용하게 되어 BER 이 나빠지는 현상이 생긴다. 이러한 문제점을 해결하기 위한 방법으로 위상검출기를 선형 증폭기(linear amp)를 사용하여 PLL 을 구성해서 새로운 클럭, 데이터 복원 회로를 설계하였다.

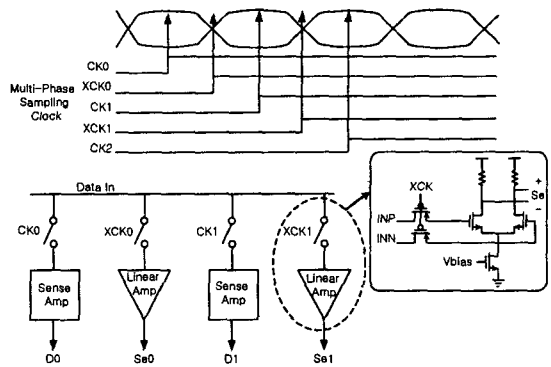


그림 2 2X Oversampling 수신부

그림 2 는 2X oversampling 수신부를 나타낸다. 2X oversampling 은 PLL 이 입력 데이터에 락 된 경우, CK0-CK9 은 심볼 비트의 중앙을 샘플하게 되고, XCK0-XCK9 은 데이터 천이의 에지(edge)을 샘플하게 된다. 센스앰프에서 샘플된 데이터는 수신된 데이터 비트가 된다. 선형증폭기에서 샘플된 아날로그값(Se)은 타이밍복원을 위한 선형 위상 검출기(linear phase detector)에서 사용된다.

그림 3 는 데이터의 천이가 샘플링 클럭보다 빠를 경우의 위상 검출 방법의 예이다. PLL loop 이 언락(unlock) 이라고 가정하면, 에지에서의 샘플은 Zero 의 값이 아니며 위상차이에 선형적인 값으로 표현될 수 있다. 데이터의 천이가 H→L, L→H 에 따라 극성을 보정해 주어야 하는데, 그림 3 에서 INP 가 H→L 로 천이가 일어나는 경우, Se 값은 0 보다 작게 되고 데이터 천이에 비해 샘플 클럭이 늦었다는 것을 나타낸다. INP 가 L→H 로 데이터 천이가 일어나는 경우, Se 값은 0 보다 크게 되고 이 경우는 극성을 반대로 보정해 주어야

한다.

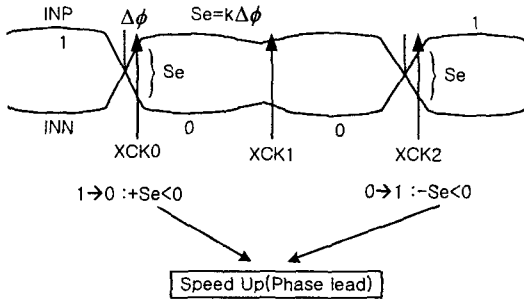


그림 3 선형 위상 검출 방법(샘플 클럭이 늦음)

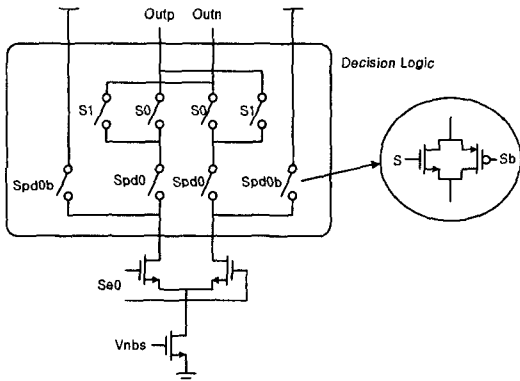


그림 4 제안된 선형 데이터 위상 검출기

그림 4 은 제안된 선형 데이터 위상 검출기이다. 선형 증폭기에서 증폭된 Se 값을 받아들여 위상 검출기에 입력된후 decision logic 의 제어신호에 의해 극성 보정된후 출력된다. decision logic 은 Spd 스위치가 심플 비트 구간 동안만 온(ON)되기 때문에 고속에서의 동작이 요구된다. 그림 4 에서 decision logic 의 스위치 S0, S1 은 입력신호의 극성을 바꾸어 주는 역할을 하는 극성 보정용 스위치이고, Spd 는 입력 신호를 온 오프(on/off)하는데 사용한다. 모든 스위치는 NMOS, PMOS 을 결합한 전송 게이트로 구성된다. 앞서 설명한 INP 가 H→L 천이가 일어날 때 샘플 클럭이 늦은 경우, S0 스위치가 온이고 S1 스위치는 오프이다. 반대로 INP 가 L→H 천이가 일어날 때 샘플 클럭이 늦은 경우, S0 스위치가 오프이고 S1 스위치는 온되어 극성 보정이 일어난다.

데이터 천이가 없는 H→H, L→L 인 경우, Spd0 스위치가 오프되어 위상 검출기 출력에 위상 검출 에러 양이 전달되지 않도록 한다. Spd0b 스위치를 두는 이유는 Spd0 스위치가 오프되면 바이어스 전류에 의해 테일 전류 소

스(tail current source) 및 차동쌍(differential pair)의 드레인 전압이 GND 로 떨어지게 된다. 다시 Spd0 스위치가 ON 되었을 때 테일 전류 소스의 드레인 전압이 정상적인 바이어스 전압으로 돌아오는데 시간이 필요하며 고속 동작에 어려움이 생기게 된다. 따라서 Spd0 가 오프일 때 Spd0b 스위치를 두어 테일 전류 소스의 드레인 전압이 항상 일정하게 유지 되도록 한다. 또한 위상검출기 출력의 공통 모드 전압(commom mode voltage)의 급격한 변동을 막아 위상 검출기가 안정적으로 동작하도록 한다.

그림 5 는 Spd, Spdb 스위치 전압을 만들기 위한 조합 논리 회로를 보여준다. 센스 앰프의 출력인 수신된 데이터 S0, S1 을 극성 보정용 스위치 제어 전압으로 사용한다. 데이터의 천이가 있는 경우에만 XOR 게이트 출력이 High 가 되고, 센스 앰프의 Valid 제어 신호에 의해 심플 비트 구간에서만 Spd 신호를 High 로 출력하게 된다.

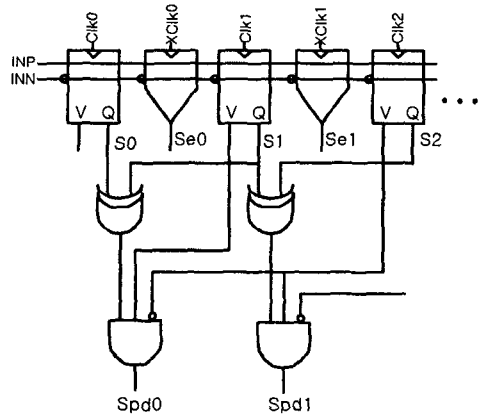


그림 5 선형 위상 검출기를 위한 조합 논리회로

데이터 위상 검출기에서 극성 보정된 위상에러량은 출력에서 부하저항에 의해 전류합이 이루어진다. 전류합된 위상에러량은 전하 펌프에 공급된 후, 루프 필터에서 LPF 되어 VCO 를 제어하게 된다.

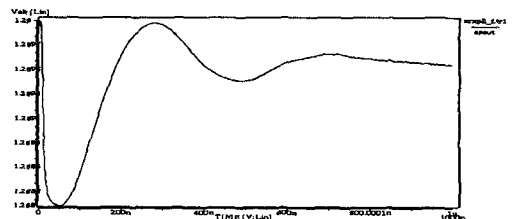


그림 6 PLL 전하펌프 출력의 모의실험 파형도

PLL 이 락 된상태에서 전하펌프 출력에서의 리플을 그림 6 에서와 같이 모의실험 결과 0.2mV 이내로 구현 하였다. 2X oversampling 방법에서 나타나는 bang bang 형태의 전압 리플이 6mV 정도일때 VCO Sensitivity 을 고려하면, 약 21ps 의 Jitter 가 발생한다. 따라서 리플 을 감소시키는 것에 의해 VCO 출력의 jitter 개선을 기대할 수 있다.

IV. 실험결과

그림 7 은 1 차 트랜시버 칩의 사진이고, 그림 8 은 송신 단 실험결과이다. 송신단 출력 스윙 600mV(single-ended)에서 지터는 8.81ps(rms), 68ps(p-p)이고, Eye Opening 은 InfiniBand 의 Driver 규격인 0.35UI 을 만족하는 260ps 이다. 수신부에서 측정된 클럭의 지터는 18.5ps(rms), 130ps(p-p)이며 튜닝 범위는 56MHz-340MHz 이며 VCO Sensitivity 는 284MHz/V 이다.(그림 9)

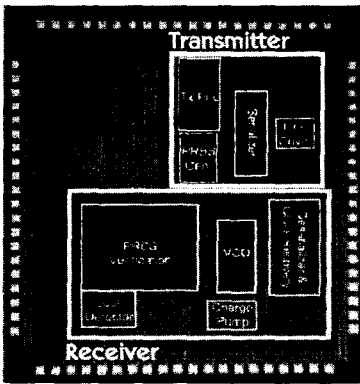


그림 7 트랜시버 칩 사진

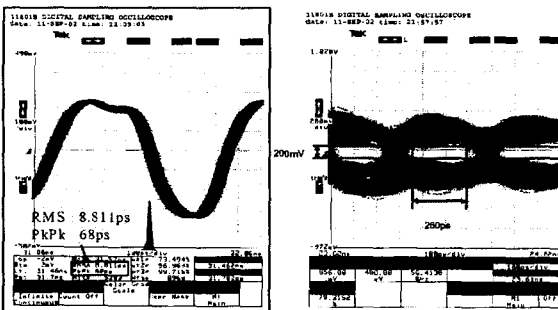


그림 8 송신단 지터 및 Eye Diagram

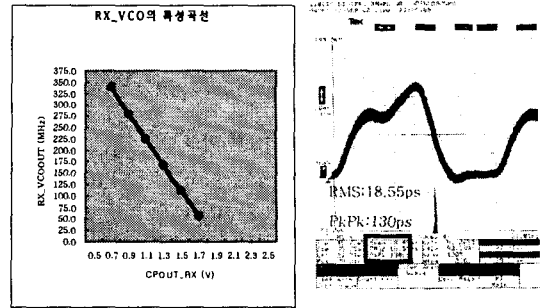


그림 9 수신단 VCO 특성

V. 결론

시리얼 데이터 전송을 위한 CMOS 트랜시버를 구현하였으며 송신단은 Serializer, 다중 위상 PLL, 라인 드라이버등으로 구성된다. 수신단은 클럭 데이터 복원을 위한 FLL 과 PLL, Deserialize, 바이트 정렬기, PRBS 검증 기등으로 구성된다. 본 논문에서 제시한 구현 기술은 멀티 기가 비트의 네트워크 뿐만 아니라 유사한 시리얼 링크 시스템에도 활용이 가능할 것이다.

참고문헌

[1] "InfiniBand™ Architecture Specifications Release 1.0a", www.infinibandta.org
 [2] C.K.K.Yang, Ramin Farjad-Rad, Mark A. Horowitz, "A 0.5um CMOS 4.0Gb/s serial link transceiver with data recovery using oversampling" *IEEE JSSCC* Vol.33 No.5, pp.713-722, May. 1998
 [3] Ramin Farjad-Rad, C.K.K.Yang, Mark A. Horowitz, Thomas H. Lee, "A 0.3um CMOS 8Gb/s 4-PAM Serial Link Transceiver", *IEEE Journal of Solid-State Circuits*, Vol.35, No.5, pp.757-764, May. 2000.
 [4] Richard Gu, James M. Tran, Heng Chih Lin, Ah Lyan Yee, Martin Izzard, "A 0.5-3.5Gb/s Low Power Low Jitter Serial Data CMOS Transceiver", *ISSCC*, pp.352-353, 1999.