

순환형 아날로그 병렬처리 회로망에 의한 비터비 디코더회로 설계

손 홍 락, 박 선 규, 김 형 석

전북대학교 전자정보공학부

전화 : 063-270-2477 / 핸드폰 : 011-9167-0020

Design of Viterbi Decoder using Circularly-connected Analog Parallel Processing Networks

Hong-Rak Son, Seon-Kyu Park, Hyongsuk Kim

Div. of Electronics and Information Engineering, Chonbuk National University

E-mail : hrson2@chol.com

Abstract

A high speed Viterbi decoder with a circularly connected 2-dimensional analog processing cell array is proposed. It has a 2-dimensional parallel processing structure in which an analog processing cell is placed at each node of a trellis diagram. The constraints' length of trellis diagram is connected circularly so that infinitively expanding trellis diagram is realized with the fixed size of circuits. The proposed Viterbi decoder has advantages in that it is operated with better performance of error correction, has a shorter latency and requires no path memories. The performance of error correction with the proposed Viterbi decoder is tested via the software simulation.

I. 서 론

데이터 통신이나 마그네틱 디스크 리더의 신호가 초고속화 되면 신호의 왜곡 정도가 심해지기 때문에 위성통신 [1], 디지털 셀룰라 폰 [2], 자기 디스크 드라이브 [3] 등의 분야에서는 에러 정정 효율이 매우 우수한 비터비 디코더 [4]를 많이 사용하고 있다.

이 비터비 디코더는 구현방식에 따라 디지털, 준-아날로그, 완전 아날로그 방식들이 있다. 디지털 방식 [5]은 입력 신호를 즉시 고속의 A/D 변환하여 모든 처리를 디지털 회로에 의해 처리하는 방식으로, 수신된 아날로그

신호를 다 단계 양자화를 해야 하기 때문에 고속의 A/D 변환기를 채용해야 하며 이에 따라 전력 소모가 매우 크다는 문제가 있다. 준-아날로그 방식 [6]은 이에 대한 보완책으로서 아날로그 입력 신호를 디지털로 변환하지 않고 아날로그 회로를 이용하여 처리하는 방법으로 아날로그 연산 유닛을 사용하므로 각 노드에서의 처리 속도도 개선되는 장점이 있지만 디지털 방식처럼 처리 결과를 디지털 메모리에 저장해야 하므로 결국 A/D 변환기와 경로 저장용 디지털 메모리가 필요하며 메모리 상에서 최적 경로 계산을 위한 역추적(back-tracking)과정이 필요하므로 디코딩 시간에 있어서는 디지털 디코더에 비해 크게 개선된 결과를 얻지 못하고 있다.

제안한 비터비 디코더는 완전 아날로그 비터비 디코더로서 기존의 비터비 디코더의 문제점을 해결하기 위하여 아날로그 신호처리 셀의 2차원 배열을 사용하여 병렬 처리함으로써 path memory가 필요치 않으며, A/D 변환 없이 아날로그 연산으로만 에러 정정을 수행하기 때문에 전력소모가 적고 디코딩 속도도 빠를 뿐 아니라, 에러 정정 성능 역시 우수하다.

본 논문에서는 제안한 비터비 디코더의 구조와 원리를 소개하고, 소프트웨어 시뮬레이션과 HSPICE를 이용하여 회로를 설계한 후 하드웨어 시뮬레이션을 수행하였다.

II. 비터비 디코더

컨벌루션 부호는 통신 채널 상에 존재하는 에러를 정정하기 위한 부호 중 하나로서, 비터비 디코더는 채널을 통해 수신된 컨벌루션 부호를 복호 하는데 사용된다.

비터비 디코더의 기본연산은 단순화된 동적 계획법으로 각 노드에서는 입력된 정보들 중의 최소값 계산을 통하여 목표점까지의 최소 오차 값을 계산한다. 즉, 노드 (k,l)로부터 목표점에 이르는 최소 오차 값을 $D_{k,l}$ 라고 하고, 노드 (i,j)와 (k,l) 사이의 오차값을 $d_{ij,kl}$ 라고 할 때, 목표점에서 노드 (i,j)에 이르는 최소 오차값 $D_{i,j}$ 는 인접한 노드 (k,l)에 이르는 데 소요 되는 오차값 $d_{ij,kl}$ 과 그 위치로부터 목표점에 이르는 최소 오차값 $D_{k,l}$ 을 합한 값 중 최소값을 취하는 식 (1)과 같이 계산한다.

$$D_{i,j} = \min \{ D_{k,l} + d_{ij,kl}, \quad (k, l) \in S \} \quad (1)$$

여기서, S는 노드 (i,j)의 인접한 노드들의 집합을 의미하여, min은 괄호 안의 값들 중 최소값을 출력하는 함수를 나타낸다. 식(1)을 비터비 디코더에 적용하기 위해서 $d_{ij,kl}$ 에 트렐리스 다이어그램상의 부호어와 수신된 심볼과의 차이값을 인가하고, 각 노드에 (1)식을 수행할 수 있는 연산 유닛을 배치하게 되면, stage가 진행함에 따라 각 노드에는 오차값이 누적되는데 마지막 stage의 노드 중 최소값을 갖는 노드의 경로를 역 추적하여 디코딩을 수행하게 된다.

III. 아날로그 신호처리 셀을 이용한 비터비 디코더

본 논문에서 제안한 아날로그 비터비 디코더는 기존의 비터비 디코더들과는 달리 트렐리스 다이어그램 상의 모든 노드에 아날로그 신호처리 셀을 배치한 완전 아날로그 비터비 디코더이다.

비터비 디코더 연산을 위한 식 (1)은 min 회로가 필요하지만 일반적으로 max 회로가 회로 구현에 간단하므로 [7] 본 논문에서는 누적된 예러 값으로부터 최소값을 계산하는 방식 대신 큰 기준값에서 예러 값을 감한 후 최대값을 계산하는 방식을 채택하였다.

임의의 큰 기준값을 I_{ref} 라고 하고 I_{ref} 와 $D_{k,l}$ 의 차이값을 $y_{k,l}$ 라고 하면 (1)식은 다음과 같은 (2)식으로 변환할 수 있다.

$$y_{k,l} = I_{ref} - D_{k,l} \quad (2)$$

식 (2)는 $D_{k,l}$ 의 I_{ref} 에 대한 보수(complement)적인 의미로서, $D_{k,l}$ 은

$$D_{k,l} = I_{ref} - y_{k,l} \quad (3)$$

로 표현할 수 있다. 따라서, (1) 식은

$$D_{i,j} = I_{ref} - \max \{ y_{k,l} - d_{ij,kl}; \quad (k, l) \in S \} \quad (4)$$

이 되어 $y_{k,l}$ 로부터 두 노드간의 예러를 감하는 계산이

되며 (1)에서의 min 연산 대신 max 연산으로 표현된다. 또, (2)에서 노드 (i,j)에 대해서는

$$y_{i,j} = I_{ref} - D_{i,j} \quad (5)$$

이므로, 식(5)에 식(4)를 대입하게 되면

$$y_{i,j} = \max \{ y_{k,l} - d_{ij,kl}; \quad (k, l) \in S \} \quad (6)$$

가 된다. 따라서 식(1)의 최소값 연산은 식(6)과 같이 회로 구현이 용이한 최대값 연산으로 변환할 수 있다.

최대값 연산을 수행하는 아날로그 신호처리 셀을 이용하여 식(6)의 우변을 계산하게 한다면 임의의 셀 (i,j)로부터 시작 셀까지의 누적 최소 예러는 각 셀의 출력 $y_{i,j}$ 값을 식(3)에 대입함으로써 계산할 수 있다. 그런데, 시작 셀로부터 자신의 위치까지의 누적 최소예러 $D_{i,j}$ 는 0이어야 하므로 시작 셀에서의 $y_{i,j}$ 값은 I_{ref} 가 된다. 따라서, 모든 셀에 대한 출력은 (i,j)의 시작 위치 여부에 따라 아래의 식 (7)과 같이 정리할 수 있다.

$$y_{i,j} = \max \{ u_{i,j}, y_{k,l} - d_{ij,kl}; \quad (k, l) \in S \} \quad (7)$$

여기에서 $u_{i,j}$ 는 식(8)처럼 인가한다.

$$u_{i,j} = \begin{cases} I_{ref}; & (i,j) \text{가 시작위치의 셀인 경우} \\ 0; & (i,j) \text{가 시작위치의 셀이 아닌 경우} \end{cases} \quad (8)$$

IV. 제안한 비터비 디코더의 디코딩 원리

제안한 비터비 디코더는 트렐리스 다이어그램의 각 노드에 최대값 연산을 수행할 수 있는 아날로그 신호처리 셀을 배치한 완전 병렬 구조이며, 그림 1과 같이 마지막 열의 셀들과 처음 열의 셀들이 연결된 순환형 구조이다.

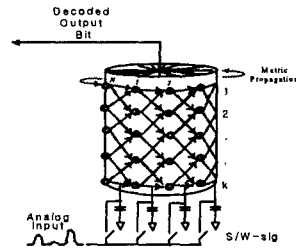


그림 1. 제안한 아날로그 비터비 디코더의 순환형 구조

그림 2는 그림 1의 순환형 구조를 펼친 전개도로, 현재의 디코딩 stage를 가리키는 stage indicator, 현재의 디코

당 상태를 가리키는 state indicator, 수신된 신호를 순차적으로 저장하는 커패시터, 그리고 각 노드마다 설치된 아날로그 신호처리 셀 및 출력 회로 등으로 구성되어 있다.

제안한 비터비 디코더에 수신된 입력 신호는 입력 신호 저장용 커패시터 C(1)에서부터 순차적으로 저장된다. 제안한 비터비 디코더는 순환형 구조이기 때문에 수신된 심볼들의 저장위치는 마지막 stage에서 다시 첫 번째 stage로 순환된다. 이 때 순환 연결된 첫 번째 stage와 마지막 stage를 각각 디코딩 stage와 출력 stage라 명명한다.

제안한 비터비 디코더의 디코딩은 각 stage의 모든 커패시터에 심볼들이 저장되고 기준값 I_{ref} 가 첫 번째 stage의 한 셀에 인가되면서부터 시작된다. 인가된 I_{ref} 값은 각 셀에서 식 (7)과 같은 연산에 의해 트렐리스 다이어그램의 부호어와 수신 심볼간의 오차값 만큼 감소되어 마지막 stage, 즉 출력 stage까지 전파된다.

디코딩은 기준값 I_{ref} 가 출력 stage까지 전파된 후부터 시작되는데, 논문에서 제안한 디코딩 기법은 circuit-based 디코딩으로, 디코딩 stage에서의 0 혹은 1를 지나가는 경로에 negative trigger 신호를 인가한 후, 출력 stage에서의 셀 출력들 중 최대값의 변화 여부에 따라 디코딩 하는 방법이다. 이 때 인가된 negative trigger 신호는 트렐리스 다이어그램의 경로를 차단하는 역할을 수행하므로 출력 stage의 최대값이 입력 stage의 1에 해당하는 경로를 통과했다면 디코딩 stage에서 1에 해당하는 경로를 차단했을 때 출력값에 큰 변화를 나타낼 것이고 반대의 경우에는 출력단의 최대값에는 큰 변화가 없을 것이다. 따라서 제안한 비터비 디코더에서의 최종 디코딩은 디코딩 stage에서 negative trigger 신호 인가 후의 출력 stage에서의 최대 값의 변화 여부에 따라 1 또는 0으로 결정하게 된다.

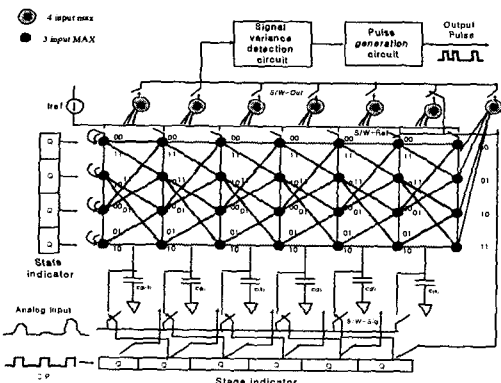


그림 2. 제안한 비터비 디코더 구조의 전개도

V. 시뮬레이션

제안한 비터비 디코더의 성능을 검증하기 위해 AGWN 채널 환경에서의 소프트웨어 및 하드웨어 시뮬레이션을 수행하였다.

5.1 에러 정정 성능 비교 시뮬레이션

제안한 비터비 디코더와 기존의 준-아날로그 비터비 디코더에서는 잡음이 포함된 아날로그 신호를 입력으로 하여 처리하므로 양자화에 의한 잡음이 없지만, 디지털 비터비 디코더에서는 양자화에 따른 에러가 발생할 수 있다. 이에 대한 영향을 분석하기 위해 Matlab를 이용한 소프트웨어 시뮬레이션을 수행하였다. 그림 4는 제안한 비터비 디코더와 기존의 비터비 디코더의 성능 비교 시뮬레이션 결과로써 그림에서 보는 바와 같이 제안한 비터비 디코더는 BER이 10^{-5} 인 경우 기존의 디지털 비터비 디코더보다 약 0.25dB 정도 우수함을 알 수 있다. 또한 기존의 준-아날로그 비터비 디코더와의 비교 시뮬레이션 결과에서는 BER이 10^{-5} 인 경우 기존의 준 아날로그 비터비 디코더에 비해 약 0.2dB정도 우수함을 알 수 있다.

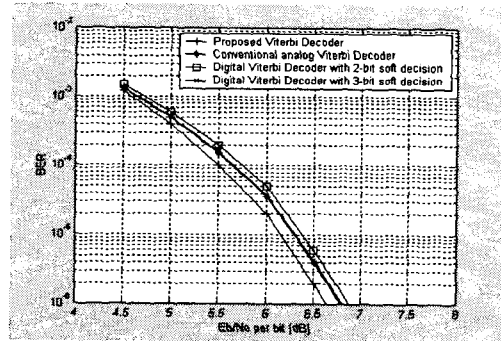


그림 3. 제안한 비터비 디코더와 기존의 디지털, 준(semi)-아날로그 비터비 디코더간 소프트웨어 시뮬레이션에 의한 성능 비교

5.2 회로 시뮬레이션

제안한 비터비 디코더의 성능을 검증하기 위해 구속장 $K=7$, 부호율 $R=1/2$ 인 비터비 디코더를 아날로그 회로로 구현하고 HSPICE를 이용하여 시뮬레이션을 수행하였다. 디코더의 stage 회로는 64개의 아날로그 신호처리 셀로 구성되어 있으며 사용된 트랜지스터 수는 약 30,000개였고 시뮬레이션에 사용된 공정은 현대 0.35um 공정이다.

그림 4(a)는 인코더의 입력 열이 010110일 때를 예시한 것이다. 제안한 비터비 디코더의 신호 검출부의 입력 파형으로서 각 펄스의 양의 피크 위치 @는 디코딩 stage에서 negative trigger를 인가하기 전의 출력이고,

출력값이 낮아지는 위치 ①는 negative trigger를 인가했을 때 출력이다. 그림에서 화살표로 표시한 샘플링 위치에서 취한 값이 threshold보다 큰 경우는 0으로 디코딩하며 작은 경우에는 1로 디코딩 한다. 그림 4(b)는 디코더의 최종 디코딩 출력 파형으로 상단의 펄스 폭이 넓은 곳이 그림 4(a)에서의 펄스 폭의 변화가 심한 곳으로서 데이터 비트 1에 해당하는 곳이다. 결국 그림 4(a)의 샘플링 위치에 따라 데이터를 획득하면 010110가되어 정확한 디코딩 결과를 얻게됨을 확인 할 수 있다.

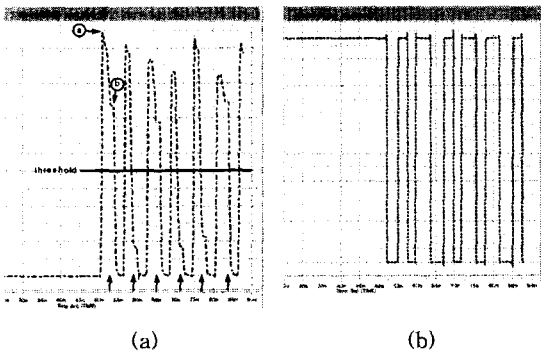


그림 4. 임의의 입력 데이터(010110(k=7))가 130Mb/sec 속도로 인가되는 경우, 제안한 비터비 디코더의 표준 시뮬레이션 출력 파형. (a) 신호 검출기 입력 신호 (b) 신호 검출기의 출력 신호

그림 4(a)의 각 펄스들은 개별 입력 비트에 해당하는 것으로, 데이터의 입력속도가 증가하면, 펄스 간격이 좁아지게 된다. 그림 5은 데이터 속도와 디코더의 출력 펄스간의 폭을 시뮬레이션을 통해 구한 그래프이다.

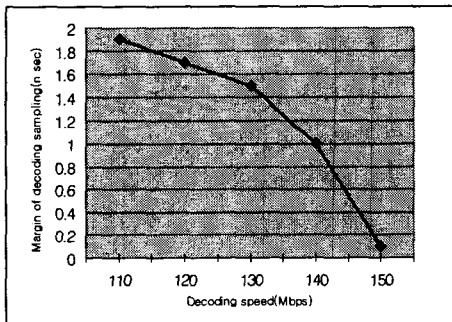


그림 5. 데이터 속도에 따른 출력 펄스 간의 거리

그림에서 알 수 있는바와 같이 130Mbps이상이 되면, 샘플링 후 다음 신호가 입력되기 전까지의 샘플링 간격 여유가 1ns 이하로 줄어들게 되어 두 펄스가 겹쳐지므로 정확한 디코딩이 이루어지지 않게

된다. 따라서 이 디코더의 경우 최대 속도를 130Mbps로 결정하게 되는 것이다.

VI. 결 론

아날로그 신호처리 셀의 2차원 배열을 이용하여 데이터 통신이나 마그네틱 디스크 리더의 에러 정정에 적용할 수 있는 순환형 구조의 비터비 디코더를 제안하였다. 제안한 비터비 디코더는 소프트웨어 및 하드웨어 시뮬레이션에서 기존의 비터비 디코더들에 비해 BER 10^{-5} 에서 약 0.2 dB정도 우수한 성능을 보였을 뿐만 아니라, R=1/2, K=7인 경우 표준 시뮬레이션에서 130Mb/s, worst case 시뮬레이션에서 110Mbps 디코딩 속도를 나타내었다.

본 논문에서 설계한 비터비 디코더는 보다 나은 설계 파라미터를 선택할 경우, 이보다 고속의 디코딩 속도를 얻을 수 있는 여지가 아직 남아 있지만, 수십 Mbps에 불과한 기존의 디지털 비터비 디코더 및 준-아날로그 비터비 디코더와 비교하면 월등히 개선된 성능을 보이고 있다.

VII. 참고문헌

- [1] J. A. Heller, J. M. Jacobs, "Viterbi decoding for satellite and space communication," *IEEE Trans. Commun. Technol.*, vol. COM-19, pp. 835-848, Oct. 1971.
- [2] Kang, A. N. Wilson, Jr., "Low-power Viterbi decoder for CDMA mobile terminals," *IEEE J. Solid-State Circuits*, vol 33, pp. 473-482, Mar, 1998.
- [3] T. W. Matthews, R. R. Spencer, "An integrated analog CMOS Viterbi detector for digital magnetic recording," *IEEE J. Solid-State Circuits*, vol. 28, pp. 1294-1302, Dec. 1993
- [4] G. David Forney, JR. "The Viterbi Algorithm," *Proc. of the IEEE*, vol. 61, No. 3, Mar. 1973.
- [5] P. G. Gulak and E. Shwedyk. "VLSI structures for viterbi receivers: Part I - general theory and applications," *IEEE J. on Selected areas in comm.*, vol. 4, pp. 142-154, Jan. 1986.
- [6] M. Moerz, A. Schaefer, "Analog decoders for high rate convolutional codes," *IWT 2001*, Australia, pp. 128-130.
- [7] I. Baturone, J.L. Huertas, A. Barriga and S. Sanchez-Solano, "Current-mode multiple-input Max circuit," *Electronics Letters*, vol. 30, no. 9, Apr. 1994.