

면적과 지연 시간을 고려한 CLB 구조의 CPLD 저전력 기술 매핑 알고리즘

*김재진, **조남경, **전종식, ***김희석
*극동정보대학, **강원관광대학, ***청주대학교
전화 043-879-3374

A CLB based CPLD Low-power Technology Mapping Algorithm consider Area and Delay time

*Jae-jin Kim, **Nam-kyeong Cho, **Jong-sik Jeon, ***Hi-seok Kim

*Dept. of Computer Information Process, Keukdong College

**Dept. of Computer Information, Kangwon Tourism College

***School of Computer & Communication Engineering, Chongju University

*dkimji@keukdong.ac.kr, **chonk@kt.ac.kr, **jsjeon@kt.ac.kr, ***khs8391@chongju.ac.kr

Abstract

In this paper, a CLB-based CPLD low-power technology mapping algorithm consider area and delay time is proposed.

To perform low power technology mapping for CPLD, a given Boolean network have to be represented to DAG. The proposed algorithm are consist of three step.

In the first step, TD(Transition Density) calculation have to be performed. In the second step, the feasible clusters are generated by considering the following conditions: the number of output, the number of input and the number of OR-terms for CLB(Common Logic Block) within a CPLD. The common node cluster merging method, the node separation method, and the node duplication method are used to produce the feasible clusters. In the final step, low power technology mapping based on the CLBs is packing the feasible clusters into the several proper CLBs.

The proposed algorithm is examined by using benchmarks in SIS. In the case of that the number

of OR-terms is 5, the experiments results show that reduce the power consumption by 30.73% comparing with that of TEMPLA, and 17.11% comparing with that of PLAmapping respectively.

I. 서론

VLSI(Very Large Scale Integration) 제조 및 설계 기술의 발달과 더불어 최근 휴대용 전자 제품의 수요가 급증함에 따라 회로의 전력 소모를 개선하기 위한 저전력 회로의 설계가 중요한 사항으로 등장하고 있다. 저전력 회로 설계의 경우 노드의 스위치 캐패시턴스등의 동적 전력을 줄이는데 중점을 두고 있다. 스위치 캐패시턴스의 수를 줄이기 위해서는 회로를 구성하고 있는 각 노드의 물리적 캐패시턴스를 감소시키거나 또는 노드의 스위칭 동작(switching activity)을 감소시켜야 한다. CMOS 소자로 구현된 VLSI 회로는 내부 노드 값의 스위칭 동작(switching activity)에 의한 전력 소모가 전체 전력 소모량의 90% 이상을 차지하므로 회로의 평균 소모 전력을 감소시키기 위하여 스위칭 동작을 감소시키는 방안이 제안되었다. 그러나 이러한 알고리즘들은 LUT(Look-Up Table)를 기저로 하는 FPGA(Field Programmable Gate Array)에 적용 가능하도록 구성되어 있다. 현재 많이 사용하고 있는 CLB(Common Logic Block)를 기저로 하는

본 연구는 과학기술부 한국과학재단 지정 청주대학교 정보통신연구센터의 지원에 의한 것입니다.

CPLD(Complexity Programmable Logic Device)의 경우 OR텀수를 고려하여 그래프 분할을 수행하여야 함으로 CPLD에 적용하기에는 어려움이 많았으며, 면적과 수행 시간들 중에서 한분야에 맞도록 알고리즘이 구성되어 있어 두가지의 제약 조건을 만족하는 수행 결과를 얻을 수 없는 단점이 있었다[1][2][3][4].

본 논문에서는 기존의 CPLD 기술 매핑 알고리즘이 PLA(Programmable Logic Array) 형태의 CPLD에만 기술 매핑을 적용하였으며 저전력을 고려하지 않거나 저전력을 고려한 CPLD 기술 매핑 알고리즘들의 단점인 면적과 지연 시간을 모두 고려하여 저전력의 기술 매핑 결과를 얻을 수 있는 새로운 CPLD 기술 매핑 알고리즘을 제안하고자 한다.

II. 면적과 지연시간을 고려한 CPLD 저전력 기술 매핑 알고리즘

제안한 저전력 기술 매핑 알고리즘은 주어진 불린 네트워크를 DAG로 구성하여 소모전력 계산을 위한 TD(Transition Density) 계산 단계와 매핑 가능 클러스터 생성, CLB 패킹의 단계로 구성하였다.

A. TD 계산 단계

TD 계산 단계는 DAG를 구성하고 있는 각 노드들에 대한 스위칭 동작을 계산하여 전체 소모전력을 계산하는 단계이다. DAG를 구성하고 있는 각각의 노드는 AND/OR/INVERTER로 구성되어 있다. 각 게이트의 TD 계산 식은 (식 1)에서 (식 8)에 나타내었다.

INVERTER게이트의 경우

$$p(y) = \frac{1 - p(x_1)}{out(x)} \quad (식 1)$$

$$d(y) = d(x_1) out(x) \quad (식 2)$$

AND 게이트의 경우

$$p(y) = \frac{\prod_{i=1}^m p(x_i)}{out(x)} \quad (식 3)$$

$$d(y) = \sum_{i=1}^m [(\prod_{j=1, j \neq i}^m p(x_j)) d(x_i)] out(x) \quad (식 4)$$

OR 게이트의 경우

$$p(y) = \frac{1 - \prod_{i=1}^m (1 - p(x_i))}{out(x)} \quad (식 5)$$

$$d(y) = \sum_{i=1}^m [(\prod_{j=1, j \neq i}^m (1 - p(x_j))) d(x_i)] out(x) \quad (식 6)$$

B. 매핑 가능 클러스터 생성 단계

매핑 가능 클러스터 생성 단계는 주어진 CPLD의 CLB에 대한 입출력의 수와 OR 텀수를 고려하여 매핑 가능 클러스터를 생성하는 단계이다. 매핑 가능 클러스터를 생성하기 위한 방법은 공통 노드 클러스터 병합과 노드 분할, 노드 복제의 방법을 이용하였다.

1. 공통 노드 클러스터 병합

적용된 공통 노드 클러스터 병합 방법은 PI(Primary Input) 노드에서 PO(Primary Output) 노드까지를 포함하는 매핑 가능 클러스터를 생성하는 방법으로 소모전력과 지연시간을 줄이기 위한 방법이다.

2. 노드 분할

공통 노드 클러스터 병합 방법을 수행한 나머지 노드에 대해서는 노드 분할을 수행한다. 노드 분할은 노드의 출력 예지 수가 2이상이고 OR 텀수가 2이상인 노드에 한하여 수행한다.

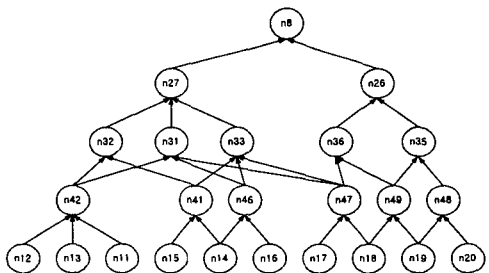
3. 노드 복제

공통 노드 클러스터 병합과 노드 분할을 수행한 나머지 노드에 대해서는 노드 복제를 수행한다. 노드 복제는 노드의 출력 예지 수가 2이상이고 OR 텀수가 1인 노드에 한하여 수행한다. 이러한 매핑 가능 클러스터 생성은 면적과 수행 시간을 고려하여 수행 되어 진다.

C. CLB 패킹 단계

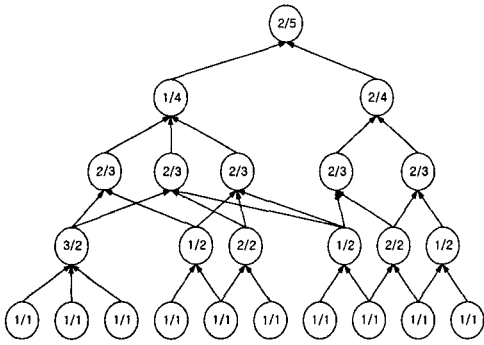
CLB 패킹 단계는 생성된 매핑 가능 클러스터를 CLB에 패킹하는 단계이다.

본 논문에서 제안한 면적과 지연 시간을 고려한 CPLD 저전력 기술 매핑 알고리즘의 적용예를 그림 1에 나타내었다.

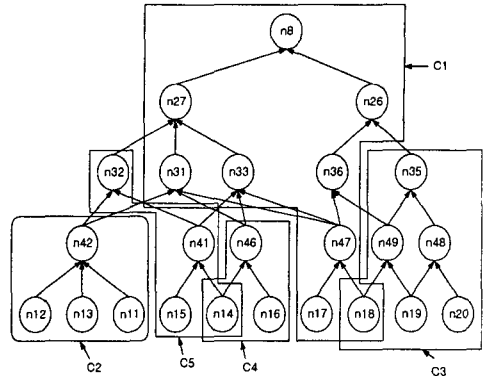


(a)DAG 표현

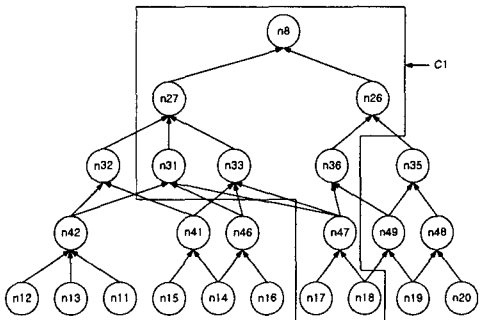
(a)DAG representation



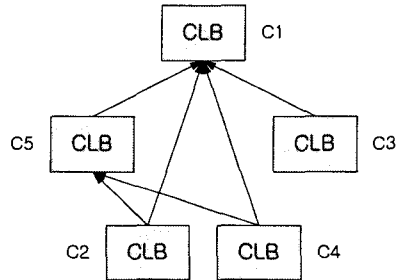
(b) 노드의 비용
(b) cost of node



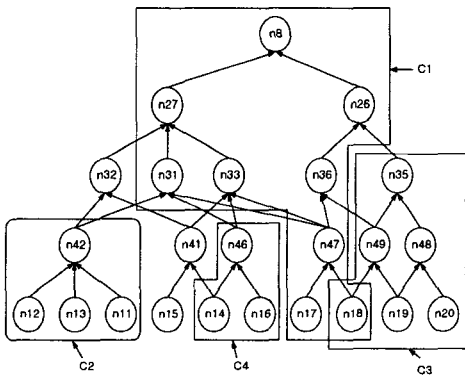
(e) 노드 복제를 사용하여 생성된 매핑 가능 클러스터 C5
(e) Feasible cluster generation C5 using node duplication algorithm



(c) 공통 노드 클러스터 병합을 이용하여 생성된 매핑 가능 클러스터 C1
(c) Feasible cluster generation C1 using common node cluster merge algorithm



(f) CLB 패킹
(f) CLB packing



(d) 노드 분할 사용하여 생성된 매핑 가능 클러스터 C2, C3, C4
(d) Feasible cluster generation C2, C3, C4 using node separation algorithm

그림 23. DALU 부분회로에 대한 제안한 알고리즘의 적용 예

Fig. 23 Example of a proposed algorithm for partial subcircuit of DALU

III. 실험 결과

제안한 저전력 CPLD 기술 매핑 알고리즘의 실험에 사용한 예제는 SIS에서 제공되는 MCNC 벤치마크 회로들의 불린 네트워크를 입력으로 사용하였다[5]. $CST_C \leq 5$ 일때 면적만을 고려했을 경우 기존의 알고리즘과 제안한 알고리즘과의 결과 비교는 표1에 나타내었고, 전력만을 고려했을 경우의 결과는 표 2에 나타내었다.

표 1. $CST_C \leq 5$ 일때 면적만을 고려했을 경우 기존의 알고리즘과 제안한 알고리즘과의 결과 비교

Table 1. Comparison result of the existing technology mapping and proposed algorithm considered only area assuming $CST_C \leq 5$

참고문헌

[1] Deming Chen, Jason Cong, "Performance-Driven Mapping for CPLD Architectures", FPGA, 2001.
 [2] Zhi-Hong Wang, En-Cheng Liu, Jianbang Lai, Ting-Chi Wang, "Power Minimization in LUT-Based FPGA Technology Mapping", ASP-DAC, pp.635-640, January 2001.
 [3] Jae-Jin Kim, Hi-Seok Kim, Chi-Ho Lin, "A New Technology Mapping for CPLD under the time constraint" ASP-DAC, pp.235-238, January 2001.
 [4] Jae-Jin Kim, Hi-Seok Kim, Chi-Ho Lin, "An Efficient CPLD Technology Mapping under Time Constraint", ICM2000, pp. 265-268, November, 2000.
 [5] E. M. Sentovich, K. J. Singh, L. Lanvagno, C. Moon, R. Murgai, et al., "SIS : A System for Sequential Circuit Synthesis", UCB/ERL Memorandum M92/41, May. 1992.

	TEMPLA		PLAmap		제안한 알고리즘	
	block	power	block	power	block	power
alu2	56	8.6	56	6.9	54	8.6
alu4	185	32.4	200	31.2	186	33.8
dalu	483	47.3	480	39.6	476	45.6
ex5p	130	26.2	132	19.3	128	28.3
duke2	68	9.8	69	8.6	67	10.1
t481	97	30.9	94	24.1	94	31.2
cps	123	31.2	118	28.9	113	33.2
apex4	141	35.6	126	31.5	125	38.3
misex3	141	33.6	141	33.6	135	35.2
psdes	127	34.8	126	34.2	124	34.8
sort	105	24.7	102	26.8	99	28.4
Total	1656	315.1	1644	284.7	1601	327.5
비교	+3.44%	-3.94%	+2.69%	-15.03%	1	1

표 2. $CST_C \leq 5$ 일때 전력만을 고려했을 경우 기존의 알고리즘과 제안한 알고리즘과의 결과 비교
 Table 2. Comparison result of the existing technology mapping and proposed algorithm considered only power consumption assuming $CST_C \leq 5$

	TEMPLA		PLAmap		제안한 알고리즘	
	block	power	block	power	block	power
alu2	56	8.6	56	6.9	57	5.2
alu4	185	32.4	200	31.2	189	23.6
dalu	483	47.3	480	39.6	488	27.6
ex5p	130	26.2	132	19.3	134	12.2
duke2	68	9.8	69	8.6	71	7.3
t481	97	30.9	94	24.1	94	21.8
cps	123	31.2	118	28.9	135	26.5
apex4	141	35.6	126	31.5	129	30.5
misex3	141	33.6	141	33.6	142	30.7
psdes	127	34.8	126	34.2	127	28.4
sort	105	24.7	102	26.8	101	22.1
Total	1656	315.1	1644	284.7	1667	235.9
비교	-0.68%	+33.57%	-1.4%	+17.14%	1	1

IV. 결론

본 논문은 면적과 지연 시간을 고려한 CLB 구조의 CPLD 저전력 기술 매핑 알고리즘을 제안하였다.

제안된 알고리즘은 회로를 구현할 대상 소자에 맞추어 소모 전력을 최적화할 수 있는 기술 매핑 할 수 있는 알고리즘으로서 TD 계산 단계와 매핑 가능 클래스터 생성 단계, CLB 패킹 단계로 구성되어 있다.

실험 결과 EP=0.1, TD=1000, Vdd=5, Cli=0.01μf, d(Ci)=100으로 선정하고 OR팀수를 5로 했을 경우는 TEMPAL에 비해 30.73%의 소모 전력이 감소되었고, PLAmap에 비해 17.11% 감소되었다. 또한, OR팀수를 7로 했을 경우에는 TEMPLA에 비해 14.03%의 소모 전력이 감소되었고, PLAmap에 비해 8.16% 감소하였다.