

CLB 구조의 CPLD 저전력 기술 매핑 알고리즘

*김재진, **윤충모, ***인치호, ****김희석

*극동정보대학, **서일대학,***세명대학교, ***청주대학교

전화 043-879-3374

A CLB based CPLD Low-power Technology Mapping Algorithm

*Jae-jin Kim, **Choong-mo Youn, ***Chi-ho Lin, ***Hi-seok Kim

*Dept. of Computer Information Process, Keukdong College

**Dept. of Information Electronics, Seoil College

***Dept. of Computer Science, Semyung University

****School of Computer & Communication Engineering, Chongju University

*dkimji@keukdong.ac.kr, **5420chong@seoil.ac.kr, ***ich410@venus.semyng.ac.kr,

***khs8391@chongju.ac.kr

technology mapping.

Abstract

In this paper, a CLB-based CPLD low-power technology mapping algorithm is proposed.

To perform low power technology mapping for CPLD, a given Boolean network have to be represented to DAG. The proposed algorithm are consist of three step.

In the first step, TD(Transition Density) calculation have to be performed. In the second step, the feasible clusters are generated by considering the following conditions: the number of output, the number of input and the number of OR-terms for CLB(Common Logic Block) within a CPLD. The common node cluster merging method, the node separation method, and the node duplication method are used to produce the feasible clusters. In the final step, low power technology mapping based on the CLBs is packing the feasible clusters into the several

proper CLBs.

Therefore the proposed algorithm is proved an efficient algorithm for a low power CPLD

본 연구는 과학기술부 한국과학재단 지정 청주대학교 정보통신연구센터의 지원에 의한 것입니다.

I. 서론

VLSI(Very Large Scale Integration) 제조 및 설계 기술의 발달과 더불어 최근 휴대용 전자 제품의 수요가 급증함에 따라 회로의 전력 소모를 개선하기 위한 저전력 회로의 설계가 중요한 사항으로 등장하고 있다. 저전력 회로 설계의 경우 노드의 스위치 캐패시턴스 등의 동적 전력을 줄이는데 중점을 두고 있다. 스위치 캐패시턴스의 수를 줄이기 위해서는 회로를 구성하고 있는 각 노드의 물리적 캐패시턴스를 감소시키거나 또는 노드의 스위칭 동작(switching activity)을 감소시켜야 한다. CMOS 소자로 구현된 VLSI 회로는 내부 노드 값의 스위칭 동작(switching activity)에 의한 전력 소모가 전체 전력 소모량의 90% 이상을 차지하므로 회로의 평균 소모 전력을 감소시키기 위하여 스위칭 동작을 감소시키는 방안이 제안되었다. 그러나 이러한 알고리즘들은 LUT(Look-Up Table)를 기저로 하는 FPGA(Field Programmable Gate Array)에 적용 가능하도록 구성되어 있다. 현재 많이 사용하고 있는 CLB(Common Logic Block)를 기저로 하는 CPLD(Complexity Programmable Logic Device)의 경우 OR텀수를 고려하여 그래프 분할을 수행하여야 함으로 CPLD에 적용하기에는 어려움이 많다[1][2][3][4].

본 논문에서는 기존의 CPLD 기술 매핑 알고리즘이 PLA(Programmable Logic Array) 형태의 CPLD에만 기술 매핑을 적용하였으며 저전력을 고려하지 않거나 저전력을 고려한 CPLD 기술 매핑 알고리즘들의 단점인 면적/지연시간에 대한 상관 관계를 고려하지 않은 단점을 보완하여 CLB구조의 CPLD의 소비 전력을 고려하여 저전력으로 회로를 구현할 수 있는 새로운

CPLD 기술 매핑 알고리즘을 제안하고자 한다.

II. CLB 구조의 CPLD 저전력 기술 매핑 알고리즘

제안한 저전력 기술 매핑 알고리즘은 주어진 불린 네트워크를 DAG로 구성하여 소모전력 계산을 위한 TD(Transition Density) 계산 단계와 매핑 가능 클러스터 생성, CLB 패키징 단계로 구성하였다. 또한 면적/지연시간에 대한 상관 관계에 대한 표를 작성하여 최적의 저전력 기술 매핑 결과를 얻을 수 있도록 하였다.

A. TD 계산 단계

TD 계산 단계는 DAG를 구성하고 있는 각 노드들에 대한 스위칭 동작을 계산하여 전체 소모전력을 계산하는 단계이다. A. TD 계산 단계

TD 계산 단계는 DAG를 구성하고 있는 각 노드들에 대한 스위칭 동작을 계산하여 전체 소모전력을 계산하는 단계이다. DAG를 구성하고 있는 각각의 노드는 AND/OR/INVERTER로 구성되어 있다. 각 게이트의 TD 계산 식은 (식 1)에서 (식 8)에 나타내었다.

INVERTER게이트의 경우

$$p(y) = \frac{1 - p(x_1)}{out(x)} \quad (식 1)$$

$$d(y) = d(x_1) out(x) \quad (식 2)$$

AND 게이트의 경우

$$p(y) = \frac{\prod_{i=1}^m p(x_i)}{out(x)} \quad (식 3)$$

$$d(y) = \sum_{i=1}^m [(\prod_{j=1, j \neq i}^m p(x_j)) d(x_i)] out(x) \quad (식 4)$$

OR 게이트의 경우

$$p(y) = \frac{1 - \prod_{i=1}^m (1 - p(x_i))}{out(x)} \quad (식 5)$$

$$d(y) = \sum_{i=1}^m [(\prod_{j=1, j \neq i}^m (1 - p(x_j))) d(x_i)] out(x) \quad (식 6)$$

B. 매핑 가능 클러스터 생성 단계

매핑 가능 클러스터 생성 단계는 주어진 CPLD의 CLB에 대한 입출력의 수와 OR 텀수를 고려하여 매핑 가능 클러스터를 생성하는 단계이다. 매핑 가능 클러스터를 생성하기 위한 방법은 공통 노드 클러스터 병합과 노드 분할, 노드 복제의 방법을 이용하였다.

1. 공통 노드 클러스터 병합

적용된 공통 노드 클러스터 병합 방법은 PI(Primary

Input) 노드에서 PO(Primary Output) 노드까지를 포함하는 매핑 가능 클러스터를 생성하는 방법으로 소모전력과 지연시간을 줄이기 위한 방법이다.

2. 노드 분할

공통 노드 클러스터 병합 방법을 수행한 나머지 노드에 대해서는 노드 분할을 수행한다. 노드 분할은 노드의 출력 에지 수가 2이상이고 OR 텀수가 2이상인 노드에 한하여 수행한다.

3. 노드 복제

공통 노드 클러스터 병합과 노드 분할을 수행한 나머지 노드에 대해서는 노드 복제를 수행한다. 노드 복제는 노드의 출력 에지 수가 2이상이고 OR텀수가 1인 노드에 한하여 수행한다. 이러한 매핑 가능 클러스터 생성은 면적과 수행 시간을 고려하여 수행 되어 진다.

C. CLB 패키징 단계

CLB 패키징 단계는 생성된 매핑 가능 클러스터를 CLB에 패키징하는 단계이다.

D. 면적/지연시간과의 상관관계

면적/지연시간과의 상관 관계는 전력 소모가 가장 적은 기술 매핑을 수행하면서 면적과 지연 시간을 고려하여 최적의 기술 매핑 결과를 추출하기 위해 필요한 값이다. 매개변수는 p 로 정의한다. p 는 소모 전력에 비중을 나타내는 계수이다. p 가 1이면 면적과 지연시간을 고려하지 않고 소모 전력만을 고려한 결과이다. 면적과 지연시간은 반비례한다. 따라서 면적과 지연시간에 대한 매개변수의 결정은 클러스터를 생성할 때 클러스터를 구성하는 내부 노드의 수를 가지고 결정된다.

표 1은 (k, 3, p)에 대한 매개변수를 구한 결과이다.

표 1. (k, 3, p)에 대한 매개변수

Table. 1 The parameters of CLB for (k, 3, p)

매개변수	소모전력의 감소율(%)	면적의 감소율(%)	깊이의 증가률(%)
0.15	8.9	30.41	34.38
0.3	18.02	27.6	28.96
0.45	31.87	20.33	24.31
0.5	43.32	17.86	19.43
0.65	53.23	10.23	18.67
0.8	60.72	1.33	10.2
1.0	63.65	-3.9	-5.6

표 1의 (k, 3, p)에 대한 매개변수에서는 임계값이 0.8일 경우에 가장 좋은 결과를 추출할 수 있다.

표 2는 (k, 5, p)에 대한 매개변수를 구한 결과이다.

표 2. (k, 5, p)에 대한 매개변수

Table. 2 The parameters of CLB for (k, 5, p)

매개변수	소모전력의 감소율(%)	면적의 감소율(%)	깊이의 증가률(%)
0.15	10.12	18.83	24.42
0.3	14.99	15.49	21.39
0.45	18.56	12.34	19.47
0.5	23.48	10.86	18.69
0.65	39.11	10.42	13.51
0.8	39.23	4.97	6.9
1.0	46.97	0.2	3.4

표 2의 (k, 5, p)에 대한 매개변수에서는 매개변수가 0.65일 경우에 가장 좋은 결과를 추출할 수 있다.

표 3은 (k, 7, p)에 대한 매개변수를 구한 결과이다.

표 3. (k, 7, p)에 대한 매개변수

Table. 3 The parameters of CLB for (k, 7, p)

매개변수	소모전력의 감소율(%)	면적의 감소율(%)	깊이의 증가률(%)
0.15	9.45	15.48	11.31
0.3	13.58	13.34	9.16
0.45	21.98	12.89	7.43
0.5	22.89	9.31	5.97
0.65	26.42	6.52	5.47
0.8	30.38	4.97	3.1
1.0	34.37	0.4	1.3

표 3의 (k, 7, p)에 대한 매개변수에서는 매개변수가 0.45일 경우에 가장 좋은 결과를 추출할 수 있다.

III. 실험 결과

제한한 저전력 CPLD 기술 매핑 알고리즘의 실험에 사용한 예제는 SIS에서 제공되는 MCNC 벤치마크 회로들의 불린 네트워크를 입력으로 사용하였다[5]. OR덤수를 5로 선정하고, 매개변수는 0.65로 선택하고, EP=0.1, TD=1000, Vdd=5, Cli=0.01 μ F, d(Ci)=1000으로 선정했을 경우 기존의 알고리즘과의 결과를 비교하기 위한 실험 결과표로서 PLA에 대한 적용 결과를 표 4에 나타내었다. 기술 매핑 결과 제안한 알고리즘의 결과가 TEMPLA에 비해 20.12%의 소모 전력이 감소되었고, PLAmapping에 비해 12.6% 감소되었다. $CST_C \leq 5$ 일 경우 기존의 알고리즘과 제안한 알고리즘과의 결과 비교는 표 5에 나타내었다.

IV. 결론

본 논문은 면적과 지연 시간을 고려한 CLB 구조의 CPLD 저전력 기술 매핑 알고리즘을 제안하였다.

제안된 알고리즘은 회로를 구현할 대상 소자에 맞추어 소모 전력을 최적화할 수 있는 기술 매핑 할 수 있는 알고리즘으로서 TD 계산 단계와 매핑 가능 클러스터 생성 단계, CLB 패킹 단계로 구성되어 있다.

실험 결과 EP=0.1, TD=1000, Vdd=5, Cli=0.01 μ F,

d(Ci)=100으로 선정하고 OR덤수를 5로 했을 경우는 TEMPAL에 비해 30.73%의 소모 전력이 감소되었고, PLAmapping에 비해 17.11% 감소되었다. 또한, OR덤수를 7로 했을 경우에는 TEMPLA에 비해 14.03%의 소모 전력이 감소되었고, PLAmapping에 비해 8.16% 감소하였다.

참고문헌

- [1] Deming Chen, Jason Cong, "Performance-Driven Mapping for CPLD Architectures", FPGA, 2001.
- [2] Zhi-Hong Wang, En-Cheng Liu, Jianbang Lai, Ting-Chi Wang, "Power Minimization in LUT-Based FPGA Technology Mapping", ASP-DAC, pp.635-640, January 2001.
- [3] Jae-Jin Kim, Hi-Seok Kim, Chi-Ho Lin, "A New Technology Mapping for CPLD under the time constraint" ASP-DAC, pp.235-238, January 2001.
- [4] Jae-Jin Kim, Hi-Seok Kim, Chi-Ho Lin, "An Efficient CPLD Technology Mapping under Time Constraint", ICM2000, pp. 265-268, November, 2000.
- [5] E. M. Sentovich, K. J. Singh, L. Lanvagno, C. Moon, R. Murgai, et al., "SIS : A System for Sequential Circuit Synthesis", UCB/ERL Memorandum M92/41, May. 1992.

표 4. PLA 구조에 대한 기존의 알고리즘과 제안한 알고리즘과의 결과 비교

Table 4. Comparison result of the existing technology mapping and proposed algorithm for PLA architecture

	TEMPLA			PLAmap			제안한 알고리즘		
	block	power	run time	block	power	run time	block	power	run time
alu2	76	7.8	223.6	68	7.4	102.6	71	7.4	198.5
alu4	203	38.9	4787.5	179	32.8	92.9	181	30.6	1032.6
dalu	65	21.8	205.4	108	29.7	35.2	84	25.2	105.4
ex5p	193	32.4	170.6	67	12.3	673.9	96	13.2	843.5
duke2	47	10.2	184.2	38	9.1	69.4	41	8.8	102.4
t481	67	17.3	121.3	56	15.4	68.6	57	13.2	208.6
cps	94	20.1	1020.6	69	17.3	156.2	84	16.9	579.1
apex4	102	22.3	1568.2	75	19.1	684.5	71	17.3	845.1
misex3	286	41.4	2800.0	336	43.7	322.2	364	32.5	446.5
psdes	189	30.8	2312.4	186	28.9	226.8	187	27.3	1842.3
sort	103	23.4	1492.6	102	23.9	538.4	103	20.4	859.4
Total	1,425	266.4	14,946.4	1,284	239.6	2,970.7	1,339	212.8	7,063.4
비교	+6.4%	+20.12%	+111.6%	-4.1%	+12.6%	-137.7%	1	1	1

표 5. $CST_c \leq 5$ 일 경우 기존의 알고리즘과 제안한 알고리즘과의 결과 비교

Table 5. Comparison result of the existing technology mapping and proposed algorithm assuming $CST_c \leq 5$

	TEMPLA			PLAmap			제안한 알고리즘		
	block	power	run time	block	power	run time	block	power	run time
alu2	56	8.6	186.4	56	6.9	163.2	56	5.7	214.6
alu4	185	32.4	3892.7	200	31.2	1048.3	211	26.3	1948.3
dalu	483	47.3	1268.2	480	39.6	984.7	487	30.7	1605.1
ex5p	130	26.2	236.4	132	19.3	268.3	138	13.1	396.2
duke2	68	9.8	214.7	69	8.6	221.9	69	7.8	286.7
t481	97	30.9	286.3	94	24.1	284.1	112	23.9	381.4
cps	123	31.2	434.6	118	28.9	198.7	129	27.1	362.3
apex4	141	35.6	1024.2	126	31.5	864.3	148	31.6	1141.4
misex3	141	33.6	2142.6	141	33.6	854.2	143	31.6	1236.3
psdes	127	34.8	682.4	126	34.2	691.8	129	30.8	713.8
sort	105	24.7	304.1	102	26.8	284.3	111	24.6	421.6
Total	1656	315.1	10,672.6	1644	284.7	5,863.8	1733	253.2	8,707.7
비교	-4.65%	+24.45%	+22.57%	-5.4%	+12.44%	-48.5%	1	1	1