

CMOS 드라이버 구동상태에서 SSN을 줄이기 위한 Separate Bulk Modeling 및 효과

최 성 일, 위 재 경, 문 규
한림대학교 전자공학과
전화 : 033-248-2378 / 핸드폰 : 016-384-0790

Separate Bulk Modeling and effect to reduce Simultaneous Switching Noise in CMOS Driver Loading Conditions

Sung-il Choi, Jae kyung Wee, Moon Gyu
Dept. of Electronic Engineering, Hallym University
E-mail : chummy21@hallym.ac.kr

Abstract

SSN을 줄이기 위해 벌크단의 그라운드와 소스단의 그라운드를 분리한다. 이 방법을 사용하면 소스와 벌크의 전압 차이가 발생하는데 소스에 발생하는 전압은 기생인덕턴스로 인해 노이즈 전압이되고 벌크의 전압은 그라운드에 바로 연결되기 때문에 0V가 된다. 이 방법을 사용하면 소스단에 기생인덕턴스가 벌크단에 미치지 못하게 되어 노이즈를 줄일 수 있다. 본 논문에서 나타난 결과는 공통그라운드를 사용한 구동 드라이버 보다 SSN을 10% 간단히 줄일수 있다.

I. 서론

최근 집적회로기술은 고속화와 고집적화의 추세이다. 이러한 고집적화 추세는 칩의 입출력단수의 증가를 야기한다. 이러한 칩들의 동작속도를 증가시키기 위해서는 출력 드라이버의 구동능력을 증가시키는 것이 필요하다. 문제는 많은 입출력 단들에서 높은 구동능력은 출력 버퍼단과 연결된 그라운드와 전원 line에서 큰 잡음을 발생시킨다는 것이다. 더욱 문제가 되는 것은 이 잡음들은 Power distribution network을 타고 전달돼 외부의 Receiver 들이 신호를 잘못 받아들이는 원인이 된다.

결과적으로 파워라인의 주요 기생 성분인 인덕턴스에 의해 발생하는 동시 스위칭 노이즈 (SSN : Simultaneous Switching Noise)가 중요한 이슈로 대두되고 있다[1-5]. 집적회로 내부에서 출력패드 버퍼는 bonding wire 와 package 상에서 기생 인덕턴스 성분을 통해 매우 빠르게 흐르는 전류의 큰 변화 때문에 SSN의 주요 제공자가 된다[1][2]. 전형적인 패드 드라이버의 출력단은 파워 라인을 따라 기생 인덕턴스, 저항, 커패시터, 패드, 본딩 와이어와 핀 패키지 패스등의 기생인덕턴스가 존재한다. 일반적으로 기생 저항은 비교적 작기 때문에 무시된다[1]. 가장 최악의 경우, SSN 의 최대 값이 트랜지스터의 문턱전압을 넘으면 이것은 회로의 오동작을 유발한다. 그러므로 출력 드라이버들이 SSN을 줄이기 위해 더욱 정확하고 중요하게 SSN을 이해하고 예측할 필요가 있다[1][2]. SSN을 모델링하고 줄이기 위해 제안된 많은 공식들이 있다[1-5]. Yang[1]과 Jou[3]가 SSN의 크기나 트랜지언트 시간의 제한 하에서 최적화된 출력 버퍼 회로를 제안하였다. song[2]은 SSN에 대한 새로운 모델링을 제안하였다. Spurlin[4]은 전류의 변화량을 줄이기 위하여 트랜지스터의 gate를 벨 모양으로 하는 레이아웃 기법을 이용하였다. 이 경우에 속도가 느려지게 되므로 추가적인 회로를 사용하는 것을 제시하였다. Yongha[5]는 Power line을 Dual layer로 사용하여

SSN을 줄이는 모델링을 제안하였다.

본 논문에서는 벌크단에 그라운드를 소스단의 그라운드와 분리시키는 방법을 이용하여 SSN을 효율적으로 줄이는 새로운 기법을 제안한다. 이 방법을 사용하면 소스단과 벌크단의 전압차가 발생하는데 소스단에 발생하는 전압은 기생인덕턴스에 의한 노이즈 전압이 되고 벌크단의 전압은 그라운드에 바로 연결되기 때문에 0V가 된다. 소스단에 기생인덕턴스를 벌크단에는 미치지 못하게 함으로써 노이즈를 줄이는 것이다. Hynix 0.35 μ m, COMS 공정과 입출력단에 공급전압 5V 사용하여 회로 설계를 한 후 시뮬레이션 결과와 모델링의 결과를 비교 분석한다.

II. 공통 그라운드를 사용한 일반적인 SSN 출력 드라이버 모델링

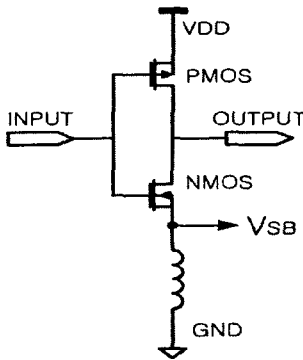


그림 1. 공통 그라운드를 사용한 드라이버

그림 1은 출력 버퍼에서 하나의 CMOS 인버터를 나타낸 것으로 그라운드의 기생 인덕턴스는 wirebonds, planes/leadframes, 그리고 pin에서 나타나는 기생 인덕턴스 성분들을 나타낸다. 그리고 이 기생 성분은 소스단과 벌크단이 같은 그라운드를 사용하기 때문에 벌크단에도 영향을 미치게 된다.

모델링을 위해서 CMOS 인버터를 사용하였고 입력은 0V에서 5V로 변화하여 출력을 5V에서 0V로 변화하게 하였다. 이때는 전류가 NMOS 트랜지스터의 소스단으로 흐르기 때문에 기생인덕턴스의 양단에 SSN이 발생하게 된다. 이때 발생하는 전압식은 다음과 같다.

$$V_n = nL \frac{dI_{ds}}{dt} \quad (2.1)$$

식 (2.1)에서 n 은 동시에 동작하는 드라이버의 개수를 나타내고 I_{ds} 는 NMOS 트랜지스터의

드레인과 소스단 사이에 흐르는 전류를 나타낸다.

NMOS 트랜지스터가 포화영역상태 일 때의 드레인과 소스단 사이의 전류식은 다음과 같다.

$$I_{ds} = \frac{1}{2} K (V_{GS} - V_{Tn})^2 \quad (2.2)$$

$K = un \times Cox \times (\frac{W}{L})$ 이고 un 은 실리콘 표면에 전자의 이동도 이고 Cox 는 게이트 캐패시터간의 비유적인 오차이다. 그리고 W 는 트랜지스터 채널의 폭이며 L 은 트랜지스터 채널의 길이이다. NMOS 트랜지스터의 소스단에 발생하는 SSN은 부채환 형태로 발생하게 되고 이 노이즈를 식 (2.2)에 추가하면 다음과 같다.

$$I_{ds} = \frac{1}{2} K (V_{IN} - V_{Tn} - V_n)^2 \quad (2.3)$$

식 (2.3)은 NMOS 트랜지스터의 게이트 소스전압 식 (2.4)을 사용하였다.

$$V_{GS} = V_G - V_S = V_{IN} - V_n \quad (2.4)$$

그리고 문턱전압에 대해서는 트랜지스터의 소스단과 벌크단은 같은 그라운드를 사용하기 때문에 노이즈의 영향을 동시에 갖게 되므로

$V_{SB} = 0$ 이 되어 body effect의 영향은 무시할 수 있다. 발생하는 노이즈를 측정하기 위해 식 (2.3)을 식 (2.1)에 대입하면

$$V_n = nLK(V_{IN} - V_n - V_{Tn})[\frac{d}{dt} V_{IN} - \frac{d}{dt} V_n] \quad (2.5)$$

와 같다.

노이즈의 피크 값을 얻기 위해 노이즈는 시간에 대하여 선형적으로 변화한다고 가정하면 $t = t_r$ 에서 피크 값은 식 (2.6)로 나타낼 수 있다.

$$V_{nmax} = nLK(V_{IN} - V_n - V_{Tn})[\frac{V_{DD}}{t_r} - \frac{V_{nmax}}{t_r - t_r}] \quad (2.6)$$

식 (2.6)에서 t_r 는 입력전압이 문턱전압과 같아질

때의 시간을 의미하며 $t_r = \frac{V_{Tn}}{V_{DD}} t_r$ 과 같고,

$V_k = V_{DD} - V_{Tn}$ 을 이용하여 V_{nmax} 에 대하여 정리하면 식 (2.7)이 된다.

$$V_{nmax} = V_k + \frac{V_k t_r}{2V_{DD} nLK} [1 - \sqrt{1 + \frac{4V_{DD} nLK}{t_r}}] \quad (2.7)$$

그림 2는 소스단과 벌크단이 같은 그라운드를 사용하는 CMOS 인버터의 스위칭 드라이버 개수의 변화에 대한 노이즈를 측정한 결과이다. 구동되는 드라이버의 개수가 많을수록 SSN의 최대값이 더 커지는 것을 알 수 있다.

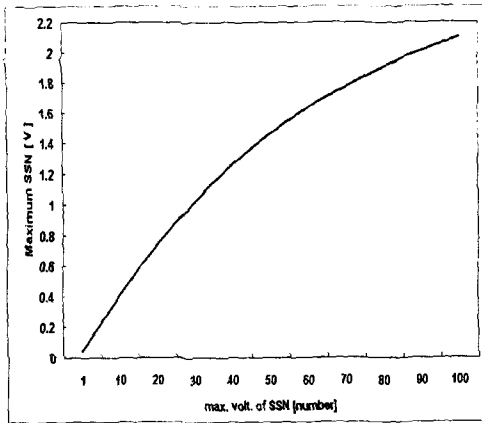


그림 2. 공통 그라운드를 사용한 경우 스위칭 드라이버 개수에 대한 SSN 최대값 변화

III. 별도의 그라운드를 사용한 새로 제안된 SSN 출력 드라이버 모델링 제안 및 공학적 해석

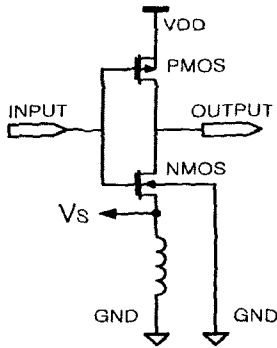


그림 3. 별도의 그라운드를 사용한 드라이버

그림 3 은 소스단과 벌크단이 별도의 그라운드를 사용하는 CMOS 인버터를 나타낸 것이다.

벌크단이 소스단에 분리되었기 때문에 소스단의 기생인덕턴스에서 발생하는 노이즈는 더 이상 벌크단에 영향을 주지 않고 벌크단으로는 전류가 흐르지 않기 때문에 벌크단이 연결된 그라운드에서는 노이즈가 거의 발생하지 않는다. 또한 드라이버가 스위칭할 때 소스단에는 인덕턴스 양단에 전압이 발생함으로 $V_{SB} \neq 0$ 이 되어 NMOS 트랜지스터에는 body effect가 발생한다. 식 (2.3)에 body effect를 고려하면 식 (3.1)이 된다.

$$I_{ds} = \frac{1}{2} K (V_{IN} - (V_{T0} + \Delta V_T) - V_n)^2 \quad (3.1)$$

여기서 ΔV_T 는 식 (3.2)로 나타낼 수 있다.

$$\Delta V_T = \gamma(\sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|}) \quad (3.2)$$

ΔV_T 는 V_{SB} 에 대한 함수이다.

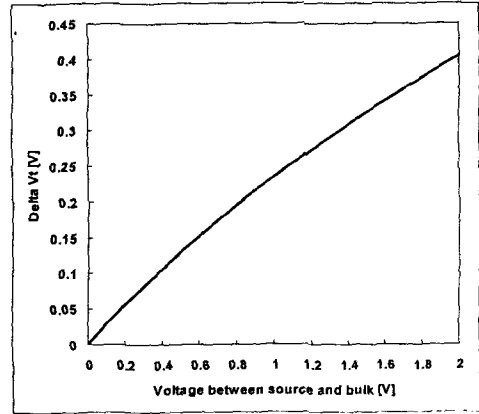


그림 4. 소스단과 벌크단의 전압차에 대한 문턱전압의 증가값

$$(\Delta V_T = \Delta V_T)$$

그림 4 는 V_{SB} 에 대한 ΔV_T 의 관계를 그래프로 나타낸 것이다. ΔV_T 는 V_{SB} 에 대하여 양의 기울기를 갖는 일차 선형함수로 가정하여 식 (3.3)을 얻을 수 있다.

$$\Delta V_T = \beta V_{SB} \quad (3.3)$$

(β 는 V_{SB} 에 대한 ΔV_T 의 변화율) ($\beta > 0$)

또한 V_{SB} 는 소스단과 벌크단의 전압차이고 소스단에 발생하는 전압은 인덕턴스에 의한 노이즈 전압이고 벌크단의 전압은 0V가 되므로 다음과 같은 조건을 만족한다.

$$V_{SB} = V_S - V_B = V_n - 0 = V_n \quad (3.4)$$

식 (3.4)를 식 (3.3)에 대입하면 소스단과 벌크단이 별도의 그라운드를 사용하는 CMOS 트랜지스터에서의 ΔV_T 는

$$\Delta V_T = \beta V_n \quad (\beta > 0) \quad (3.5)$$

이 된다. 식 (3.5)를 식 (3.1)에 대입하면

$$I_{ds} = \frac{1}{2} K (V_{IN} - V_{T0} - (1 + \beta)V_n)^2$$

$$(\beta > 0) \quad (3.6)$$

과 같다. 식 (3.6)을 기생인덕턴스 양단에 발생하는 전압 식에 대입하면

$$V_n = nLK(V_{IN} - V_{T0} - (1 + \beta)V_n) \left[-\frac{d}{dt} V_{IN} - (1 + \beta) \frac{d}{dt} V_n \right]$$

$$(\beta > 0) (3.7)$$

과 같다. $t = t_r$ 에서 노이즈의 피크 값을 구하면

$$V_{nmax} = nLK(V_{IN} - V_{T0} - \alpha V_{nmax}) \left[\frac{V_{DD}}{t_r} - \alpha \frac{V_{nmax}}{t_r - t_T} \right]$$

$$(\alpha = \beta + 1) (\alpha, \beta > 0) (3.8)$$

이고 $V_k = V_{DD} - V_{T0}$ 를 이용하여 V_{nmax} 에 대하여 정리하면 식 (3.9) 와 같다.

$$V_{nmax} = \frac{V_k}{\alpha} + \frac{V_k t_r}{2\alpha^2 V_{DD} nLK} \left[1 - \sqrt{1 + \frac{4\alpha V_{DD} nLK}{t_r}} \right]$$

$$(\alpha > 0) (3.9)$$

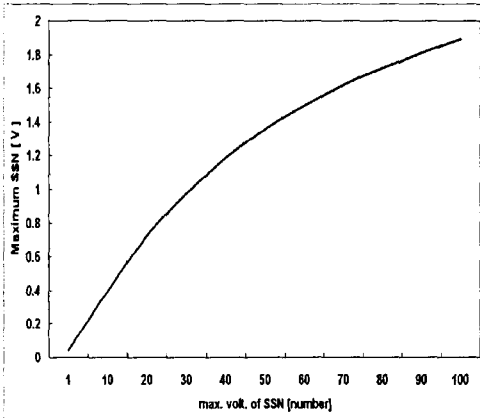


그림 5. 별도의 그라운드를 사용한 경우 스위칭 드라이버 개수에 대한 SSN 최대값 변화

그림 5 는 소스단과 벌크단이 별도의 그라운드를 사용하는 CMOS 인버터의 스위칭 드라이버 개수의 변화에 대한 SSN 최대값을 측정 한 결과이다. 구동되는 드라이버의 개수가 많을수록 발생하는 SSN의 최대값이 더 커지는 것을 알 수 있다.

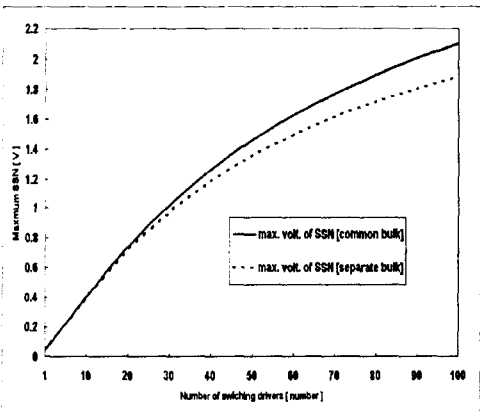


그림 6. 공통 그라운드를 사용한 경우와 별도의 그라운드를 사용한 경우 스위칭 드라이버 개수에 대한 SSN 최대값 변화

그림 6 은 소스단과 벌크단이 공통그라운드를 사용하는 인버터와 별도의 그라운드를 사용하는 인버터의 피크노이즈를 비교한 그래프이다. 별도의 그라운드를 사용하는 인버터는 동시에 스위칭되는 인버터의 개수가 많을수록 공통그라운드를 사용하는 인버터와의 피크노이즈차가 더욱 증가되는 것을 볼 수 있다. 이는 별도의 그라운드를 사용함으로써 body effect를 발생시켜 그 영향으로 SSN을 감소시키는 것이다. 이때에 감소율은 $\alpha = 1 + \beta$ 에 의하여 결정이 되고 이 값은 공정 파라미터에 의하여 결정된다.

IV. 결론.

이 논문에서는 output bufer 단과 연결된 그라운드 버퍼단의 nmos 트랜지스터의 소스단과 벌크단을 같은 공통 그라운드에 연결하지 않고 별도의 그라운드에 연결하여 소스단 단에서 기생인덕턴스에 흐르는 전류로 인하여 SSN이 발생하는 것을 벌크단으로 흐르지 않도록 하여 SSN을 줄이는 모델링을 제시 하였다. 이 논문에서 제시한 모델링을 사용하면 α 값에 의하여 공통 그라운드 모델링보다 동시 스위칭 노이즈를 10%정도 줄일 수 있다.

참고 문헌

- [1] Y. Yang and J. R. Brews, "Design Trade-Offs for the Last stage of an Unregulated, Long-Channel Cmos Off-chip Driver With Simultaneous Switching Noise and Switching Time Considerations" IEEE Transactions on Components, Packaging, and Manufacturing Technology-Part B, VOL. 19, NO. 3, Aug. 1996.
- [2] S. W. song, M. Ismail, G. Moon, and D. Y. Kim, "Accurate Modeling of Simultaneous Switching Noise in Low Voltage Digital VLSI," IEEE International Symposium on Circuits and Systems, Orlando, USA, June, 1999.
- [3] S. Jou, W. Cheng and Y. Lin, "Simultaneous Switching Noise Analysis and Low Bouncing Buffer Design," IEEE 1998 custom intergrated Circhits Conference, 1998.
- [4] C. Spurlin and D. Stein, "EPIC Advance CMOS Logic Output Edge Control," Texas Instruments Technical Journal, March-April 1989.
- [5] Yongha Lee, et al "Simultaneous Switching Noise Minimization Technique Using Layer Power Line Mutual Inductors" 한림대학교 석사학위논문 1999