

SOI-LDMOS의 드리프트 길이 변화에 따른 전기적 특성의 고온영역 신뢰성 분석

김 재 석, *구 용 서, **구 진 근, 안 철
서강대학교 전자공학과, *서경대학교 전자공학과, **한국 전자통신 연구소
전화 : 02-706-3401 / 핸드폰 : 019-570-7607

The Reliability analysis on the High Temperature Characteristics of SOI-LDMOSFET Having Various Drift Region Length

Jae Seok Kim, Young Seo Goo, Jin Geun Goo, Chul An
Dept. of Electronics , Sogang University
E-mail : joyful_guy@hotmail.com

Abstract

This paper show the measured result of electrical characteristics of SOI-LDMOSFET that is one of the high voltage devises. Especially, we observed changes of breakdown voltage, threshold voltage, on-resistance, drain current, and transconductance in accordance with drift length, main parameter of LDMOSFET. Also, we achieved reliability analysis about device operation in high temperature environment because LDMOS is applied to smart power IC.

Field) SOI 구조를 채택하고 있는 LDMOS의 전기적 특성에 관한 연구를 수행하였다.

고내압 소자는 주로 400K이상의 높은 동작온도 환경을 요구하고 있다. 이에 따라 전력 집적회로 시스템의 핵심부품으로 사용되는 LDMOS 소자도 고온 동작환경에서의 신뢰성이 요구되게 되었고, 이를 설계하기 위해서는 온도특성 분석이 필수적이라고 할 수 있다.

이에 본 연구에서는 300K~500K의 동작 고온 환경에서, 제시된 SOI-LDMOS 구조의 드리프트 길이(Drift length :Ld) 변화에 따른 전기적 특성을 측정 및 분석하였다.

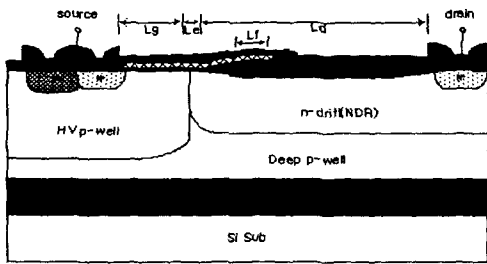
I. 서론

최근 자동차 전자제어장치 및 디스플레이 구동장치의 핵심부품으로 이용되고 있는 전력 집적회로 시스템(Smart Power IC)은 그 수요가 증가함에 따라, 고내압 전력소자들에 대한 연구의 중요성이 부각되고 있다. 또한 최근의 공정기술의 발달에 따라 SOI기판 제작 기술이 큰 발전을 이루었으며, 이러한 SOI기판의 대량 공급은 전력용 MOS의 항복특성을 좋게 만들고 있으며, 이것이 HVIC의 기술 발달의 바탕이 되고 있다. 그러므로 본 논문에서는 RESURF(REDuced SURface

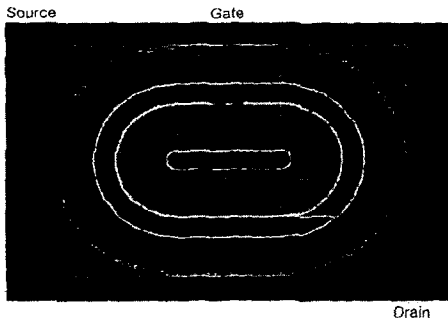
II. 소자 구조

전력용 LDMOS의 제작시에 여러 가지 변수들을 고려해야 한다. 그 중 중요한 변수가 항복전압과 전도저항 등이다. 이러한 특성은 본 논문에서 연구한 수평방향 전력소자의 구조적인 특성에 직접적인 영향을 받는다. 특히 드리프트 영역은 그 불순물 농도가 낮게 도핑되어야 하고, 길이는 길어져야 높은 항복 전압을 얻을 수 있으나, 그에 따라 저항이 커지는 문제점이 있다. 이러한 특성을 개선하기 위한방법으로 SOI 기판을 사용하는 것에 대한 연구가 활발히 진행중이다.

아래 그림1.은 본 논문에서 사용한 RESURF (REduced SURface Field) SOI n-LDMOS 의 구조를 나타내고 있다. p 에피층 위에 붕소(B)가 이온 주입된 p-well 및 인(P)이 이온 주입된 n-드리프트 영역으로 구성되어 있다. Gate oxide 두께는 200Å, W(400µm 이상)를 크게 하기 위하여 드레인을 중심에 둔 타원형으로 설계되었으며, 게이트 필드판 확장영역 길이(Lf)를 2.0µm, 와 게이트 확장 영역 길이 (Le) 와 Lg를 2.4µm로 고정시켰다. 본 연구에서는 상기 소자 변수들을 모두 고정시켜 놓은 상태에서 드리프트 영역 길이(Ld)를 각각 12µm에서 25µm로 변화시켜가며 on-wafer 상태에서, 300K에서 500K까지의 온도환경에서의 전기적 특성을 측정하였다.



(a) Cross section



(b) Layout

그림 1. Structure of SOI n-LDMOSFET

III. 드리프트 영역과 온도의 변화에 따른 전기적 특성의 측정 결과

3.1 Breakdown Voltage (BV)

본 문에서 특성을 파악한 소자인 SOI-LDMOSFET은 기본적으로 High power application에 응용되므로, 그 항복특성은 소자의 기능을 표현할 수 있는 기본 척도이다.

Breakdown voltage는 주로 다음의 식으로 표현할 수 있다.

$$BV = \epsilon_s E_{s,cr} (N_D) \left(\frac{E_{s,cr} (N_D)}{2q(N_D)} + \frac{1}{C_0} \right) \quad \text{-----(1)}$$

SOI-LDMOSFET에서의 breakdown voltage는 impact ionization에 의한 *avanch mechanism*이 주요원인이 된다. 본 연구에 사용된 소자는 RESURF 원리를 채택함으로써 pn 접합의 전계가 임계전계에 도달하기 이전에 실리콘 층을 공핍시킴으로써 최대전계를 감소시키는 구조이다. 그러므로 수평방향의 항복현상은 드레인 과 소스의 전압차에 의한 전계에 의해서 발생하게 되는데, 캐리어는 대부분 표면을 따라 흐르므로 표면을 중심으로 impact ionization이 일어나기 쉽다.

온도가 올라감에 따라서 *lattice scattering*에 의하여 carrier의 mobility가 감소하게 되므로, 이는 캐리어의 mean free path의 감소를 불러오게 된다. 즉 그러므로 breakdown을 일으키게 하는 더 큰 임계전압을 요구하게 되므로 상대적으로 소자의 breakdown voltage는 더 커지게 된다. 일반적으로 온도에 따라 BV는 다음과 같은 선형 관계가 알려져 있다.

$$BV_{ds}(T) = BV_{ds}(300K) + A(T - 300) \quad (0.1 < A < 0.15)$$

그러므로 온도가 증가함에 따라 BV는 증가할 것을 예상할 수 있으며, 아래 그림 2.는 실제 측정된 결과로서 이를 확인할 수 있다.

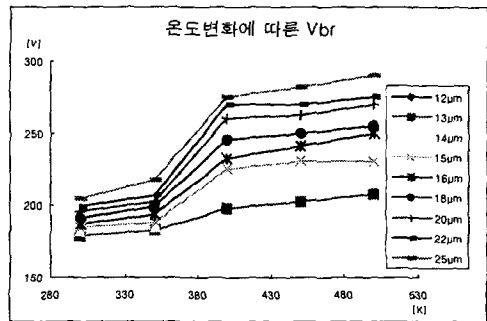


그림 2. Breakdown Voltage vs Temperatures about each drift length

소자 제작시 SOI 웨이퍼의 규격을 결정할 때, SOI wafer가 갖을 수 있는 최대 항복전압은 매몰 산화층의 두께와 에피두께의 함수로 표현되므로 이를 요구되는 항복전압보다 높게 설계함으로써, Ld에 의해 breakdown voltage의 변화를 직접적으로 관찰할 수 있다. 즉 drift length가 길어짐에 따라, 표면의 전계가 감소하는 효과를 불러일으키므로, breakdown을 일으키는 임계전압이 높아지게 되어, drift length가 증가함에

따라 BV가 증가하는 결과를 볼 수 있다.

2 On resistance (Ron)

On resistance는 BV와 함께 소자의 성능을 표현하는 주요 특성이라 할 수 있다. 온도가 증가함에 따라 캐리어의 mobility는 다음의 관계에 따라 감소하게 된다.

$$\mu_n = 1360 \left(\frac{T}{300} \right)^{-2.42}$$

그러므로 온도가 증가함에 따라 mobility와 역비례 관계 있는 on resistance 값은 증가하게 된다. 아래 그림

3. 은 실제 측정에 의해 나타난 결과를 보여준다.

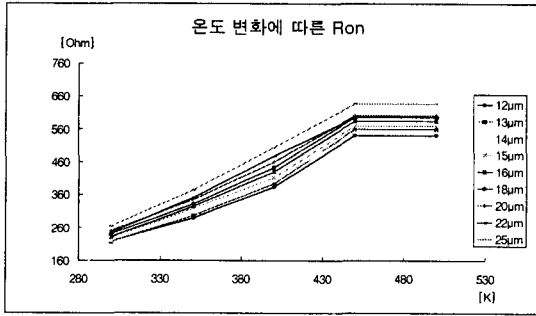


그림 3. On resistance vs Temperatures about each drift length

LDMOSFET 에서의 on resistance 는 전체 drift region의 저항에 의해서 결정된다. 그러므로

$$R_{on} = R_D = R_d + R_e = \frac{L_e + L_d}{q \mu_{eff} (Q_d + Q_e) W}$$

L_e : extended gate length

로 표현될 수 있다. 그러므로 drift 영역의 증가는 on resistance에 영향을 미치게 되고, 이를 측정 결과에서 확인할 수 있다.

3.3 Threshold Voltage (Vt)

Thick film SOI 소자의 경우 front와 back depletion zone에서의 상호 영향이 있을수 없으므로 threshold voltage는 Silicon bulk MOSFET의 그것과 같이 표현된다.

$$V_{th} = \Phi_{MS} + 2 \Phi_F - Q_{ox} / C_{ox} - Q_{depl} / C_{ox}$$

(Φ_{MS} , Φ_F , Q_{ox} , Q_{depl} , C_{ox} are the metal-semiconductor work function difference, the Femi potential, the charge density in the gate oxide, the depletion charge controlled by gate, gate oxide capacitance)

위의 식에서 일함수와 페르미 포텐셜은 온도와 진성 실리콘 캐리어 농도에 영향을 받게 된다. 진성 캐리어 농도 역시 온도의존성이 알려져 있다.

$$n_i = 3.9 \times 10^{16} T^{3/2} e^{-E_g/2kT}$$

그러므로 온도가 증가함에 따라 페르미 포텐셜은 감소하게 되며, 결과적으로 threshold voltage 역시 감소하게 된다. threshold voltage의 온도 의존성은 다음의 식으로 표현되어진다.

$$\frac{dV_{th}}{dT} = \frac{d\Phi_F}{dT} \left[1 + \frac{a}{C_{ox}} \sqrt{\frac{\epsilon_{si} N_a}{kT \ln N_a / n_i}} \right]$$

$$\frac{d\Phi_F}{dT} =$$

$$8.63 \times 10^{-5} [\ln(N_a) - 38.2 - \frac{3}{2}(1 + \ln(T))]$$

아래 그림 4. 는 SOI-LDMOSFET의 온도에 따른 Vt의 변화를 직접적으로 나타내어 주며 이를 직접적으로 확인할 수 있다. 그러나 drift length는 Vt에 직접적인 영향을 미치는 변수가 아니므로, 그 변화가 영향을 미치지 않는 것 또한 볼 수 있다.

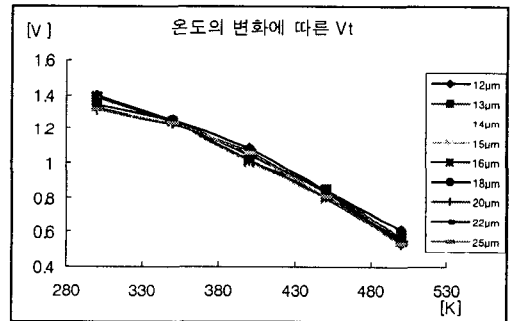


그림 4. Threshold voltage vs Temperatures about each drift length

3.4 Drain current (Id)

Thick film SOI MOS 소자의 전류특성의 표현역시 bulk MOSFET의 그것과 동일하게 표현되어질 수 있다. Saturation region에서 drain current는

$$I_d = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$$

와 같이 표현된다.

즉 drain current는 mobility와 threshold voltage에 영향을 받는 것을 볼 수 있는데, 이들 파라미터들은 앞서 논한 바와 같이 고온영역에서 그 크기가 감소하는 특성을 보인다. 그러므로 온도가 높아짐에 따라 drain current는 감소하리라는 것을 예상할 수 있으며, 실제 측정된 결과인 그림 5.에서 이를 확인할 수 있다.

한편 drift length 가 증가할 경우 drain current가 다소 증가하는 경향을 나타내는 것을 볼 수 있었다. 이는 측정에 사용한 소자의 구조적인 특징에서 살펴볼수

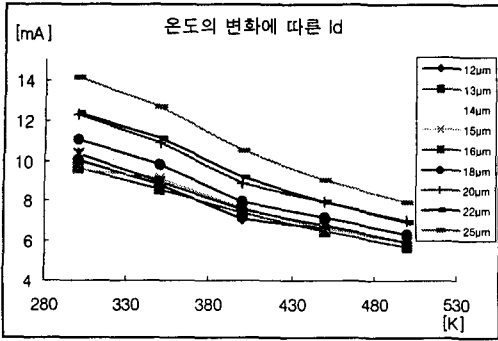


그림 5. Drain current vs Temperatures about each drift length

있다. 실험에 사용한 SOI-LDMOSFET은 그림1에서 보듯이 W를 크게 하기 위한 타원형의 구조를 채택하고 있다. 그러므로 드리프트 길이의 증가는 구조상 W의 크기를 증가시키되며, 이는 위 식에서 알수 있듯이 drain current의 증가 원인이 된다.

3.5 Transconductance (Gm)

그림 6. 의 측정된 결과를 보면 Transconductance 역시 온도의 변화에 그 특성이 감소하는 것을 확인할 수 있다. Transconductance 는 게이트 전압에 의한 드레인 전류 조절의 효과성의 척도이므로 다음과 같이 표현된다.

$$G_m = \frac{\partial I_d}{\partial V_G} = \mu_n C_{ox} \frac{W}{L} (V_G - V_T)$$

즉 역시 온도의 증가에 따른 mobility와 Vt의 감소가 Gm에 직접적인 영향을 미치는 것을 알 수 있다.

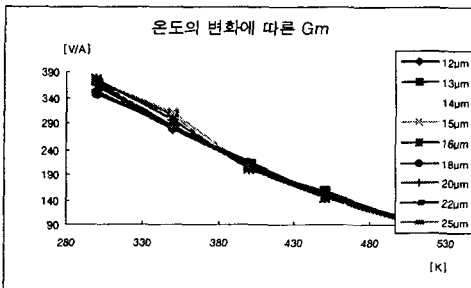


그림 6. Breakdown Voltage vs Temperatures about each drift length

V. 결론

이상의 결과는 300K에서부터 50K 간격으로 온도를 변화시켜 가면서 측정한 n channel SOI-LDMOS 의 항복전압 (Vbr), 전도저항(Ron), 문턱전압(Vt), 트랜스

컨덕턴스(Gm), 드레인 전류 (Id)의 변화를 나타내 주는 결과이다. 단 Id 는 Gate 전압이 5V, 드레인 전압은 10V 인 조건이다.

위의 결과에서 보듯이 SOI-LDMOS 의 구조 중에서 드리프트 영역의 변화가 그 전기적 특성에 직접적인 영향을 나타내는 것을 볼 수 있다. 특히 드리프트 길이 확장에 따라서 전력소자의 중요한 특성인 항복전압과 드레인 전류가 높아지는 것을 확인할 수 있다. 그러나 전도저항이 증가하여 이의 Trade-off 관계를 고려해야 함을 알 수 있다. 반면 높은 항복 전압과 드레인 전류는 드리프트 길이의 확장에 직접적으로 영향을 받지않는 것을 확인할 수 있으므로, 소자의 구동 조건을 크게 변화시키지 않으면서, 전력소자로서의 특성을 향상시키는 것은 드리프트 영역의 조절이 효과적임을 알 수 있다.

또한 고온 영역에서 동작할수록 항복전압과 전도저항은 그 크기가 커지고, 문턱전압, 트랜스컨덕턴스, 드레인 전류는 낮아지는 것을 볼 수 있다. 특히 온도가 높아질수록 전력소자의 드레인 전류와 전도저항의 변화는 전력소자의 특성을 감소시키는 방향으로 일어나므로, 이를 고려한 소자동작환경을 결정해야 할 것이다.

VI. 참고문헌

- [1] Jean-Pierre Colinge, "Silicon-On-Insulator Technology : Materials to VLSI", 2nd, Kluwer Academic Publishers, chap 3, chap 5, chap 7 (2000)
- [2] Sorin Cristoloveanu, Sheng S. Li, "Electrical Characterization of Silicon-On-Insulator Materials And Devices", Kluwer Academic Publishers, chap 3, chap 8, (1995)
- [3] Vitazslav Benda, John Gowar, Duncan A. Grant, "Power Semiconductor Devices Theory and Applications", John Wiley & Sons, chap 3, chap 4 (1999)
- [4] B. Jayant Baliga, "Power Semiconductor Devices", PWS Publishing Company, chap 3, chap 7 (1996)
- [5] B. Murari, f. Bertotti, G.A. Vignola (Eds.), "Smart Power ICs" , Springer, chap 2 (1995)
- [6] Ben G. Streetman, Sanjay Banerjee, "Solid Stage Electronic Devices" 5th, chap 2, chap 3, chap 6