

초고속 구동을 위한 Ultra-thin Strained SGOI n-MOS 트랜지스터 제작

맹성렬¹⁾, 조원주, 오지훈, 임기주*, 장문규, 박재근**, 심태현**, 박경완***, 이성재

한국전자통신연구원 응용소자연구부

*광주 과학기술원 신소재공학과

**한양대학교 나노 SOI 공정연구실

***서울 시립대학교 나노과학과

High Performance nFET Operation of Strained-SOI MOSFETs Using Ultra-thin Strained Si/SiGe on Insulator(SGOI) Substrate

Sunglyul Maeng,¹⁾ Wonju Cho, Jihoon Oh, Kiju Im*, Moongyu Jang, Jeageun Park**, Taehun Shim**, Kyungwan Park***, Seongjae Lee

Nano-electronic Device Team, Advanced Device Research Department,
Electronics and Telecommunications Research Institute

*Department of Materials Science and Engineering, Kwanju Institute of
Science and Technology

** Nano-SOI Process Laboratory, Hanyang University**

***Department of Nano Science, University of Seoul

¹⁾E-mail : slm221@etri.re.kr

Abstract

For the first time, high quality ultra-thin strained Si/SiGe on Insulator (SGOI) substrate with total SGOI thickness($T_{Si} + T_{SiGe}$) of 13 nm is developed to combine the device benefits of strained silicon and SOI. In the case of 6- 10 nm-thick top silicon, 100-110 % $I_{d,sat}$ and electron mobility increase are shown in long channel nFET devices. However, 20-30% reduction of $I_{d,sat}$ and electron mobility are observed with 3 nm top silicon for the same long channel device. These results clearly show that the FETs operates with higher performance due to the strain enhancement from the insertion of SiGe layer

between the top silicon layer and the buried oxide(BOX) layer. The performance degradation of the extremely thin(3 nm) top Si device can be attributed to the scattering of the majority carriers at the interfaces.

I. 서론

MOS 트랜지스터 소자가 100nm 이하 크기로 줄어들어서도 고속동작을 하려면 소스/드레인에서의 기생 커패시턴스가 충분히 작아야 한다. SOI기판을 사용하면, 이와 같은 기생 커패시턴스 문제를 해결할 수 있다.

100nm 이하 크기의 소자에서 또한 단채널 효과(short channel effects)의 억제가 중요한데, 이 문제는 초박막(ultra-thin body) SOI MOS 트랜지스터 구조로

해결 가능하다.

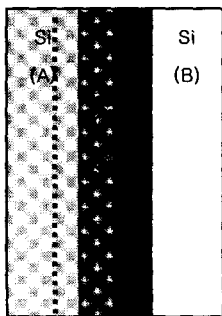
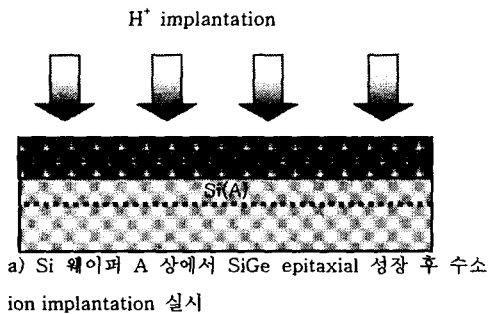
최근 MOS트랜지스터의 크기가 줄어드는 속도가 점점 가속화되어 삼성전자에서는 22nm 게이트 길이의 MOS 트랜지스터 소자를 발표하였다. 이런 극한적인 경우 채널 두께는 10 nm 안팎이 되어야 하고, SOI 구조에서는 상부 실리콘의 두께가 얇아짐에 따른 캐리어들의 경계면에서의 산란문제가 심각하게 대두되어 이동도의 저하가 불가피해진다.

이런 상황에서 캐리어 이동도를 증가시키려면 채널로 사용되는 상부 실리콘 아래에 SiGe 층을 쌓아 상부 실리콘에 strain이 가해지도록 하면 된다[1].

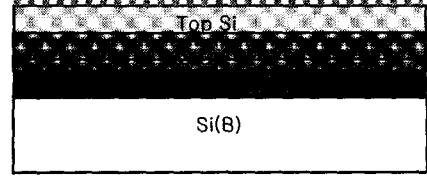
본 실험에서는 상부 실리콘층과 SiGe층을 합한 총 두께를 13 nm로 고정시키고, 각 층간의 상대적인 두께를 변화시켜 제작한 Si/SiGe on Insulator(SGOI)기판에 장채널의 n-MOS를 구현하여 각 조건에 따른 캐리어 이동도의 변화를 살펴보았다.

II. 나노 SGOI 기판 제작

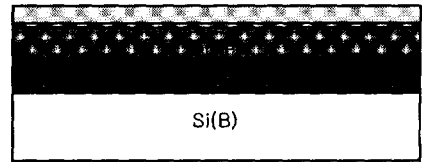
그림 1.은 SGOI 웨이퍼 접합과정을 순차적으로 나타낸 것이다.



b) Si 웨이퍼 B의 표면 열산화막 형성 후 Si 웨이퍼 A와 친수성 접합(hydrophilic bonding)



c) 열처리하여 수소침투 부위를 다공성으로 한 후 워터 제트로 분할.



d) CMP와 SCI 에칭으로 초박막 SGOI제작완료

그림 1. 초박막 SGOI 웨이퍼 제작 공정순서

이와같은 공정으로 맨윗층의 실리콘 박막과 SiGe 층 모두 10 nm 이하가 되도록 만들었다. 그림2는 상기 공정으로 만든 SGOI 웨이퍼에 SiGe 층이 제대로 형성되었는지를 확인하기 위해 SIMS측정을 한 결과를 나타내고 있다. 이 그래프에서 알 수 있듯이 SiGe에서 Ge의 함량은 15% 정도이다.

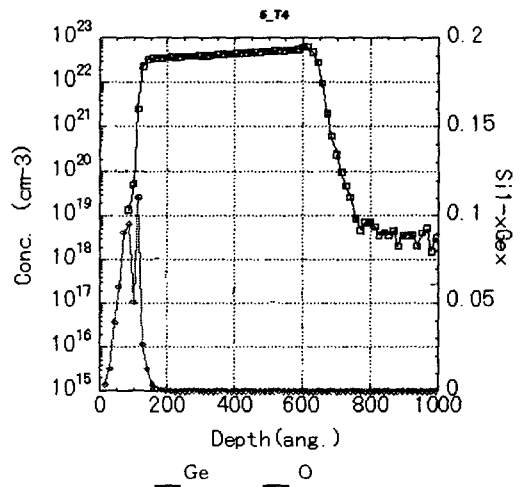


그림2. Si/SiGe/BOX = 10nm/3nm/50nm인 SGOI의 SIMS 분석결과

III. 플라즈마 도핑과 RTP

상기 공정에 의해 제작된 초박막 SGOI 웨이퍼를 이용하여 MOS 트랜지스터를 제작하기 위하여 플라즈마 도핑법(Plasma Doping)과 RTP(Rapid Thermal Process)를 사용하였다. 플라즈마 도핑법은 초박막 Si 에 효과적으로 이온을 주입하기 위해 높은 에너지의 이온을 사용하는 기존의 이온 주입법(Ion Implantation) 대신 연구되고 있는 방법이며, RTP 는 이렇게 주입된 이온이 비교적 열확산이 작은 범위 내에서 활성화 되도록 고안된 방법이다.

플라즈마 도핑법에 의한 인(P) 불순물의 농도와 확산깊이를 측정하기 위해 수소 가스에 1% 희석된 수소화 인(PH₃)을 이온 발생용기에 유입시킨 후 RF 방전하여 플라즈마화 시켰다. 이때 가스 압력, RF 전류, 도핑시간과 기판온도는 각각 100 mTorr, 3 mA, 10 분, 그리고 상온으로 하였다. 이 조건 하에서 기판에 가해지는 전압을 1 KV ~ 8 KV 까지 바꾸면서 주입된 불순물 농도를 측정하였다.

주입된 불순물의 농도 분포를 알아내기 위해 SIMS 분석을 하였다. 여기에는 불순물 농도가 낮은 p-type 의 SOI 기판이 사용되었다.

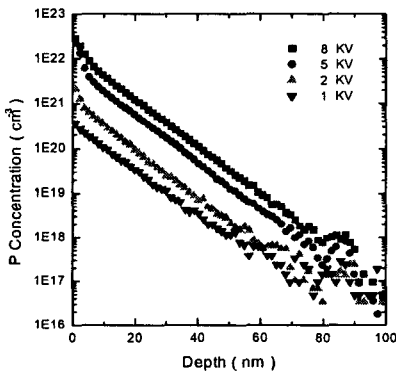


그림 3. 플라즈마 도핑법에 의해 주입된 인(P)의 깊이에 따른 농도분포

그림 3. 은 깊이에 따른 인(P)의 농도분포를 나타내고 있다. 이 그림에서 기판에 가해지는 전압이 높을수록 도핑된 불순물 농도가 높아짐을 알 수 있다. 그림 4.는 2kV 와 5kV 의 기판 인가 전압에서 도핑된 SGOI 샘플을 750, 850, 950,1050 도에서 30 초씩 RTP 한 후 면저항

을 측정한 결과이다. 750 도에서는 5kV 의 경우가 2kV 일 때보다 면저항이 작지만, 850 도에서는 거의 비슷하고, 950, 1050 도에서는 그 반대로 2kV 의 경우가 5kV 일 때보다 면저항이 작아지는 것을 알 수 있다.

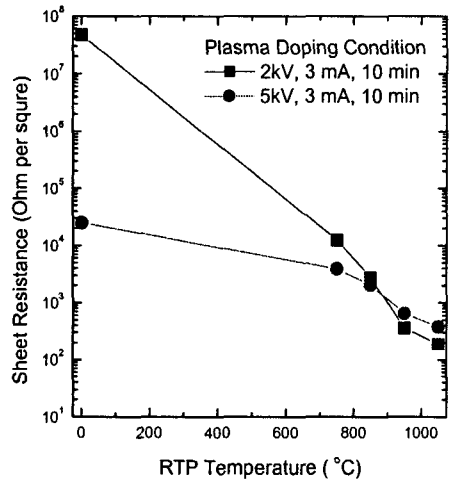


그림 4. SGOI 에 플라즈마 도핑법에 의해 인(P)이 주입된 SGOI 를 여러가지 온도로 RTP 에 의해 열처리 했을 때 면저항의 변화.

IV. MOS 트랜지스터 제작과 특성분석

플라즈마 도핑법과 RTP 를 적용하여 2 μm 게이트 길이의 n-type SGOI MOS 트랜지스터를 제작하였다. 공정 순서를 간략히 설명하면 다음과 같다.

- (1) SGOI 의 상부 실리콘을 에칭하여 고립화 시켜 섬(island)을 만든다.
- (2) 열산화법으로 850 °C 에서 5 nm 의 게이트 산화막을 성장시킨다.
- (3) 80 nm 두께의 n-type 폴리 실리콘 박막을 600 °C 에서 LPCVD 법으로 형성한 후 광리소그래피법으로 게이트를 형성한다.
- (4) 플라즈마 도핑(2kV, 3mA, 10min.)으로 소스-드레인 부위를 형성한다.
- (5) 850 도에서 30 초간 RTP 를 실시하여 불순물 활성화를 한다.
- (6) 게이트와 소스-드레인의 금속 전극을 형성한다

상기 공정에서 850 도 이하의 온도를 사용항 것은 SiGe 에 포함된 Ge 원자의 열확산에 의해 상부 Strained-Si 의 두께가 감소하는 것을 방지하기 위해서이다[2].

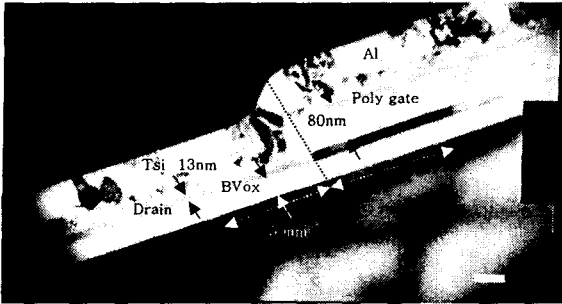


그림 5. 제작된 초박막 SGOI MOSFET 의 단면 TEM 사진.

그림 5.는 상기 공정에 의해 제작된 MOS 트랜지스터의 단면 TEM 사진이다. 사진에서 보듯 Strained-Si 와 SiGe 의 총두께는 13 nm 이다. Al 은 단면 TEM 을 찍기위해 추가로 증착된 것으로 원래의 소자와는 무관하다.

그림 6.은 제작된 소자의 strained-Si/SiGe 의 조합에 따른 준문턱치(subthreshold)특성 변화를 나타내고 있다. strained-Si 의 두께가 얇아지면 문턱치 전압이 줄어들다가 극도로 얇을 때에는 오히려 문턱치 전압이 커지는 것을 관찰할 수 있다. strained-Si 가 극도로 얇아지면, 양저역학적 효과와 계면에서의 전하캐리어 산란효과 때문에 문턱치 전압이 높아지는 것으로 해석할 수 있다. 또한, 준문턱치 특성도 strained-Si 가 어느 정도 얇아질 때까지는 좋아지다가 극도로 얇은 경우에는 나빠지는데 이는 주로 계면에서의 전하캐리어 산란효과 때문이다.

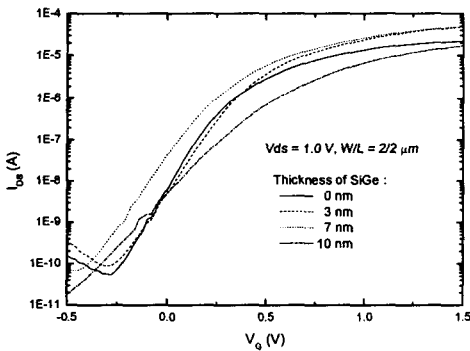


그림 6. 상부 실리콘과 SiGe 의 총두께가 13nm 인 SGOI MOSFET 에서 SiGe 두께를 변화시켰을 때의 준문턱치(subthreshold) 영역 특성변화

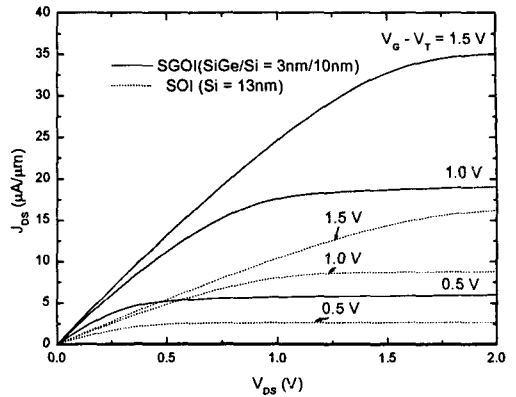


그림 7. SGOI MOSFET 과 SOI MOSFET 의 Id,sat. 비교.

그림 7.은 SGOI MOSFET(strained-Si/SiGe = 10nm/3nm)와 SOI MOSFET(top Si ≈13nm)의 포화전류 ($I_{d,sat}$)를 비교한 그래프이다. SGOI 기판을 사용할 경우 SOI 를 사용할 때보다 100 %이상의 전류 증가가 있음을 확인할 수 있다.

V. 결론

Top Si 과 SiGe 를 합한 총두께가 13nm 인 SGOI 기판을 사용하고, 플라즈마 도핑법과 RTP 법을 사용하여 초박막 MOS 트랜지스터를 제작하였다. 그 결과 SGOI MOSFET 이 같은 두께의 채널을 갖는 SOI MOSFET 보다 100%이상의 전류증가효과가 있음을 확인했다. 하지만, top-Si 의 두께가 3nm 이하로 작아질 경우 오히려 전류특성이 나빠짐을 관찰했다. 이는 계면에서의 전하캐리어 산란효과에 기인하는 것으로 해석할 수 있다.

참고문헌

- [1] J.L. Hoyt, H.M. Nayfeh, S.Eguchi, I. Aberg, G.Xia, T.Drake, E.A.Fitzgerald, and D.A.Antoniadis, *Strained Silicon MOSFET Technology*, IEDM 2002, p.23
- [2] T. Mizuno, N. Sugiyama, T. Tezuka, T. Numata, T. Maeda, and S. Takagi, *Design for Scaled Thin Film Strained-SOI CMOS Devices with Higher Carrier Mobility*, IEDM 2002, p.31