

지연소자를 이용한 주파수-디지털 변환회로의 설계

최진호, 김희정
부산외국어대학교 컴퓨터공학부
전화 : 051-640-3194

Design a Frequency-to-Digital Converter Using Delay Element

Jin-Ho Choi, Hee-Jung Kim
Dept. of Computer Engineering, Pusan University of Foreign Studies
E-mail : jhchoi@pufs.ac.kr

Abstract

In this paper, a new CMOS fully integrated frequency-to-digital converter is proposed. The operation of the proposed circuit is based on a pulse-shrinking delay element. In the proposed circuit, a resolution of the converted digital output can be easily improved by increasing the number of the pulse-shrinking element. Also the input frequency range can be easily changed through controlling bias voltage in the pulse-shrinking element. The simulation of the designed circuit carried out by HSPICE using the CMOS 0.35 μ m process technology.

I. 서론

주파수 신호를 디지털 값으로 변환하는 회로는 통신시스템이나 센서의 출력을 신호 처리하기 위한 시스템에 응용되어진다. 그러나 기존에 발표되어진 주파수-디지털 신호 변환에 관한 연구 결과를 살펴보면 커패시터의 충·방전을 이용하여 주파수-디지털 신호 변환의 동작을 구현하고 있다. 그러나 회로 설계시 많은 커패시터의 사용은 IC화하는 과정에서 집적도가 떨어지는 원인이 되며, 또한 IC 제조 공정이 복잡해지는 단점이 있다[1,2].

본 논문에서 제안하고자하는 주파수 신호의 디지털 변환은 커패시터를 사용하지 않고 트랜지스터만으로 회로를

구성하여 집적화가 용이하도록 설계하였으며, 또한 사용 주파수 대역의 변화를 쉽게 조절할 수 있는 장점이 있다. 그리고 디지털 값의 분해도를 쉽게 향상시킬 수 있다.

II. 주파수-디지털 변환 회로

그림 1 (a)는 입력 신호의 펄스 폭을 감소시키는 회로이다. 그림 1 (a)의 회로에서 각 단자의 입력력 신호는 그림 1 (b)와 같다. 그림 1 (a)에서 입력 신호 V_{in} 전압이 low 일 경우 MP2가 on 되고 MN3은 off 되므로 V_c 단자의 전압은 high가 된다. 그리고 최종 출력 전압 V_L 은 MP3와 MN5로 구성되어진 인버터를 통과하여 low가 된다. 입력 전압 V_{in} 이 high인 경우는 MP2가 off 되고 MN3이 on 된다. 그러면 MN5의 게이트에 충전되어진 전하는 MN3과 MN4를 통하여 방전한다.

방전시 전류원 MN4를 통하여 흐르는 전류가 크면 V_c 의 전압은 빠르게 low로 변화할 것이다. V_c 의 전압이 low로 변화하면 V_L 전압은 high가 되는데, 이때 MP3과 MN5로 이루어진 인버터의 로직 문턱전압에 의하여 high로 변화하는 전압이 결정되어진다. 그러므로 그림 1 (b)의 그림에서 보듯이 V_L 의 전압 파형은 V_{in} 의 전압 파형에서 high 영역의 펄스 폭이 감소되어 출력된다.

입력 신호의 주파수가 증가하면 V_L 의 펄스 폭은 점점 감소하여 어느 값 이상으로 주파수가 증가하면 V_L 은 low의 값이 될 것이다. 그러므로 그림 1(a)의 회로는

기준 주파수를 중심으로 high와 low가 출력되는 주파수 비교기로 동작하게 된다. 그림 1(a)에서 기준 주파수 f_1 은 식 (1)과 같이 표현된다.

$$f_1 = I_{C1} / C \Delta V \quad (1)$$

여기서 ΔV 는 $V_{CC} - V_{pc}$ 이고, V_{pc} 는 MP3와 MN5로 이루어진 인버터의 로직 문턱전압이다. 그리고 C는 게이트와 드레인 커패시턴스의 합이다. 설계되어진 회로에서 I_{C1} 은 10nA였으며, f_1 은 25kHz가 되도록 회로를 설계하였다.

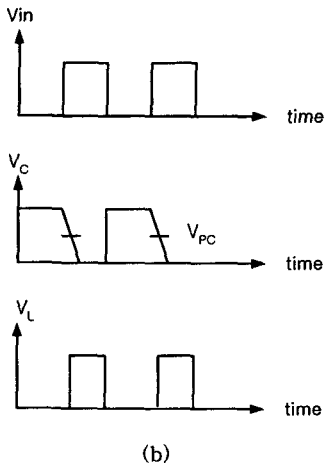
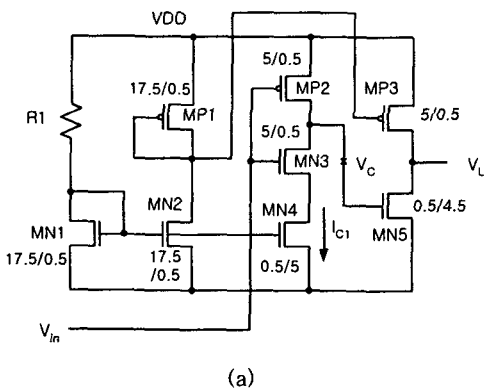


그림 1 펄스 폭 감소 회로와 입출력 신호
(a) 펄스 폭 감소 회로 (b) 입출력 신호

그림 2(a)와 (b)는 주파수-디지털 변환기의 회로도이다. 입력 신호의 주파수 값을 2bit의 디지털 값으로 변환하는 주파수-디지털 변환회로는 3개의 펄스 폭 감소회로와 펄스 폭

감소 회로의 출력 값을 저장하기 위한 래치와 플립 플롭 그리고 최종적으로 디지털 출력 값을 얻기 위한 회로로 구성 되어 있다.

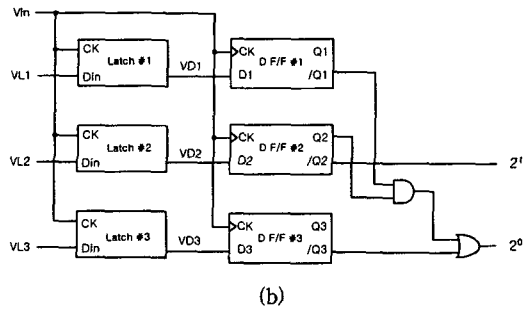
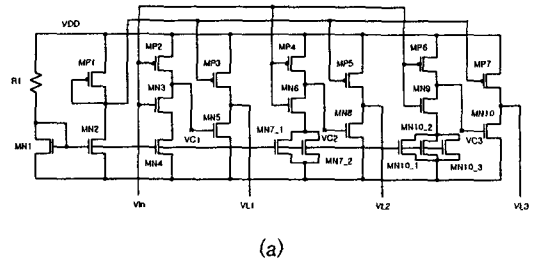


그림 2 주파수-디지털 변환회로
(a) 펄스 폭 감소회로 (b) 래치와 플립플롭 회로

표 1은 입력주파수에 따른 VL1, VL2, VL3의 전압과 디지털 변환 값과의 관계를 나타낸 것이다. 표 1에서 플립 플롭에 저장되어진 디지털 값을 각각 Q1, Q2, Q3 라고 하면 2¹과 2⁰의 자리 값은 식 (2)와 같이 표현되어 진다.

$$\begin{aligned} 2^1 &= /Q2 \\ 2^0 &= /Q1 + Q2 \cdot /Q3 \end{aligned} \quad (2)$$

표 1. 입력주파수에 따른 VL 출력과 디지털 값과의 관계

주파수(kHz)	Q3	Q2	Q1	디지털 값	
				2 ¹	2 ⁰
100 ≤ f < 75	0	0	0	1	1
75 ≤ f < 50	1	0	0	1	0
50 ≤ f < 25	1	1	0	0	1
25 ≤ f < 0	1	1	1	0	0

그림 2(a)에서 MN4, MN7_1, MN7_2, MN10_1, MN10_2, MN10_3의 채널 폭과 길이는 동일하다. 이 경우 VL2와 VL3의 기준 주파수는 식 (3), 식 (4)와 같이 표현된

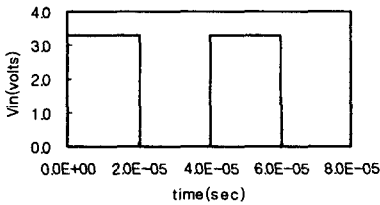
다.

$$f_2 = 2 I_{C1}/C\Delta V = 2f_1 \quad (3)$$

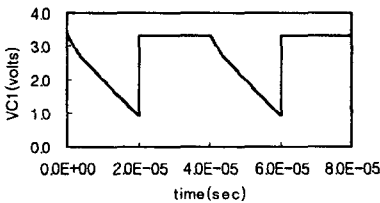
$$f_3 = 3 I_{C1}/C\Delta V = 3f_1 \quad (4)$$

식 (1)에서 $I_{C1}/C\Delta V$ 가 25kHz가 되도록 설계하였으므로 식 (3)과 (4)에서 f_2 와 f_3 는 각각 50kHz와 75kHz이다. 그림 2 회로의 동작을 살펴보면, 펄스 폭 감소 회로의 출력 전압을 입력 신호 V_{in} 이 high 일 때 래치에 저장한다. 그리고 입력 신호가 high에서 low 값으로 변화할 때 플립 플롭에 다시 저장된다. 래치를 사용한 이유는 입력 신호가 low인 동안에 V_L 의 값을 계속 저장하도록 하기 위함이다. 플립 플롭에 저장되어진 값을 AND와 OR 게이트를 거쳐 디지털 값으로 변환되어 출력된다.

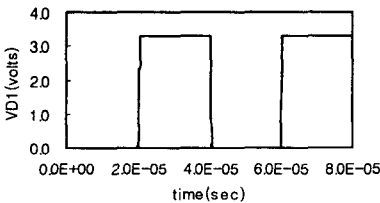
그림 3(a)는 주파수-디지털 변환회로에 인가되는 입력 신호이다. 그리고 그림 3(b)에서 그림 3(d)는 입력 주파수가 25kHz일 때 V_{C1} , V_{D1} , $Q1$ 의 출력이고, 그림 3(e)에서 그림 3(g)는 입력 주파수가 24.975kHz일 때의 출력이다.



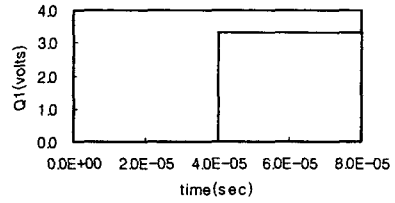
(a)



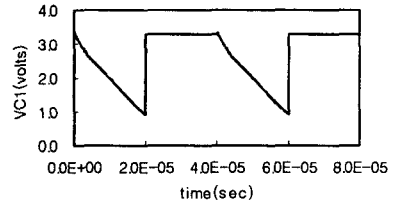
(b)



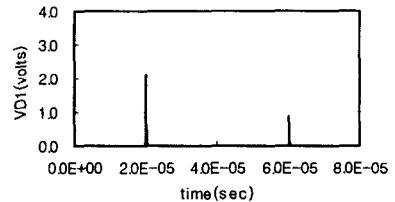
(c)



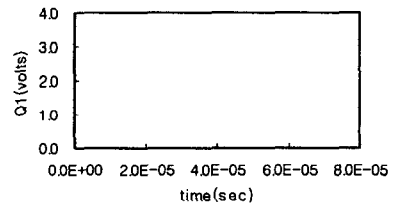
(d)



(e)



(f)



(g)

그림 3 입력 주파수에 따른 출력신호

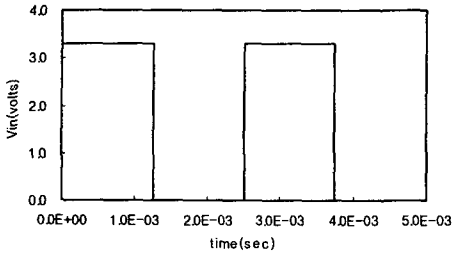
(a) $V_{C1}(f=25kHz)$ (b) $V_{D1}(f=25kHz)$ (c) $Q1(f=25kHz)$

(d) $V_{C1}(f=24.975kHz)$ (e) $V_{D1}(f=24.975kHz)$ (f) $Q1(f=24.975kHz)$

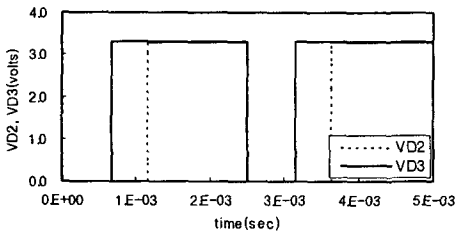
그림 3의 결과를 살펴보면 입력 주파수가 25kHz일 때 $Q1$ 의 출력 신호는 high이지만, 입력 주파수가 24.975kHz일 때의 출력은 low임을 알 수 있다. 그러므로 주파수 비교기는 약 0.1% 정도의 에러를 가짐을 알 수 있다.

그림 4는 입력 주파수가 40kHz 일 때 전체 주파수-디지털 변환회로의 SPICE simulation 결과이다. 입력 신호의 주파

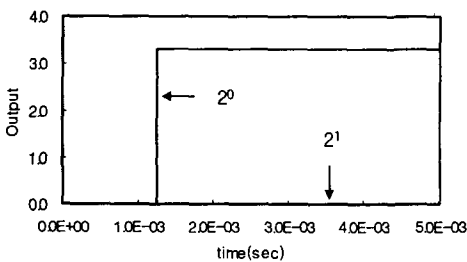
수가 40kHz 일 때 VL1은 low이므로 VD1도 low의 값이다. 그리고 VD2와 VD3는 펄스의 폭은 다르지만 high의 값을 가지며, VD2와 VD3는 플립 플롭에 저장된다. 즉, 플립 플롭의 출력에서 Q1은 low이고 Q2와 Q3를 high가 된다. 플립 플롭의 출력은 AND와 OR 게이트를 거쳐 그림 4(c)와 같이 최종 디지털 출력 2^1 은 low이고 2^0 은 high의 값으로 출력된다.



(a)



(b)



(c)

그림 4 주파수-디지털 변환회로 특성

(a) Vin 신호 (b) VD2, VD3 신호 (c) 디지털 출력

트랜지스터만을 사용하여 회로를 설계하였다. 그러므로 설계되어진 회로의 집적도는 기존의 연구에 비하여 우수하며 또한 회로의 특성에서 저항 등의 소자 값을 조절하여 전류원의 크기를 조절한다면 사용 주파수 영역의 쉽게 변화시킬 수 있다. 그리고 펄스 폭 감소 소자, 래치, 플립 플롭의 수를 증가시키면 분해능도 쉽게 증가시킬 수 있는 장점이 있다.

참 고 문 헌

- [1] Abdelouahab Djemouai, Mohamad A. Sawan and Mustapha Slamani, "New Frequency-Locked Based on CMOS Frequency-to-Voltage Converter" : Design and Implementation, IEEE Trans. On Circuits and Systems-II: Analog and Digital Signal Processing, vol. 48, no. 5, pp. 441-449, May 2001.
- [2] Norman M. Filiol, Thomas A. D. Riley, Miles A. Copeland and Calvin Plett, "A Receive Path $\Sigma\Delta$ frequency to Digital Converter", IEEE International Symposium on Circuits and Systems, Geneva, Switzerland, pp. 331-334, May 2000.

III. 결 론

본 논문에서는 입력 신호의 주파수를 디지털 값으로 변환하는 회로를 설계하였다. 설계되어진 회로는 CMOS