

SOC 를 위한 Digital CMOS 소자의 Analog Performance 개선

지회환, 김용구, 왕진석, 박성형*, 이희승*, 강영석*, 김대병*,이희덕
충남대학교 전자공학과
*Hynix Semiconductor Inc.

Analog Performance Enhancement of Digital CMOS for SOC Application

Hee-Hwan, Ji, Yong-Goo-Kim, Jin-Suk Wang, Sung-Hyung Park*, Hee-Sung, Lee*, Young-Suk Kang*, Dae-Byung, Kim*, Hi-deok, Lee
Chung Nam National University, Electronic Engineering
*Hynix Semiconductor Inc.
E-mail : jhw@cnu.ac.kr

Abstract

본 논문에서는 sub-micron 소자에서 SCE(Short Channel Effect) 억제를 위한 Halo 와 SSR(Super Steep Retrograde Well) 적용에 따른 analog 특성의 열화를 식하고 이를 개선하기 위해 Twist 이온주입과 In, Sb Halo 를 채택하였다. Analog 특성은 CMOS 의 amplifier 과 Comparator 로의 사용을 고려해 Drain Rout 과 Early voltage 를 이용해 나타내었으며 Digital 성능을 함께 고려하였다. 실험결과 NMOS 의 경우 45 twist Halo 조건에서, PMOS 의 경우 As 보다 Sb 를 Halo 로 적용하는 경우 더 우수한 analog 특성을 나타내었다.

I. 서론

CMOS 소자가 scale-down 되면서 f_t (차단주파수)의 증가로 인해 Analog/RF 단과 Digital 회로가 동일한 chip 에 집적화 시킬 수 있는 SOC(system on chip)의 응용이 가능해졌다. 이러한 SOC 설계를 위해서는 switching speed 가 빠른 deep sub-micron 급(<0.13um)의 CMOS 소자의 사용이 필수적인데 한테 이 정도의 Short

Channel Device 에서는 V_t (threshold voltage)가 급격히 낮아지면서 DIBL(Drain Induced Barrier Lowering)이나 Punch-through 등의 SCE(Short Channel Effect)가 현저하게 발생하여 이를 억제하기 위해 In, Sb 등과 같은 Heavy ion 을 이용한 SSR 과 Halo 의 적용이 일반화 되고 있다. 하지만 이러한 channel doping 과 Halo 적용에 따른 R_{out} (drain 의 output resistance)이나 g_m (transconductance), Early Voltage, 등의 analog 특성에 대한 연구가 미흡한 실정이다. 이러한 이유는 CMOS 제작시에 digital 성능만을 고려했기 때문으로, CMOS 가 amplifier 로 사용되는 경우의 특성 즉, Gate bias($V_{dd} > V_{g_op} > V_t$)에서 R_{out} 은 높은 gain 과 증폭의 선형성을 위해 충분히 큰 값을 유지하여야 하고, g_{ds} 는 넓은 증폭 구간(drain bias) 확보를 위해 반드시 고려가 되어야 한다. 그림 1 은 Gate length 가 5um~0.13um 일 때 Halo 조건에 따른 R_{out} 의 변화를 나타내는데 long channel 에서는 거의 영향이 없는데 반해 0.13um 에서는 R_{out} 이 급격히 감소하고 또한 Halo 에 의해 가장 크게 영향을 받는 것으로 나타나고 있다. 따라서 본 논문에서는 short channel 소자에서 digital performance 을 충족시키면서 analog 특성개선을 위한 Halo 와 SSR 조건을

설정하고자 한다.

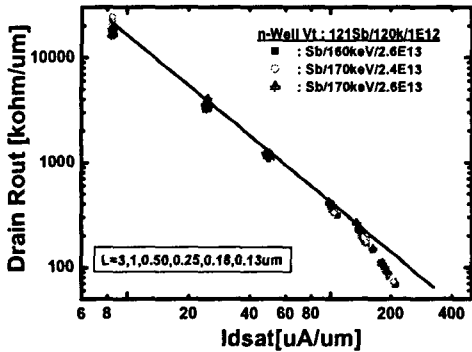


그림 1. Gate length 에 따른 Rout 특성

II. 실험

Rout 개선을 위해 Halo 와 SSR 의 적용한 0.13um technology 를 이용하여 CMOS 를 제작하였다. STI 후 n/p well 을 형성하고 gate oxide/ poly 를 형성 후 KrF stepper 를 이용하여 pattern 한다. LDD 형성을 위한 low energy/dose implant 를 실시하고 Halo implant 를 실시 한다(B/20~22KeV/2.5~2.8E13 cm³ for NMOS, Sb/160~170KeV/2.2~2.6E13cm³ for PMOS). 이후 sidewall 형성 후 S/D 을 형성시키고(As/50keV/5E15cm², Ph/35keV/3E13cm²), Co-silicidation 을 실시하고 ILD 를 증착하여 metal contact 을 형성시켰다.

III. 실험결과

Gate length 가 0.13um 일 때 Halo 에너지와 Dose 에 따른 PMOS 의 Vd-Id 특성을 그림 1 에 나타내었다. Halo 의 에너지와 dose 가 170K/2.4E13 인 경우 160K/2.2E13 인 경우 에 비해 15%의 Rout 증가를 보이고(9%의 drain 전류 감소) 170K/2.6E13 인 경우에는 80% 이상의 증가를 나타내지만 drain 전류가 40% 이상 감소 하여 analog 성능을 개선 시키기 위해서는 digital 성능

을 고려한 최적화된 Halo 조건이 필요함을 알 수 있다. 본 실험에서 Early voltage 와 Rout 은 CMOS 의 amplifier 에의 응용을 고려해 Vg=0.6[V]인 조건에서(Vd=0.9[V]) 추출하였으며 Halo 의 에너지와 dose 가 증가에 따른 analog 특성 개선을 Rout-Early voltage relation 과 Rout-Gm_sat relation 을 통해 분석하였다.

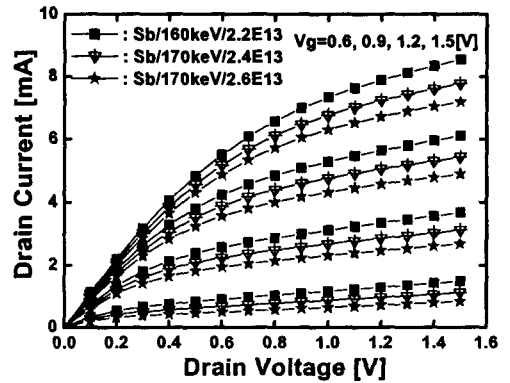


그림 2 Halo 에너지와 dose 에 따른 PMOS 의 Vd-Id 특성(W/L=20/0.13um)

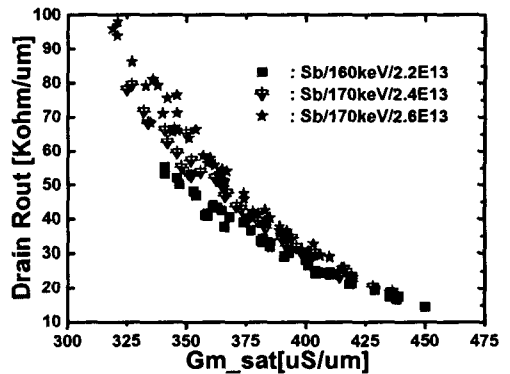


그림 3 PMOS 의 Gm_sat-Rout relation

그림 3 은 saturation 에서의 gm 과 Rout 과의 관계를 나타내는데 gm Rout 이 amplifier 의 intrinsic gain 을 의미하므로 면적이 가장 큰 170K/2.6E13 이 가장 우수한 특성을 나타냄을 알 수 있다. 이러한 Rout 의 Short Channel 에서의 분포를 그림 3 에 나타내었는데 Gate length 가 짧아질수록 Rout 이 급격히 감소하고 Halo Energy/dose 가 작을수록 0.14um 미만에서 Rout 이 열화

되는 덜 됨을 알 수 있다.

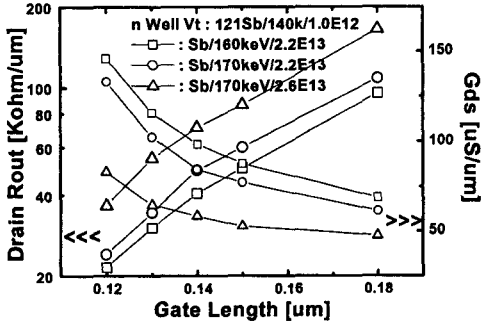


그림 3 PMOS 에서 Rout-Gds 특성

이러한 PMOS 에서의 Rout 을 개선하기 위해 Heavy Ion(Sb)으로 Halo 를 적용한 특성을 그림 4 에 나타내었다. As-Halo 에 비해 Sb- Halo 는 25%이상의 Rout 개선을 보였으며 이러한 원인으로 그림 6 의 DIBL 특성을 살펴 보면 DIBL 의 큰 변화없이 Rout 이 증가한 것으로 나타나 Sb-Halo 적용에 의해 channel-length-modulation 을 감소시켜 Rout 이 개선되었음을 알 수 있다.

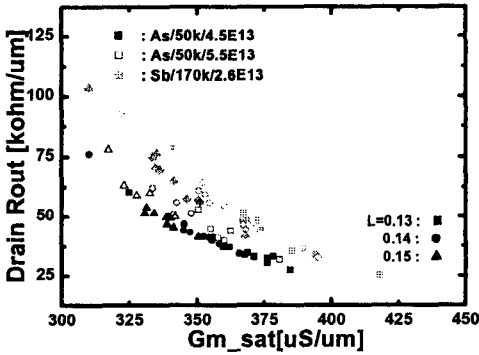


그림 5 Sb-Halo 와 As Halo analog 특성 비교

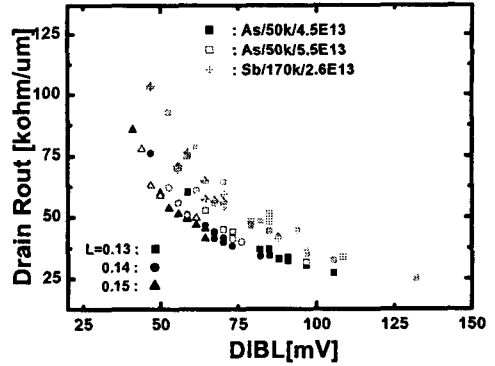


그림 6 Sb-Halo 와 As Halo DIBL 비교

그림 7 에는 twist-Halo 를 적용한 NMOS 의 Rout-Early voltage 특성을 나타내었다. 45 도 twist-Halo 를 적용한 경우 Rout 개선을 명확히 알 수 있으며 dose 가 높은 경우 더욱 효과가 큰 것으로 나타나고 있다.

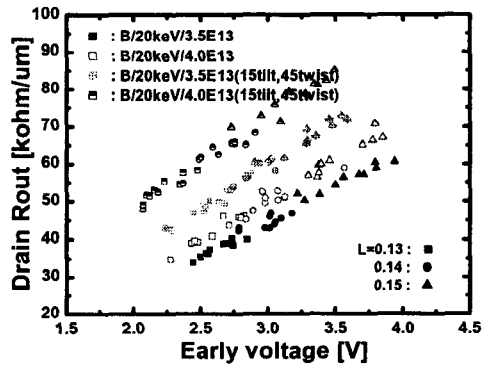


그림 7 NMOS 에서 twist-Halo 에 따른 Rout-Early voltage 특성

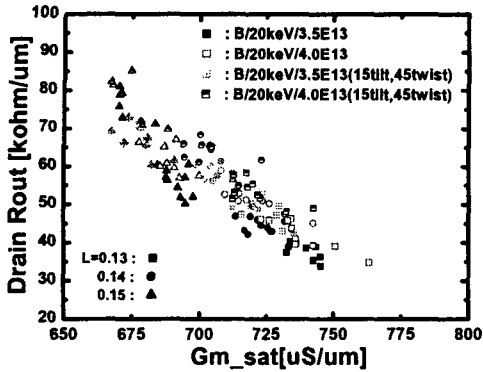


그림 8 NMOS 에서 twist-Halo 에 따른 Rout-Gm_sat 특성

V. 결론

본 논문에서는 sub-micron 소자에서 SCE(Short Channel Effect) 억제를 위한 Halo 적용에 따른 analog 특성의 열화를 분석하고 이를 개선하기 위해 NMOS 의 경우 Twist 이온주입과 PMOS 의 경우 Sb-Halo 를 적용하여 analog 특성을 개선 하였다.

참고문헌

- [1] H. V. Deshpandde, et. al, VLSI Tech. Symp., 87 (2001)
- [2] H.V. Deshpandde, et, al., IEEE Electron Device Letters, 588 (1999)
- [3] D.Buss, IEDM Tech.Dig., 423 (1999)
- [4] A.Chatterjee, et al, VLSI Tech. Symp., 147 (1999)