

Pipelined $\Delta \Sigma$ 변조기에 적합한 Adder-and-Accumulator (A^2C)

이 주 에, 김 선 호, 김 대 정, 민 경 식, 김 동 명
국 민 대 학 교
전화 : 02-910-4704 / 핸드폰 : 011-9148-6123

Adder-and-Accumulator (A^2C) for Pipelined $\Delta \Sigma$ Modulator

Joo-Ae Lee, Sun-Ho Kim, Daejeong Kim, Kyeong-Sik Min, and Dong Myong Kim
Kookmin University
E-mail : jalee1015@hotmail.com

Abstract

A new adder-and-accumulator (A^2C) adapted to pipelined $\Delta \Sigma$ modulators is proposed in this paper. With the viewpoint of area consumption, registers are removed in the existing pipelined $\Delta \Sigma$ modulator, and then adder and accumulator are merged. In order to optimize area consumption, speed and power consumption, dynamic carry look-ahead adder (CLA) is adopted in A^2C . Moreover, a guideline for the transistor sizing in CLA with regard to the minimization of the energy-delay-area product (EDAP) is proposed[1]. The proposed A^2C has been verified by HSPICE simulations.

I. 서 론

과 표본화 데이터 변환기는 대부분의 신호를 디지털 영역에서 처리하므로 아날로그 회로의 부담을 줄임으로써 높은 해상도를 얻을 수 있다.

그러나 과 표본화 기법을 이용한 16-bit 이상의

$\Delta \Sigma$ DAC는 복잡한 디지털 신호처리 과정으로 인해 디지털 회로의 면적이 증가하여 적용 범위에 있어 한계점이 되고 있다.

본 논문에서는 디지털 회로의 면적 소모뿐만 아니라 $\Delta \Sigma$ 변조기의 속도 및 전력 소모를 최적화하기 위한 pipelined $\Delta \Sigma$ 변조기에 적합한 adder-and-accumulator (A^2C) 회로를 제안한다.

이 회로는 carry look-ahead adder (CLA)를 근본으로 하는 dynamic 개념을 채택하고, 직렬 연결되는 트랜지스터의 크기에 energy-delay-area product (EDAP)를 이용하여 얻은 가중치를 적용한다[1].

II. 기존의 Pipelined $\Delta \Sigma$ 변조기

$\Delta \Sigma$ 변조기의 빠른 동작 속도를 얻기 위해서 가산기와 누산기 사이에 레지스터를 추가하는 pipelining 기법을 사용한다. 그림 1은 기존에 사용되고 있는 pipelined $\Delta \Sigma$ 변조기의 구조를 나타낸다. 이 회로의 동작은 각 노드의 데이터가 클럭에 동기되어 동작하기 때문에 n-bit adder의 동작 속도가 전체 시스템의 동작 속도를 결정한다. 이러한 pipeline 구조는 빠른 동작 속도와 적은 전력 소모의 장점을 갖지만 많은 레지스터의

추가로 전체 칩 면적이 증가하는 문제점이 있다 [2].

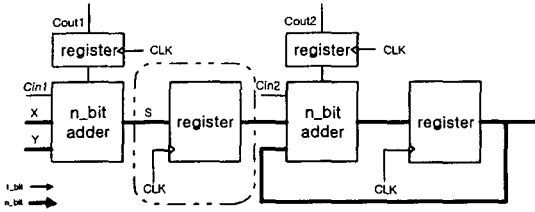


그림 1. 기존의 pipelined ΔΣ 변조기의 단위 블록 다이어그램

III. 제안하는 pipelined ΔΣ 변조기

기존의 pipelined ΔΣ 변조기의 면적이 증가하는 문제점을 보완하기 위해서 가산기와 누산기가 일체형으로 설계된 새로운 A²C를 제안한다.

3.1 A²C의 기본 구조

그림 2는 새로운 A²C를 적용한 pipelined ΔΣ 변조기의 구조이다. 이 구조는 그림 1에서 보인 기존의 pipelined ΔΣ 변조기에서 S 노드의 레지스터를 제거함으로써 생기는 속도 감쇄를 보상하기 위해 n-bit adder를 dynamic carry look-ahead adder (CLA)로 설계하여 소모 면적을 줄이면서 동작 속도를 증가시킨다.

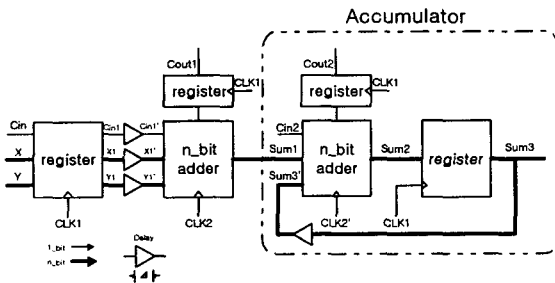


그림 2. A²C를 적용한 pipelined ΔΣ 변조기의 단위 블록 다이어그램

그림 3은 A²C의 동작 타이밍도이다.

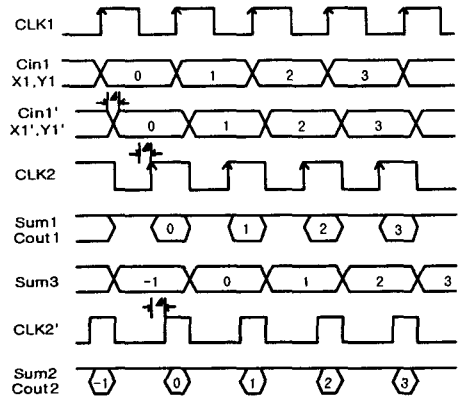


그림 3. A²C의 동작 타이밍도

CLK1은 레지스터의 클럭으로 evaluation된 데이터를 샘플링하기 위해서 CLA의 클럭 CLK2, CLK2'과 overlap을 시킨다. CLK2'은 앞단의 dynamic CLA의 evaluation이 완전히 끝난 후에 동작을 하도록 설계하여 propagation delay에 의해 발생하는 데이터의 오류는 출력되지 않는다. 첫 번째 CLA가 evaluation하는 구간에서 데이터가 바뀌지 않도록 레지스터의 입력 Cin1, X1, Y1을 Δ만큼 시간 지연을 시킨 Cin1', X1', Y1'을 사용하고, 두 번째 CLA에는 Sum3를 Δ만큼 시간 지연 시킨 Sum3'을 사용한다.

3.2 Dynamic CLA

대부분의 가산기는 캐리의 리플이 존재하기 때문에 빠른 속도를 가지는 것이 어렵다. 그러나 CLA는 캐리의 리플을 제거하여 고속의 동작이 가능하다. 제안한 A²C를 적용한 pipelined ΔΣ 변조기의 속도를 결정하는 n-bit adder는 4-bit dynamic CLA로 설계한다. 4-bit CLA의 구조는 그림 4와 같이 PG-generator, carry-generator, sum-generator로 구성된다[3]. 면적의 최소화를 위해 PG-generator와 sum-generator는 pass-transistor logic (PTL)으로 구현하고, carry-generator는 dynamic logic으로 설계하여 소모 면적을 줄일 뿐만 아니라 고속의 동작이 가능하도록 설계하였다.

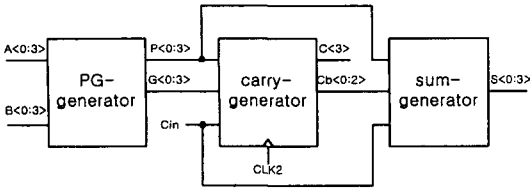


그림 4. 4-bit CLA의 구조

그림 5는 carry-generator 블록에서 delay의 critical path이다[4].

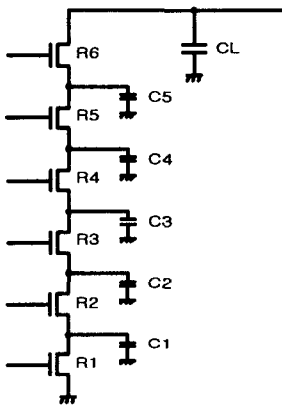


그림 5. Delay의 critical path

그림 5에서 critical path의 속도와 면적 및 전력 소모를 최적화하기 위하여 각 트랜지스터마다 가중치를 적용한다. 가중치는 식 (1)의 EDAP를 사용하여 가중치에 관한 식으로 정리한 후, MATLAB을 사용하여 EDAP의 최소값을 갖도록 하는 최적화된 가중치 값을 얻을 수 있다.

$$EDAP = Energy \cdot Delay \cdot Area \quad \text{식 (1)}$$

$$Energy = Power \cdot Delay \quad \text{식 (2)}$$

$$Power = \frac{C_L \cdot V_{DD}^2}{2} \quad \text{식 (3)}$$

$$Delay \propto \frac{3w^5 + 3.1w^4 + 3.2w^3 + 3.3w^2 + 3.4w + 3.5}{w^5} \quad \text{식 (4)}$$

$$Area \propto (w^5 + w^4 + w^3 + w^2 + w + 1) \quad \text{식 (5)}$$

여기서 w 는 그림 5의 각 트랜지스터에 적용할 가중치이다. 예를 들면, R6부분의 트랜지스터의 width를 1이라고 가정하면, R5의 width는 w 가

된다. 같은 방법으로 적용시켜 R1의 width는 w^5 가 된다.

그림 6은 EDAP를 이용한 가중치에 대한 시뮬레이션 결과이다. 이 결과에서 EDAP가 최소값을 가지는 가중치는 1.38인 것을 확인할 수 있다.

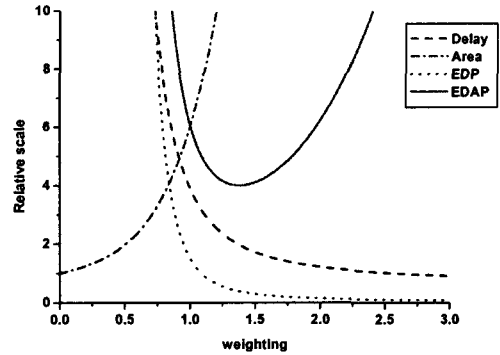


그림 6. EDAP를 이용한 가중치에 대한 MATLAB 시뮬레이션 결과

그림 7은 부하 캐패시턴스 C_L 값에 따른 가중치의 변화이다. 가중치 계산 시 C_L 을 설계값을 주었기 때문에 실제 부하 캐패시턴스의 값에 따라 가중치가 달라질 수 있다. 하지만 그림 7에서 보듯이 25fF에서 100fF까지는 일정한 값을 유지하는 것을 확인할 수 있다.

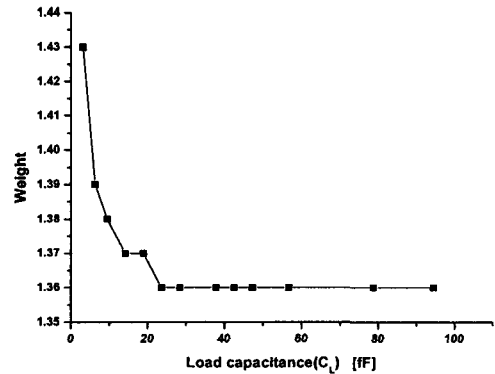


그림 7. 부하 캐패시턴스에 따른 가중치

IV. 시뮬레이션 결과 및 해석

제안하는 A²C의 회로를 검증하기 위하여 0.35 μ m 표준 CMOS 공정에서 HSPICE를 사용하여 시뮬레이션하였다. 그림 8은 동작 주파수 100MHz, 공급 전압 3V, 온도 85 $^{\circ}$ C, 부하 캐패시터 15fF의 조건에서의 A²C의 시뮬레이션 결과이다. Dynamic CLA의 critical path delay는 약 1.2ns이다.

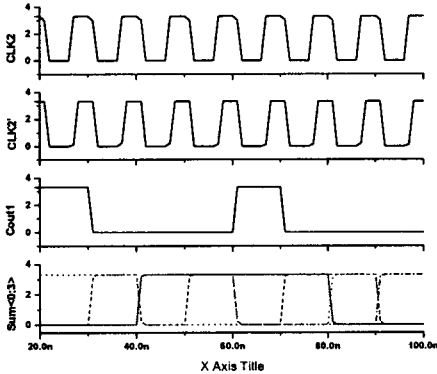


그림 8. 시뮬레이션 결과

V. 결 론

본 논문에서는 기존의 pipelined $\Delta \Sigma$ 변조기의 면적 소모를 줄이기 위해서 가산기와 누산기가 일체형으로 설계된 A²C를 제안하였다. 제안한 A²C는 dynamic CLA를 사용함으로써 면적, 동작 속도 및 전력 소모를 최적화할 수 있는 pipelined $\Delta \Sigma$ 변조기에 적합하다.

또한 본 논문에서 제안한 4-bit dynamic CLA는 pipelined $\Delta \Sigma$ 변조기뿐만 아니라 가산기를 포함하는 디지털 회로 설계에 활용될 수 있을 것으로 생각된다.

Acknowledgment

본 논문은 IDEC (IC design education center)의 디자인 소프트웨어의 지원에 의한 것이며, 이에 깊은 감사드립니다.

참고문헌

- [1] 김선호 외, "Design Methodology Adopting N-PDAP(Normalized Power-Delay-Area Product) for Digital-Circuit Optimization", 제10회 한국반도체학술대회, pp. 203-204, 2003.
- [2] Katayoun Falakshahi, Chih-Kong Ken Yang, and Bruce A. Wooley, "A 14-bit, 10-Msamples/s D/A Converter Using Multibit $\Delta \Sigma$ Modulation", *IEEE J. Solid-State Circuits*, vol. 34, No.5, pp. 607-615, May 1999.
- [3] N. Weste and K. Eshraghian, *Principles of CMOS VLSI Design, A System Perspective*, Addison-Wesley, 1993.
- [4] Jan M. Rabaey, *Digital Integrated Circuits*, Upper Saddle River, Prentice Hall, 1996.