

Magnetic Tunnel Junction 의 Macro-Modeling

홍 승 균, 송 상 헌, 김 수 원*

중앙대학교 전자전기공학부, * 고려대학교 전자공학과

전화 : 02-816-7984

Macro-Modeling for Magnetic Tunnel Junction

Seung Kyun Hong, Sang-Hun Song, Soo Won Kim*

School of Electrical and Electronic Engineering, ChungAng University, *Dept. of Electronic Engineering, Korea University

E-mail : honghsk0@nownuri.net

Abstract

This paper proposes new SPICE Macro-Model of MTJ(Magnetic Tunnel Junction). This Macro-Model has five I/O terminals, reproduces MR characteristics including hysteresis and behaves correctly to time varying input signals. Furthermore, this Model can be easily modified to various MTJs with different characteristics by simply varying internal parameters.

가장 활발히 이루어지고 있다.[2]

본 논문은 MTJ에 대한 SPICE Macro- Model을 제시하고 시뮬레이션 결과를 검토하였다. 시뮬레이션 시 변수를 조정함으로써 MTJ의 특성과 시뮬레이션의 결과가 일치함을 볼 수 있었으며, 이는 MTJ를 이용한 회로설계에 많은 도움을 줄 것으로 기대된다.

I. 서론

MRAM은 비휘발성 메모리로서 빠른 응답속도, 저전력 소모, 고집적등의 장점을 가지고 있다. 이는 SRAM, DRAM등의 메모리의 특성을 모두 가지고 있는 것으로, 현재 특성에 따라 각각 사용되어지고 있는 DRAM과 SRAM, FLASH를 대체할 Universal Memory로서 연구가 활발히 이루어지고 있다.[1] 이러한 MRAM에 사용되는 소자로서 GMR(Giant Magneto-Resistance)과 TMR(Tunnel Magneto-Resistance) 소자들이 연구되었으나 현재는 TMR 소자 중 하나인 MTJ(Magnetic Tunnel Junction)를 이용한 MRAM에 대한 연구가

II. MTJ의 구조와 특성

MTJ의 기본적인 구조는 그림 1과 같이 두 개의 Magnetic Layer가 하나의 절연층으로 분리되어 있다.[3] 한쪽의 Magnetic Layer는 anti-ferromagnetic 물질을 이용하여 고정된 방향으로 자화되어 있고, 다른 한 쪽은 외부 자계에 의해서 자화 방향이 바뀔 수 있다. 이러한 free magnetic layer의 자화 방향에 따라서 MTJ의 저항값이 그림 1과 같은 Hysteresis Loop를 보이게 되며, 이를 이용하여 정보를 저장할 수가 있다.

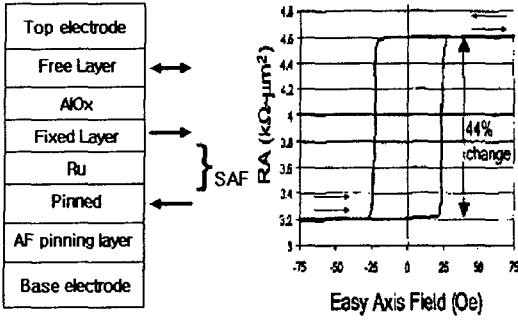
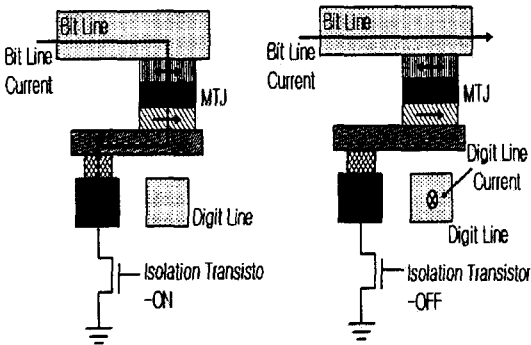


그림 1. MTJ의 구조와 Hysteresis Loop

그림 2는 MTJ MRAM의 Read, Write 동작을 보여주고 있다. Read시에는 그림 2.(a)와 같이 Isolation Transistor가 ON되어서 MTJ를 통하여 전류가 흐르게 되고, MTJ의 저항특성에 따라 저장된 정보를 읽어낼 수가 있다. 그림 2.(b)와 같이 Write시에는 Isolation Transistor는 OFF가 되고 MTJ로는 전류가 흐르지 않으며, Digit Line과 Bit Line에 흐르는 전류에 의해서 MTJ의 free magnetic layer의 자화방향만이 바뀌게 된다.



(a) Read 시 (b) Write 시
그림 2. MTJ MRAM의 구조와 작동

III. MTJ Macro-Model

본 논문에서 제안하는 MTJ의 Macro- Model은 그림 3과 같다. 기본적인 구조는 I_{BI} 와 I_{BO} 로 Bit Line 전류가, I_{DL} 와 I_{DO} 로 Digit Line 전류가 흐르게 되며, WL은 Isolation Transistor와 연결되는 단자

이다. Bit Line과 WL에 연결되어 있는 VCR2(Voltage Controlled Resistor)가 MTJ의 저항 특성을 나타내게 된다.

Bit Line과 Digit Line에 동시에 전류가 흐르게 되면, Digit Line에 연결된 VCR1과 Bit Line에 연결된 CCCS(Current Controlled Current Source)에 의해서 V_C 에 전압이 발생하게 된다. MTJ MRAM의 Write 동작은 Bit Line 전류와 Digit Line 전류가 동시에 흐를때만 이루어지므로, 이외의 경우에는 V_C 가 발생하지 않아 저항값의 변화가 없도록 하였다. 이 V_C 전압은 VCS(Voltage Controlled Switch)를 제어하게 된다. 여기에 사용된 VCS의 동작 특성은 제어전압(V_C)이 기준 전압에 hysteresis 전압이 더해진 전압보다 큰 전압이 들어올 경우 ON되고, 뺀 전압보다 작을 경우 OFF된다. 그러므로 V_H 전압은 V_C 에 의해서 Hysteresis Loop를 나타나게 된다. 또한 V_C 가 Switch의 상태를 변화시킬 만큼의 전압 변동이 없을 경우에는 이전의 상태를 계속 유지하고 있기 때문에, 별도의 기억장치가 없어도 정보를 잃어버리지 않을 수 있다. VCS에 사용되는 기준 전압과 hysteresis 전압은 MTJ의 MR Hysteresis Loop의 상태가 변하는 두 지점의 값으로부터 얻을 수가 있다. 이러한 값

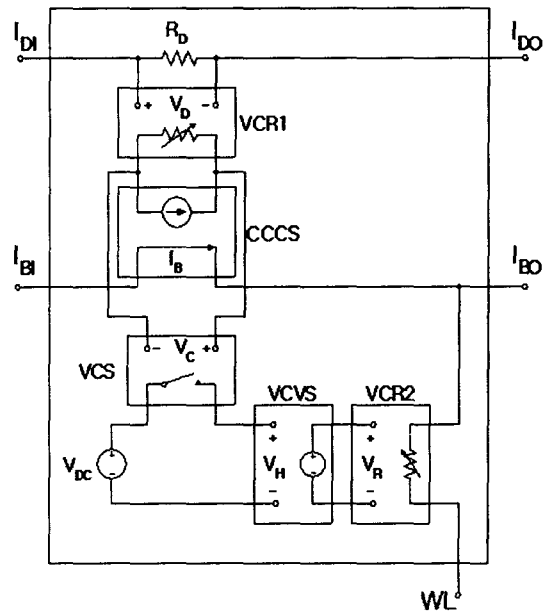


그림 3. MTJ Macro-Model

들은 파라미터값들로 처리할 수가 있으므로, 다른 MR 저항특성을 가지는 MTJ를 시뮬레이션할 경우에 단순히 파라미터값을 바꾸는 것만으로 원하는 MTJ 저항 특성을 얻을 수가 있다.

이렇게 얻은 hysteresis를 우리가 원하는 저항값으로 변환하기 위한 회로가 VCVS(Voltage Controlled Voltage Source)와 VCR2이다. VCS를 이용해서 얻은 hysteresis loop는 0- V_{DC} 사이의 전압으로 나타나게 된다. 이는 MTJ의 MR특성을 나타내지 못하므로 이 값을 조절해줄 필요가 있다. 이를 위해서 VCVS를 이용하여 V_H 값을 MTJ MR 특성과 같은 전압이 나오도록 변화시켜주었다. 이 전압은 MTJ의 저항값과 일치하는 전압을 가지게 된다. 이를 VCR2에 의해서 저항값으로 변환하면 VCR2의 저항 값은 MTJ의 MR 특성곡선과 일치하는 저항값 변화를 가지게 된다.

Read시에는 Digit Line에 전류가 흐르지 않으므로 저항값의 변화는 없다. 하지만 WL에 연결된 트랜지스터가 켜지게 되면 저항을 통해서 전류 경로가 생기게 되고, 저장된 정보에 따라서 다른 저항특성을 나타내게 된다.

IV. 시뮬레이션 결과

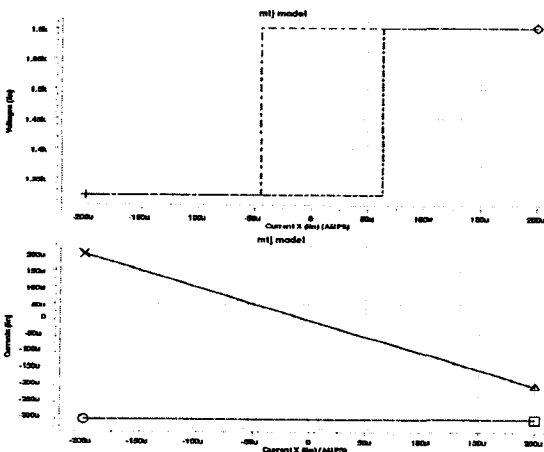


그림 4. MTJ Macro-Model의 MR 특성 시뮬레이션 결과

그림 4는 HSPICE를 이용하여 MTJ Macro-Model의 저항 특성을 시뮬레이션한 결과이다. Digit Line에 일정한 전류를 가하면서 Bit Line

전류를 (-)에서 (+)로, (+)에서 (-)로 변화시키면서 저항값의 변화를 본 것이다. 결과에서 보듯이 MTJ의 MR 특성인 Hysteresis Loop를 정확하게 재현하고 있다.

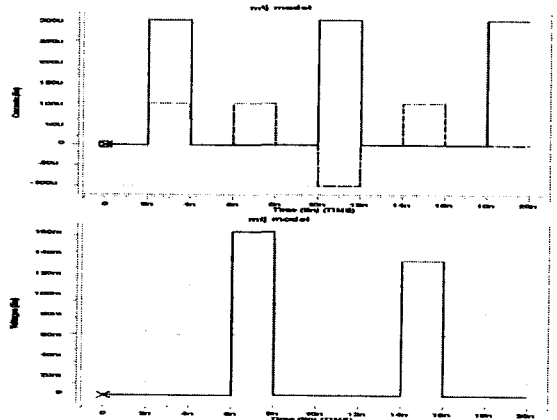


그림 5. MTJ Macro-Model의 시간에 따른 입출력 변화

그림 5는 시간에 따라서 Read와 Write 작동을 제대로 수행할 수 있는가를 시뮬레이션해 본 것이다. "1"을 쓰고 읽은 후 다시 "0"을 쓰고 읽는 과정을 반복해서 시뮬레이션해보았다. 그림에서 보듯이 Write시에는 Bit Line에 전압이 나타나지 않으며, Read시에만 저항값에 따라서 다른 전압을 나타내고 있음을 확인할 수 있다. 이는 시간에 따른 입력 신호의 변화에도 제안한 Macro-Model이 정확하게 MTJ의 동작특성을 나타내고 있음을 보여준다.

V. 결론

본 논문에서는 새로운 MTJ의 Macro-Model을 제시하였다. 시뮬레이션 결과에서 MTJ의 MR 특성과 입출력 특성들이 그대로 구현됨을 볼 수 있었다. 또한 제안한 Macro-Model은 파라미터값을 변화시키는 것만으로 다른 특성을 가지는 MTJ에도 적용시킬 수가 있다. 현재 시뮬레이션시 적절한 MTJ의 Model이 개발되어 있지 않은 상황에서 제안한 Macro-Model은 MTJ를 이용한 회로 설계시 많은 도움을 줄 것으로 기대된다.

참 고 문 헌

- [1] S. Tehrani, B. Engel, J. M. Slaughter, E.Chan. M. DeHerrera, M. Durlam, P.Naji, R.Whig, J. Janesky, and J. Calder, "Recent Development in Magnetic Tunnel Junction MRAM", *IEEE Trans. Magn.*, vol. 36, pp. 2752-2757, Sep. 2000.
- [2] S. S. P. Parkin, K. P. Roche, M.G. Samant, P. M. Rice, R. B. Beyers, and R. E. Scheuerlein, "Exchange-biased magnetic tunnel junctions and application to nonvolatile magnetic random access memory", *J. Appl. Phys.*, vol. 85, pp. 5828-5833, 1999.
- [3] M.Durlam, P.Naji, M. Deherrera, J. Calder, J. M. Slaughter, B. Engri, N. Rizzo, G. Grynkewich, B. Butcher, C.Tracy, K. Smith, K. Kyler, J. Ren, J. Molla, B. Feil, R. Williams, S. Tehrani, "A low power 1Mbit MRAM based on 1T1MTJ bit cell integrated with Copper Interconnects", *VLSI Circuits Digest of Technical Papers, 2002 Symposium on* , pp.158-161, 2002