

TFT-LCD 구동용 저소비전력 Offset 보상 데이터 드라이버 설계

김선영, 김성중, 성유창, 권오경
한양대학교 전자전기컴퓨터공학부

Design of a Low-power TFT-LCD Data Driver with Offset Compensation

Seon-Yung Kim, Seong-Joong Kim, Yoo-Chang Sung and Oh-Kyong Kown
Div. of Electrical and Computer Engineering
Hanyang Univ.
E-mail : okwon7@chol.com

Abstract

본 논문에서는 높은 슬루율을 가지고 전압편차(offset)보상 기능을 가지면서도 전력소모가 적은 고계조 TFT-LCD 데이터 드라이버 구동용 단일이득 연산증폭기(unit gain op-amp)의 바이어스 회로 및 구동 방법을 제안하였다. 제안한 단일이득 연산증폭기는 일반적으로 사용되고 있는 전압편차 보상기능을 가진 단일이득 연산증폭기에 adaptive bias 기능을 추가한 것으로써, 기존 구조에 비해 50%이상의 소비 전력 절감 효율을 보였다.

I. 서론

TFT-LCD 를 구동하는 데이터 드라이버 칩은 데이터 선 개수만큼의 단일이득 연산증폭기를 포함하고 있으며 각각의 단일이득 연산증폭기는 공정시의 불균일성(random offset)과 systematic offset 으로 인해 일반적으로 비교적 큰 전압 편차(20mV 이상)가 발생하게 된다. 그러나 고계조 TFT-LCD 를 구동하기 위해서는 각 데이터 드라이버의 단일이득 연산증폭기가 작은 범위(1mV 이내, 8-bit 계조)의 입력 전압과 출력 전압간 편차를 가져야 한다. 단일이득 연산증폭기의 임출력 전압 편차를 보상하기 위해 커패시터를 이용하여 전압 편차를 feedback 시켜 입력과 출력간의 전압 편차를 보상하는 방법이 일반적으로 사용되고 있다[1]. 이 방법을 이용한 TFT-LCD

구동용 데이터 드라이버에서, 단일이득 연산증폭기는 한 라인 구동 시간동안 전압 편차를 커패시터에 저장하고 커패시터에 저장된 전압을 입력 전압에 부가하여 데이터 라인을 구동해야 한다. 이 방법으로 데이터 라인을 구동할 경우, 한 라인 타임 전체를 데이터 라인 구동 시간으로 사용하는 기존 방법과 달리, 한 라인 타임을 커패시터에 전압편차를 저장하는 시간과 데이터 라인 구동 시간으로 나누어야 한다. TFT-LCD 가 대면적으로 갈수록 데이터 라인의 RC-delay 가 크므로, 한 라인 타임중 데이터 라인 구동 시간이 짧으면 데이터 라인의 RC-delay 로 인해 정확한 화상 데이터의 전달이 어려워지고, 정확한 계조를 표현 할 수 없게 된다. 따라서 데이터 선의 구동 시간을 충분히 확보하기 위해서는 전압 편차를 커패시터에 저장하는 시간을 최소화해야만 한다. 전압 편차 보상 시간은 단일이득 연산증폭기의 출력 전압이 입력전압을 따라 슬루하는 시간에 의해 결정되는데, 슬루율을 높이기 위해서는 단일이득 연산증폭기의 정상 상태 전류를 크게 해야만 하며 이로 인해 소비전력이 증가하게 되는 문제점을 안고 있다[2]. 따라서, 본 논문에서는 커패시터를 이용한 단일이득 연산증폭기의 전압 편차 보상 방법에서 소비전력을 절감할 수 있는 구동 방법 및 회로를 제안하였다.

II. 일반적인 전압 편차 보상 구동 방법

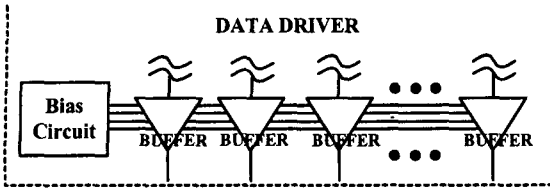
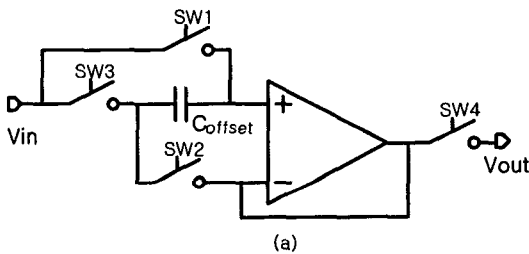
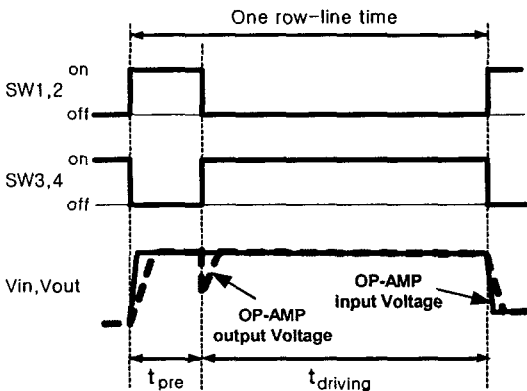


그림 1. 데이터 드라이버의 출력버퍼 회로 구성도.

그림 1에 나타난 것처럼 TFT-LCD 구동용 데이터 드라이버의 경우 다수의 단일이득 연산증폭기가 하나의 바이어스 회로에 의해 동작하게 된다. 일반적으로 회로는 DC 전압을 발생시켜 단일이득 연산증폭기로 바이어스 전압을 전달해 주는데, 이 바이어스 전압에 의해 단일이득 연산증폭기의 정상 상태 전류 크기가 결정된다. 또한 이 정상 상태 전류의 크기에 비례하여 각 출력 버퍼의 슬루율이 결정되게 된다.



(a)



(b)

그림 2. (a) 전압 편차 보상 기능을 포함한 단일이득 연산증폭기 및 (b) timing diagram.

그림 2 (a)에 전압 편차 보상 기능이 포함된 단일이득 연산증폭기의 회로도를 나타내었으며, timing diagram을 그림 2 (b)에 나타내었다.

그림 2를 참조하면, SW1,2가 on되고 SW3,4가 off되는 t_{pre} 동안 단일이득 연산증폭기의 입력 단자와 출

력단자에 연결된 C_{offset} 커패시터에 전압 편차가 저장되고, SW1,2가 off되고 SW3,4가 on되는 $t_{driving}$ 의 시간 동안 C_{offset} 커패시터에 저장된 전압 편차가 입력 전압(V_{in})에 직렬로 연결되고 단일이득 연산증폭기의 입력단자로 연결되어 출력 전압(V_{out})이 나오게 된다.

TFT-LCD의 구동에 있어서 $t_{driving}$ 시간이 커야 데이터선의 RC-delay에 의한 전압 충전 및 방전 오차를 줄일 수 있으므로 t_{offset} 시간을 최소화 하는 것이 중요하다. t_{offset} 시간을 줄이려면 단일이득 연산증폭기의 슬루율을 높여야 하는데, 이는 단일이득 연산증폭기의 정상 상태 전류 증가를 요구한다.

III. 제안한 저소비전력 전압 편차 보상 구동 방법

전압 편차 보상 기능을 포함한 단일이득 연산증폭기의 큰 정상 상태 전류로 인한 소비전력의 증가를 감소시키기 위해 본 논문에서는 adaptive 바이어스 회로를 이용한 구동방법을 제안하였다. 제안한 구동 방법은 출력 전압이 슬루하는 동안만 단일 이득연산증폭기의 정상 상태 전류의 크기를 증가시켜 슬루율이 증가하도록 하는 방법이다.

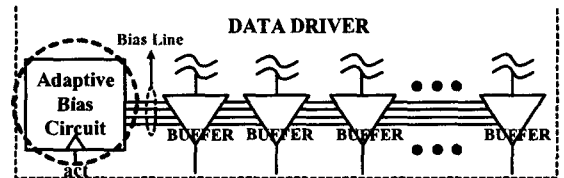


그림 3. 제안한 adaptive 바이어스 전압 편차 보상 출력 버퍼.

이를 위해 그림 3에 나타난 adaptive 바이어스 회로에서는 act 신호를 이용하여 단일이득 연산증폭기의 정상 상태 전류의 크기를 크게 만들어 슬루율을 증가시키고 슬루율 구동 모드(high slew-rate mode :그림 4 (b)의 t_{high} 구간)와 정상 상태 전류의 크기를 낮추어 소비 전력을 낮춘 저소비전력 구동 모드(low-power mode: 그림 4 (b)의 t_{low} 구간)의 2 가지 모드로 바이어스 전압을 변화시킨다.

그림 4 (a)에 제안한 구동 방법을 모의 실험하기 위한 회로도를 나타내었는데, TFT-LCD 패널의 데이터 선 및 데이터 드라이버 내의 바이어스 선을 전기적으로 모

델화하여 삽입하였다. 제안한 구동 방법 및 회로를 사용하여 구동할 시, 높은 정상 상태 전류에서의 전압 편차와 낮은 정상 상태 전류에서의 전압 편차가 다르므로, 실제 데이터 선을 구동할 때인 낮은 정상 상태 전류에서의 전압 편차를 커패시터에 저장해야 한다. 따라서, 단일이득 연산증폭기의 전압 편차 보상 시간(그림 4 (b)의 t_{pre}) 중 출력 전압이 입력전압을 따라 슬루하는 시간을 높은 정상 상태 전류로 구동(슬루율을 높임 : 그림 4 (b)의 t_{slew} 구간= t_{high} 구간)하고, 나머지 시간동안 낮은 정상 상태 전류에서 전압 편차를 저장(커패시터를 이용해 전압 편차를 feedback : 그림 4 (b)의 t_{offset} 구간) 하게 되며, 그 이후 시간(그림 4 (b)의 $t_{driving}$ 구간)동안 데이터 라인을 구동하게 된다.

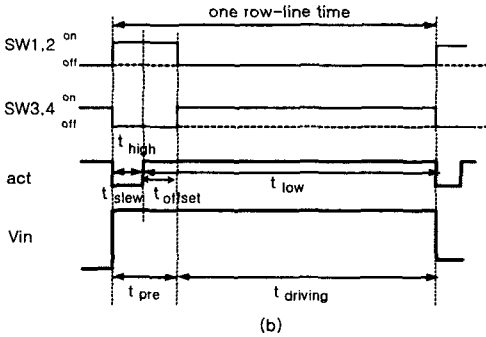
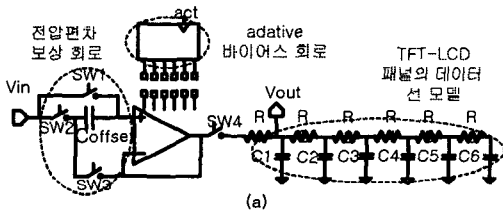


그림 4. 제안한 adaptive bias 전압 편차 보상 출력 버퍼의 모의 실험을 위한 (a) 회로도 및 (b) 제어신호.

IV. 모의 실험 결과

Hspice(0.35 μ m 공정 사용)를 사용한 모의 실험 결과 파형을 그림 5 에 나타내었다[3]. t_{pre} 시간이 2 μ sec 이므로 UXGA 급 해상도(one row-line-time 이 대략 15 μ sec 정도가 된다.)를 가정할 경우 데이터 선 구동 시간은 13 μ sec 로 주어지게 된다.

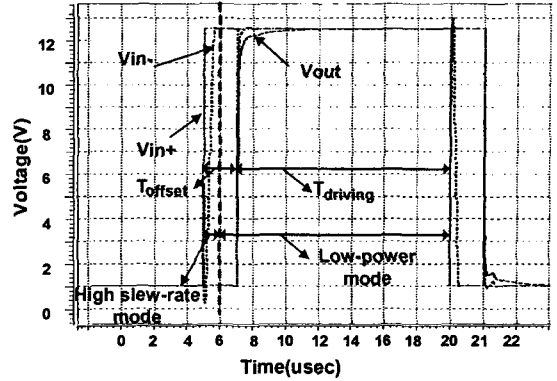


그림 5. 제안한 adaptive bias 전압 편차 보상 출력 버퍼 모의 실험 결과 파형.

그림 6 에서 모의 실험한 결과와 같이 단일이득 연산증폭기의 정상 상태 전류가 2 가지 모드에 따라 다른 값을 갖는 것을 볼 수 있다. 일반적인 전압 편차 보상 구동 방법 및 회로의 경우는 그림 6 (a)에서와 같이 단일이득 연산증폭기의 전류가 항상 30 μ A ~ 50 μ A 정도 흐르는 반면, 제안한 구동 방법 및 회로는 슬루하는 시간으로 주어진 1.5 μ sec(한 라인 구동시간에서 10% 미만: 그림 4 (b)의 t_{high} 구간)동안만을 그림 6 (a)에서 보인 30 μ A ~ 50 μ A 의 전류가 흐르고, 나머지 11.5 μ sec(그림 4 (b)의 t_{low} 구간)동안은 그림 6 (b)에서 보인 8 μ A ~ 10 μ A 의 전류가 흐르게 된다.

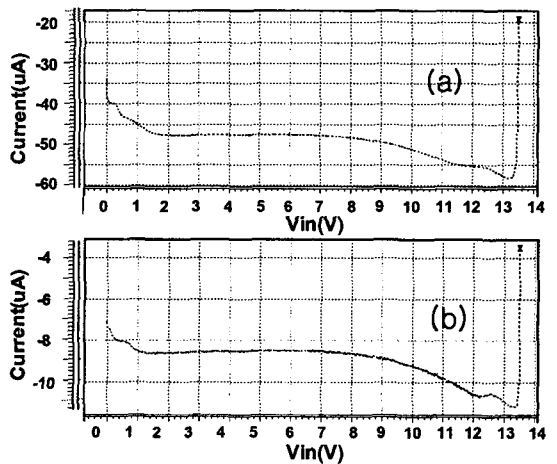


그림 6. 데이터 드라이버 출력 버퍼 내부의 단일 이득 연산증폭기의 정상 상태 전류 (a) high-slew mode, (b) low-power mode.

일반적인 구조의 단일이득 연산증폭기와 본문에서 제안한 구조의 단일 이득 연산 증폭기에서 소비전력을 분석해 보면 각각 식(1)과 식(2)와 같이 표현할 수 있다.

$$P_{avg\{conventional\}} = V_{DD} I_{avg} = V_{DD} I_{high\text{-}slew\text{-}rate} \quad (1)$$

$$P_{avg\{proposed\}} = V_{DD} I_{avg} \\ = V_{DD} \left(I_{high\text{-}slew\text{-}rate} \frac{t_{high}}{t_{total}} + I_{low\text{-}power} \frac{t_{low}}{t_{total}} \right) \quad (2)$$

여기서, $I_{high\text{-}slew\text{-}rate}$ 는 고 슬루율 구동 모드(high slew-rate mode)에서, $I_{low\text{-}power}$ 는 저소비전력 구동 모드(low-power mode)에서 단일이득 연산증폭기 내부의 전원전압 단자에서 접지로 흐르는 정상 상태 전류이다.

앞에서 모의 실험한 결과를 두 식에 적용하면,

$$P_{avg\{proposed\}} = V_{DD} \times 12.67 \mu A \quad (3)$$

$$P_{avg\{conventional\}} = V_{DD} \times 50 \mu A \quad (4)$$

($I_{low\text{-}power} = 50 \mu A$, $I_{high\text{-}slew\text{-}rate} = 10 \mu A$ 로 가정)

의 결과를 얻을 수 있다. 이 결과로부터 제안한 구조를 이용해 단일이득 연산증폭기의 전압편차를 보상했을 때 74.7%정도의 소비전력 절감 효율을 보임을 알 수 있다.

V. 결론

본 논문에서는 대면적, 고해상도 TFT-LCD 구동용 데이터 드라이버에 적용되는 단일이득 연산 증폭기의 구현에서, 높은 슬루율을 가지고, random offset 과 system offset 으로 인해 발생하는 전압편차를 보상하는 기능을 갖는 저소비전력 구동 방법 및 회로를 제안하였다.

제안한 구동 방법 및 회로를 사용할 경우, 커패시터를 이용하여 단일이득 연산증폭기의 입력과 출력간 전압 편차를 보상하는데 있어, 기존의 회로에 비해 정상 상태 전류에 대한 소비전력을 50% 이상 절감 효율을 가진다.

참고문헌

[1] Bang. W. Lee and Bing J. Sheu, "A High-Speed CMOS Amplifier with Dynamic Frequency Compensation," IEEE

Custom Integrated Circuits Conf. pp. 8.4.1-8.4.4, 1990.

[2] P. Gray and R. G. Meyer, "Analysis and Design of Analog Integrated Circuits," 3rd Ed. New York, John Wiley & Sons Inc., pp642-646, 1993.

[3] Avant! Corp., "Star-Hspice manual," 2000.