# TDR 및 NA를 이용한 Chip Pin Parasitic 추출

이 현 배, 박 홍 준
포항공과대학교 전자전기공학과
고속 CMOS 집적회로 연구실

# Chip Pin Parasitic Extraction by Using TDR and NA

Hyunbae Lee, Hongjune Park
Electronic & Electrical Engineering Department
High Speed CMOS IC Lab.
POSTECH
E-mail : quantum@postech.ac.kr

## Abstract

Chip Pin Parasitic은 실제 Chip Pad에서부터 Bonding Wire를 통한 Package Lead Frame까지를 의미한다. 여기서, Lead Frame 및 Bonding Wire에서 Inductance 및 작은 저항이 보이고, Chip Pad에서의 Capacitance, 그리고 Pad부터 Ground까지의 Return Path에서 발생하는 저항이 보인다. 이들을 모두 합하면 L, R, C의 Series로 나타낼 수 있다.

본 논문에서는 이런 Chip Pin Parasitic을 추출 하기 위해서 TDR(Time Domain Reflectometer)과 NA(Network Analyzer)를 사용하였는데, TDR의 경우 PCB를 제작하여 Chip을 Board위에 붙인 후 Time Domain에서 측정 하였고 NA의 경우 Pico Probe를 이용하여 Chip pin에 직접 Probing해서 Smith Chart를 통하여 Extraction 값을 추출했다. 이 경우, NA를 이용한 측정이 좀 더 정확한 Parasitic 값을 추출할 수 있으리라 예상되겠지만, 실제로 Chip이 구동하기 위해서는 Board위에 있을 때의 상황도 고려해야 하기 때문에 TDR 추출 값과 NA 추출 값을 모두 비교하였다.

## I. 서론

최근 집적회로의 구동 속도가 점점 빨라짐에 따라서, PCB 상의 Off Chip끼리의 Signal Integrity가 매우 중요한 문제로 부각되고 있다. Off Chip Signal Integrity 문제는 PCB 상의 Transmission line, Chip pin parasitic, Via, 등이 모두 Chip간의 고속 통신에 bottle neck이 되고 있는 것이 사실이다. 이들 중 특히 Chip pin parasitic의 경우, 실제 chip의 function을 구현하는데 가장 직접적인 영향을 미친다고 할 수 있다. 따라서 좀 더 정확한 Chip 구동을 예상하기 위해서는 이에 대한 정확한 modeling이 뒷받침 되어야 한다.

이에, 본 논문에서는 TDR(Time Domain Reflectometer) 및 NA(Network Analyzer)를 이용한 Chip Pin Parasitic Extraction 및 Modeling 방법을 소개하고자 한다. 우선, II절에서는 본 논문에서 사용한 Chip Package 정보를 기술하고, III절에서는 TDR을 이용한 Chip pin parasitic 추출 법을 설명하고, IV절에서는 NA를 이용한 Chip pin parasitic 추출법을 설명한 후, 마지막으로 V절에서 결론을 맺도록 하겠다.

## II. Chip Package 정보와 Pin Parasitic Model

### 2.1 Open Pattern Extraction

본 논문 실험에서는 IDEC 에서 제작한 QFP - 100 Package Chip 을 사용하였다. Chip 의 Pattern 은 본 실험을 위해서 2 개의 Open pattern 과 1 쌍의 Short pattern 이 있다. 여기서 Open pattern 이란 Chip package 의 Lead frame 으로부터 Pad 까지 Bonding Wire 가 있고 Pad 아래에 아

무런 회로도 연결되어 있지 않은 형태를 의미하며, Short pattern 이란 Open pattern 과 같이 Lead frame 과 Bonding Wire 가 있지만, Pad 2 개가 서로 붙어 있는 경우를 의미한다. Package 의 Schematic 은 그림 1 과 같다.

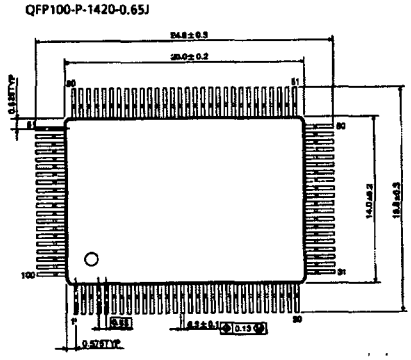



그림 1. Chip Package Schematic

그림 1 에서 54 번째와 55 번째 Pin 이 Open pattern 이고, 56 과 57 번째 Pin 이 Short pattern 이다. 본 논문에서는 Open pattern 과 Short pattern 을 모두 사용하였다.

### 2.2 Pin Parasitic Model

Chip Pin Parasitic은 실제 Chip Pad에서부터 Bonding Wire를 통한 Package Lead Frame까지를 의미한다. 여기서, Lead Frame 및 Bonding Wire에서 Inductance 및 작은 저항이 보이고, Chip Pad에서의 Capacitance, 그리고 Pad부터 Ground까지의 Return Path에서 발생하는 저항이 보인다. 이들을 모두 합하면 L, R, C의 Series로 나타낼 수 있는데, 이를 Schematic으로 나타내면 그림 2와 같다.

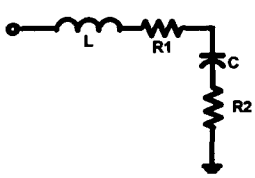



그림 2. Chip Pin Parasitic Schematic

그림 2에서 L과 R1은 각각 Bonding wire와 Lead Frame에서 발생하는 Inductance와 저항이고, C는 Pad Capacitance, R2는 Pad에서 Ground까지의 저항이다. R1과 R2를 굳이 나눈 이유는, R1은 비교적 위치에 상관 없는 값인 반면 R2의 경우에는 Pad에서 Ground까지의 거리에 dependent한 값이기 때문이다.

## III. TDR 을 이용한 Chip Pin Parasitic Extraction and Modeling

### 3.1 Open Pattern Extraction

본 논문에서 사용한 TDR 의 측정 조건은 -500mV ~ 0V Swing 에 36ps rise time 이며, 이를 이용한 Open pattern Measurement set up 은 다음과 같다.

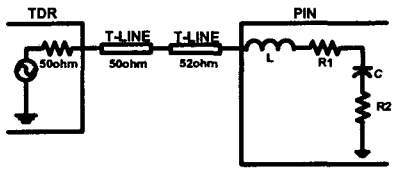



그림 3. TDR Open Pattern Measurement Setup

그림 3 의 Setup 을 통해 얻은 data 와 HSPICE 를 통한 modeling simulation data 의 비교를 통해 최적화된 modeling 값을 얻어낼 수 있다. 본 data 의 비교는 그림 4 에 나타내었다.

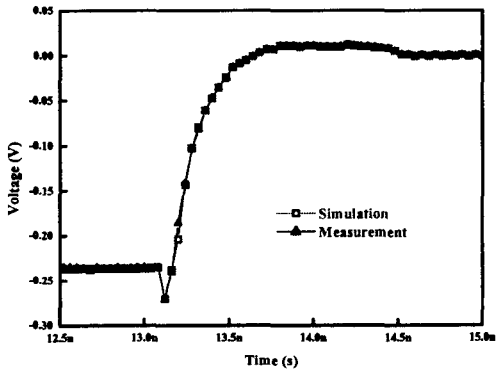



그림 4. TDR Open Pattern Data 비교

그림 4 를 통하여 추출된 Data 는 다음의 표와 같다.

표 1. TDR Open Pattern Parasitic Values

| L (nH) | R1 (Ohm) | R2 (Ohm) | C (pF) |
|---|---|---|---|
| 3 | 1 | 70 | 1.6 |

### 3.2 Short Pattern Extraction

TDR 을 이용한 Short pattern Measurement set up 은 다음과 같다.

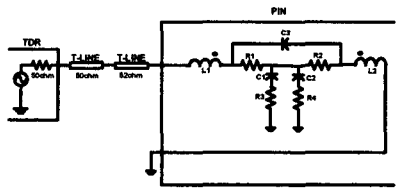



그림 5. TDR Short Pattern Measurement Setup

그림 5 의 Setup 을 통해 얻은 data 와 HSPICE 를 통한 modeling simulation data 의 비교를 통해 최적화된 modeling 값을 얻어낼 수 있다. 본 data 의 비교는 그림 6 에 나타내었다

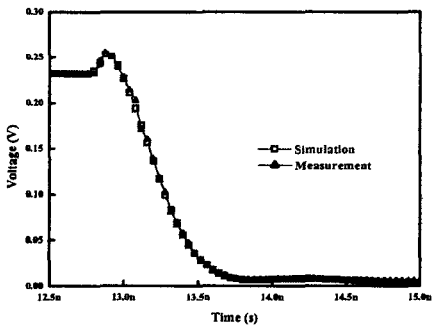



그림 6. TDR Short Pattern Data 비교

Short Pattern 의 경우에는, 인접한 2 개의 Wire 가 동시에 측정 되기 때문에 Mutual Capacitance 와 Mutual Inductance 도 추출이 된다. 따라서 이를 정리하면 다음과 같다.

표 2. TDR Short Pattern Parasitic Values

| L1 (nH) | L2 (nH) | k | C1 (pF) | C2 (pF) | C3 (pF) |
|---|---|---|---|---|---|
| 3.1 | 3.1 | 0.8 | 1.8 | 1.8 | 0.6 |

| R1 (Ω) | R2 (Ω) | R3 (Ω) | R4 (Ω) |
|---|---|---|---|
| 1.2 | 1.2 | 60 | 60 |

## IV. NA 를 이용한 Chip Pin Parasitic Extraction and Modeling

### 4.1 Open Pattern Extraction

NA 를 이용한 측정의 경우 측정용 PCB 를 따로 제작하지 않고, Pico Probe 를 직접 Chip pin 에 Probing 하였다. 따라서 Measurement Setup 은 그림 7 과 같이 TDR 의 경우와는 달리 Transmission Line 이 없다. 측정에 사용한 주파수는 120MHz ~ 1.5GHz 이다.

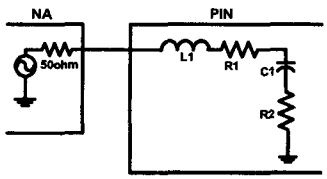
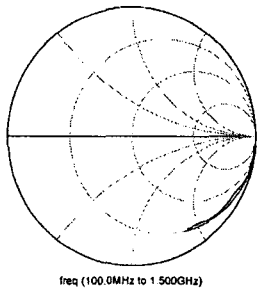



그림 7. NA Open Pattern Measurement Setup

Simulation Tool 또한, TDR 의 경우와는 달리 ADS 를 사용하여 Smith Chart Data 로 비교 하였다. 이의 결과는 그림 8 에 나타나있다.




Blue: Measurement
Red: Simulation

그림 8. NA Open Pattern 비교

이를 통하여 추출된 Data 는 다음과 같다.

표 3. NA Open Pattern Parasitic Values

| L (nH) | R1 (Ohm) | R2 (Ohm) | C (pF) |
|---|---|---|---|
| 3 | 1.2 | 60 | 1.5 |

### 4.2 Short Pattern Extraction

NA 를 이용하여 Chip pin 의 Short pattern parasitic 을 추출하기 위해서는, Pico Probe 의 Signal 과 Ground pin 을 모두 사용하여야 하기 때문에 NA 의 Calibration 시 상당

한 주의가 요망된다. 실제로 측정 시마다 Curve 의 Form 이 민감하게 반응하였다. 본 논문에서는 ADS *Simulation* 과 병행 함으로서 가장 최적화된 Data 를 사용하였다. Measurement Setup 과 Data 는 각각 그림 9 와 그림 10 과 같다.

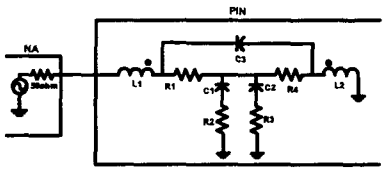
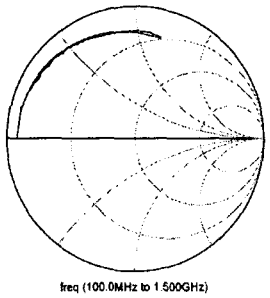



그림 **9. NA Short Pattern Measurement Setup**




**Blue: Measurement**

**Red: Simulation**

그림 **10. NA Short Pattern** 비교

이를 통하여 추출된 Data 는 다음과 같다.

**표 4. NA Short Pattern Parasitic Values**

| L1 (nH) | L2 (nH) | k | C1 (pF) | C2 (pF) | C3 (pF) |
|---|---|---|---|---|---|
| 3 | 3 | 0.7 | 1.5 | 1.5 | 0.6 |

| R1 (Ω) | R2 (Ω) | R3 (Ω) | R4 (Ω) |
|---|---|---|---|
| 1.2 | 1.2 | 60 | 60 |

표 1 부터 표 4 까지를 바탕으로 TDR 과 NA 의 Data 를 정리하면 다음과 같다.

**표 5. TDR Data** 정리

| L (nH) | R1 (Ohm) | R2 (Ohm) | C (pF) |
|---|---|---|---|
| 3.05 | 1.1 | 65 | 1.7 |

**표 6. NA Data** 정리

| L (nH) | R1 (Ohm) | R2 (Ohm) | C (pF) |
|---|---|---|---|
| 3 | 1.2 | 60 | 1.5 |

표 5 와 표 6 을 비교해보면, NA 를 기준으로 Data 차이가 약 4.5%임을 알 수 있다.

## V. 결론

본 논문의 의의는 TDR 과 NA 를 통한 Chip Pin Parasitic 추출 시 어느 정도의 오차가 생기는지를 밝혔고, 또한 Parasitic 의 R 을 R1 과 R2 로 나누어서 Pad 와 Ground 사이의 저항 값도 추출 가능함을 증명했다는 것이다. 이로서 좀 더 정확한 값을 얻어서 Chip 설계 또는 측정 시에 많은 도움이 될 것으로 예상한다. 앞으로의 과제는 이제는 고속 통신의 중요성이 부각되고 있기에 Parasitic 값들의 Frequency dependent 값들 또한 추출할 수 있는 연구의 수행일 것이다.

## 참고문헌

[1] Toshio Hamano and Yoshihiko Ikemoto, "Electrical Characterization of a 500MHz Frequency EBGA Package", IEEE Trans. Advanced Packaging, Vol. 24, NO. 4, Nov. 2001, pp 534 ~ 541

[2] Tzzy – Sheng Horng, Sung Mao Wu and Charlie Shih, "Complete Methodology for Electrical Modeling of RFIC Packages", IEEE Trans. Advanced Packaging, Vol. 24, NO. 4, Nov. 2001, pp 542 ~ 547