

3-상 클럭을 이용한 UP/DOWN DC/DC 변환기의 설계

이신우, 임신일
서경대학교 컴퓨터공학과

A Design of 3-Phase UP/DOWN DC/DC Converter

Shin-Woo Lee, Shin-II Lim
Dept. of Computer Engineering, Seokyeong University
E-mail : s9627031@dreamwiz.com

Abstract

본 논문에서는 3-상 클럭을 이용하여 UP/DOWN 변환을 동시에 수행하는 DC/DC 변환기의 설계에 대해 설명한다. 기존의 UP/DOWN DC/DC 변환기의 경우에는 한 스텝당 변화하는 전압의 양이 많아서 출력에 수십 mV의 리플이 존재하게 된다. 이 리플을 줄이기 위해서는 L, C의 값을 크게 해 주어야하는 문제가 있다. 그러나, 설계된 UP/DOWN DC/DC 변환기는 기존의 UP/DOWN DC/DC 변환기의 구조를 가지면서, 3-상 클럭을 이용하여 한 스텝당 변화하는 전압의 양을 작게 하여 작은 L, C의 값을 가지고도 4mV 이하의 출력 리플을 갖는 안정된 전압 변환을 하도록 설계하였다. 설계된 변환기는 0.25μm standard CMOS 공정을 이용하여 구현하였다. 구현된 칩의 면적은 1.8 mm × 0.8 mm 이다.

I. 서론

휴대폰, 노트북, PDA, 디지털 카메라와 같은 휴대용 장치는 배터리 전원으로 사용한다. 따라서, 소비 전력을 작게 하면서 전압이 안정적으로 유지될 수 있도록 하기 위한 회로 중에 하나로써 DC/DC 변환기가 사용되고 있다. 이러한 DC/DC 변화기가 안정적인 전원을 공급할 수 있도록하기 위해서는 출력 리플이 작아야

만 한다. 또한, 낮은 입력 전압과 높은 입력 전압에서 원하는 일정한 전압이 출력되어야 하기 때문에 UP/DOWN 동작이 동시에 수행 될 수 있어야 한다. 이러한 조건을 만족시키기 위해서 큰 값의 L, C를 사용하지 않고, 3-상 클럭을 이용하여 한 스텝당 변화하는 전압의 양을 작게 하여 리플을 줄이는 UP/DOWN DC/DC 변환기의 설계에 대해 설명한다.

II. 본론

2.1 Step-down /Step-up 변환기의 리플

단순히 UP 이나 DOWN 동작만을 수행하는 DC/DC 변환기의 출력 리플은 Step-down converter의 경우에 리플을 ΔV_{OUT} 이라고 하면

$$\frac{\Delta V_{OUT}}{V_{OUT}} = \frac{1}{8} \frac{T_s^2 (1-D)}{LC} = \frac{\pi^2}{2} (1-D) \left(\frac{f_c}{f_s} \right)^2 \quad (1)$$

과 같이 된다[1]. 여기서 $f_s (=1/T_s)$ 는 스위칭 클럭이며, f_c 는 LC에 의한 여파기의 -3 dB 주파수이다. D는 클럭의 duty ratio를 나타낸다. 식 (1)에서 보는 바와 같이 출력 리플은 L과 C로 이루어진 저역 통과 필터(low-pass filter)에 의해 줄일 수가 있다. 반면에 Step-up converter의 경우는

$$\frac{\Delta V_{OUT}}{V_{OUT}} = \frac{DT_s}{RC} = D \frac{T_s}{\tau} \quad (2)$$

과 같이 되어 R 과 C 값에 의해 출력 리플을 줄일 수가 있다. 위의 두가지의 경우에 UP/DOWN 동작시 클럭의 duty ratio 가 크기 때문에 이 순간에 인덕터(L)에 흐르는 전류는 증가하게 된다. 그러므로, 단위 스텝당 변화하는 전압의 양이 크기 때문에 L, C 의 값을 크게 하더라도 출력의 리플을 많이 줄일 수가 없게 된다.

2.2 기존의 UP/DOWN 변환기

UP/DOWN 이 동시에 지원되는 변환기는 Step-down 변환기와 Step-up 변환기를 같이 사용한 형태로서 그림 1 에 나타내었다[2].

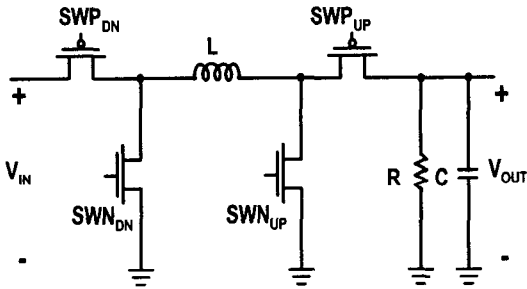
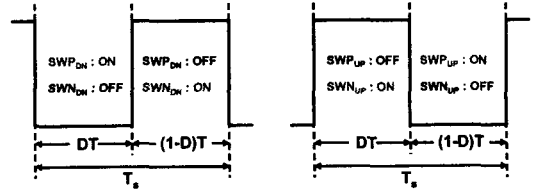


그림 1. UP/DOWN 이 동시에 지원되는 변환기의 구조.

그림 1 의 구조는 단순히 UP 이나 DOWN 변환만을 수행하는 변환기들의 스위치와 다이오드를 MOS 트랜지스터로 대체하여 결합한 형태로서 동작은 다음과 같이 된다. 인덕터를 중심으로 왼쪽의 스위치(SWP_{DN}, SWN_{DN})에 의해서 DOWN 변환이 이루어지고, 오른쪽 스위치(SWP_{UP}, SWN_{UP})에 의해서 UP 변환이 이루어진다. DOWN 변환시에는 SWP_{UP} 은 항상 ON 이 되어 있고, SWN_{UP} 은 항상 OFF 가 되어 있어야만 SWP_{DN}, SWN_{DN} 의 순차적인 ON/OFF 에 의해서 변환이 이루어진다. 반면에, UP 변환시에는 SWP_{DN} 은 항상 ON 이 되어 있어야 하며, SWN_{DN} 은 항상 OFF 이 되어 있어야 SWP_{UP}, SWN_{UP} 의 순차적인 ON/OFF 에 의해 변환이 이루어지게 된다. 이와 같은 변환에 의한 출력 전압은 그림 2 에 나타난 것과 같은 스위치의 Duty cycle 과 입력 전압의 관계식으로 얻을 수 있다.



$$V_{OUT} = D \cdot V_{IN}$$

$$0 < D < 1$$

$$V_{OUT} = \frac{1}{1-D} \cdot V_{IN}$$

$$0 < D < 1$$

그림 2. UP/DOWN 스위치의 duty cycle 과 비례식.

그러나, 이러한 구조는 UP/DOWN 변환을 동시에 지원할 수 있지만 단순히 UP 변환기와 DOWN 변환기를 결합한 것을 사용하였다. 그러므로, UP 동작이나 DOWN 동작시 각각의 변환기로 동작하기 때문에 단위 스텝당 전압의 변화가 많아서 리플의 양이 많게 된다.

2.3 설계된 3-상 클럭을 이용한 DC/DC 변환기

설계된 구조의 변환기는 그림 1 의 구조와 같다. 그러나, 2.2 절과 같이 UP/DOWN 변환을 위해서 한 쪽의 스위치만을 ON/OFF 시키지 않고, 스위치 4 개를 모두 순차적으로 ON/OFF 시킴으로써 UP/DOWN 변환을 수행하게 된다. 설계된 구조를 설명하기 위해 그림 3 에 스위치 제어 클럭과 구조를 나타내었다.

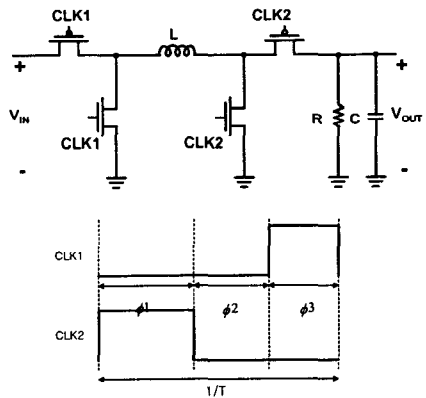


그림 3. 설계된 변환기의 구조와 스위치 제어 클럭.

설계된 구조의 변환기를 제어하기 위해 두 개의 클럭

(CLK1, CLK2)을 사용하였다. $\phi 1$ 일 때 인덕터의 전류는 증가하게 되나, 출력으로 에너지가 전달되지 않는다. $\phi 2$ 일 때 인덕터의 전류는 출력쪽으로 흐르게 된다. $\phi 3$ 일 때 인덕터의 전류는 감소하게 되며, 에너지가 출력으로 전달된다. 이 과정을 그림 4에 나타내었다.

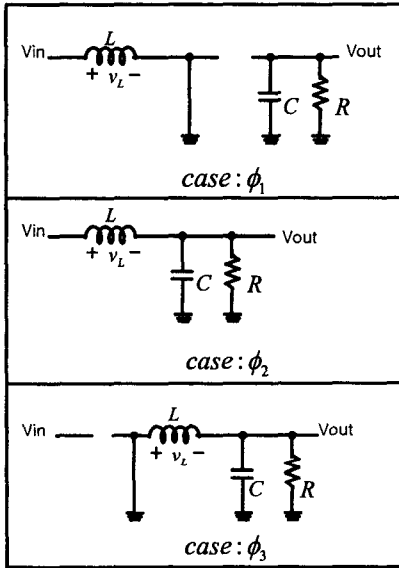


그림 4. $\phi 1$, $\phi 2$, $\phi 3$ 일 때 변환기의 동작.

$\phi 1$, $\phi 2$, $\phi 3$ 의 길이에 따른 변환기의 UP/DOWN 관계는 다음과 같이 정의 된다.

$$\frac{V_{out}}{V_{in}} = \frac{T_{\phi 1} + T_{\phi 2}}{T_{\phi 2} + T_{\phi 3}} \quad (3)$$

식 (3)에서 보면 $\phi 2$, $\phi 3$ 길이를 변화 시킴으로써 입력전압에 대해서 출력 전압을 결정할 수가 있다. CLK2의 duty ratio는 일정하게 유지 시키고, CLK1의 duty ratio를 변화 시키면 $\phi 1$ 의 길이는 고정되며, $\phi 2$, $\phi 3$ 의 길이는 변하게 된다. CLK1의 duty ratio는 CLK2와 동시에 'HIGH'가 되는 부분이 없도록 변화시켜야만 한다. CLK1의 duty ratio를 크게 하면 $\phi 2$ 의 길이는 줄어들고, $\phi 3$ 의 길이가 늘어나게 되어 변환기는 DOWN 변환을 수행하게 된다. 반대로 CLK1의 duty ratio를 작게 하면 $\phi 2$ 의 길이는 증가하고, $\phi 3$ 의 길이가 감소하여 UP 변환을 수행한다. 설계된 회로에서의

DOWN 동작일 때의 리플은 다음과 같다.

$$\frac{\Delta V_{out}}{V_{out}} = \frac{1}{2} \cdot \frac{T_{\phi 3}}{LC} \left(T_{\phi 2} + \frac{1}{4} T_{\phi 3} \right) \quad (4)$$

식 (4)를 식 (1)과 비교하여 보면 클럭의 주기(T_s)보다 더 작은 $T_{\phi 2} + \frac{1}{4} T_{\phi 3}$ 이 곱해짐으로 출력 리플이 더 작은 것을 알 수가 있다. 또한 UP 동작일 때의 리플은 다음과 같다.

$$\frac{\Delta V_{out}}{V_{out}} = \frac{T_{\phi 2} \cdot T_{\phi 3}}{2LC} \quad (5)$$

식 (5)를 식 (2)와 비교하여 보면 클럭의 주기(T_s)보다 작은 $T_{\phi 2} \cdot T_{\phi 3}$ 가 곱해짐으로 출력 리플이 더 작은 것을 알 수가 있다.

설계된 3-상 클럭을 이용한 DC/DC 변환기의 전체 블록 다이어그램을 그림 5에 나타내었다. 입력으로 1.8V ~ 2.5V 사이의 전압을 받아서 선택 신호(Vsel)에 의해서 1.8V나 2.5V의 출력이 나오게 되어 있다. 내부에 클럭 발생기를 집적하여 스위치를 ON/OFF 할 수 있게 하였으며, 출력 전압을 감지한 후 내부의 기준 전압과 비교하여, 클럭의 duty ratio를 변화 시켜 UP/DOWN 동작을 수행하도록 하였다.

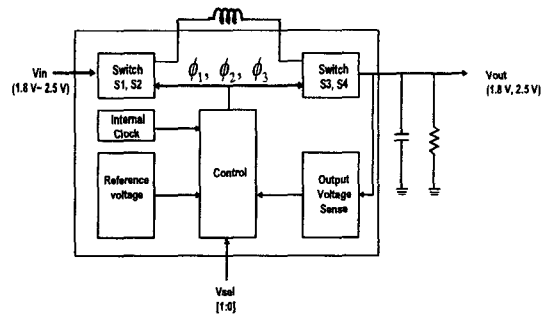
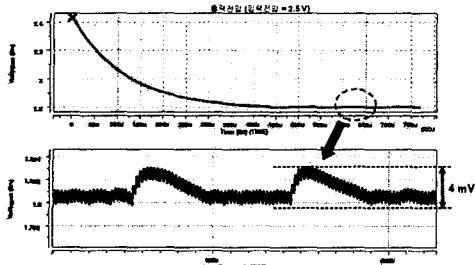


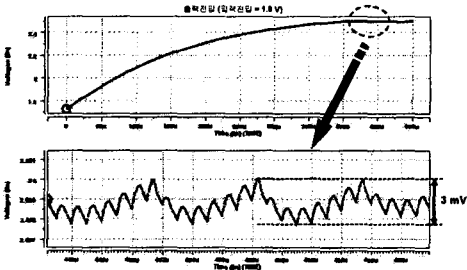
그림 5. 설계된 DC/DC 변환기의 전체 블록 다이어그램.

III. 결과

설계된 DC/DC 변환기의 모의 실험 결과 그림 6에 나타내었다.



(a) DOWN 동작



(b) UP 동작

그림 6. 설계된 회로의 모의 실험 결과.

설계된 회로의 모의 실험을 통해서 DOWN 동작일 경우에 출력의 리플이 4 mV 이하로 나왔으며, UP 동작일 경우에는 3 mV 이하로 나왔다.

IV. 결론

본 논문에서는 기존의 UP/DOWN DC/DC 변환기의 구조를 가지고, 3-상 클럭을 이용하여 L, C 값을 크게 하지 않더라도 출력 리플을 작게 하는 회로를 설계 하였다. 설계된 회로는 0.25 μ m CMOS 공정을 이용하여 설계 하였으며, 변환 효율은 87 %이다. 표 1 에 설계된 변환기의 특성을 기술하였으며, 그림 7 에 설계된 회로의 레이아웃을 나타내었다.

표 1. 설계된 DC/DC 변환기의 특성.

Chip Area	1.8 mm × 0.8 mm
Process	0.25 μ m CMOS
Supply Voltage	2.5 V
Off-chip component inductor	4.7 μ H
capacitor	20 μ F
Internal Frequency	1 MHz
Voltage ripple	< 4 mV
Conversion efficiency	87 %

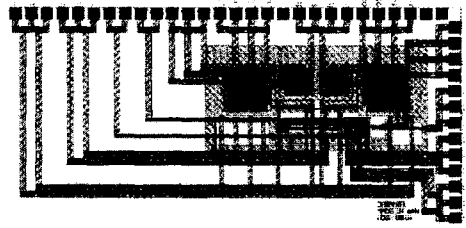


그림 7. 설계된 DC/DC 변환기의 레이아웃(layout).

참고문헌

- [1] Mohan, Undeland and Robbins, "POWER ELECTRONICS," WILEY, 1995.
- [2] S-I Cho, J-Y Kim, S-I Lim, B-Y Min, "A Multiple-Voltage Single-Output DC/DC Up/Down Converter," Proceedings of IEEK Summer Conference, 2002.