

2-Transistor와 2-Resister 구조의 MRAM cell을 위한 CMOS Macro-Model

조 충 현, 고 주 현, 김 대 정, 민 경 식, 김 동 명
국민대학교 전자정보통신공학부
전화 : 02-910-4704 / 핸드폰 016-206-4542

A CMOS Macro-Model for MRAM cell based on 2T2R Structure

Chung-Hyun Cho, Ju Hyun Ko, Daejeong Kim,
Kyeong-Sik Min, and Dong Myong Kim
School of Electrical Engineering, Kookmin University
E-mail : god100 4i@hanmail.net

Abstract

Recently, there has been growing interests in the magneto-resistive random access memory (MRAM) because of its great potential as a future nonvolatile memory. In this paper, a CMOS macro-model for MRAM cell based on a twin cell structure is proposed. The READ and WRITE operations of the MTJ cell can be emulated by adopting data latch and switch blocks. The behavior of the circuit is confirmed by HSPICE simulations in a 0.35- μm CMOS process. We expect the macro model can be utilized to develop the core architecture and the peripheral circuitry. It can also be used for the characterization and the direction of the real MTJ cells.

1. 서론

자기저항식 랜덤 액세스 메모리 (MRAM)는 전기 도체의 저항이 주변 자기장에 따라 변화하는 자기 저항효과 (magneto resistance effect)를 이용해 정보를 저장하는 방식으로, 단일 트랜지스터 위에 자기터널접합 구조를 갖는 MTJ (magnetic tunneling junction) 셀로써 구성된다. 이 같은 MRAM은 DRAM, 플래시메모리 등 기존 메모리반도체에 비해 정보 기록 및 재생 속도가 빠르며, 소비전력이 적고, 비휘발성질을 갖는다. 또한, 셀 크기가 작아 집적도가 높으며, 기존 CMOS와 쉽게 통합 생산할 수 있는 등 많은 장점을 갖고 있다. 따라서 휴대폰, 모바일 정보기기, 각종 컴퓨터에 사용될 차세대 메모리로 각광받고 있다[1][2].

본 논문은 CMOS 공정으로써 셀을 제외한 모든 회로부의 동작을 검증하기 위한 MRAM 셀의 CMOS macro model을 제안한다. 이러한 모델을 이용하여 다른 회로부분의 개발을 용이하게 할 수 있으며, 이로 인해 셀을 포함하는 전체 칩의 특성

을 확인함으로써 MRAM 공정을 이용한 MRAM cell 자체의 개발에 있어서의 방향을 제시할 수 있는 바탕이 된다. 제안된 CMOS macro model은 실제 MTJ구조의 셀처럼 데이터의 read 동작과 write 동작이 가능하며, 하드웨어의 부담이 커지않게 설계된 경제적인 emulation 회로이다.

II. MRAM cell의 구성과 동작

(1) 셀 구조

그림 1은 실제 MRAM 공정을 이용할 때의 2T2MTJ의 셀 구조이다. 셀은 두 개의 다른 저항 값을 갖는 MTJ 저항으로서 구성되며, 각각 pass transistor에 연결되어 있는 twin cell 구조이다. 2T2MTJ 셀은 셀의 데이터를 읽어오는 read 동작 시 셀을 bit line에 연결하기 위한 word line (WL)과 write 동작 시 MTJ 저항을 바꾸어 줄 수 있도록 magnetic flux를 발생시키기 위한 digit line (DGL)이 연결된다.

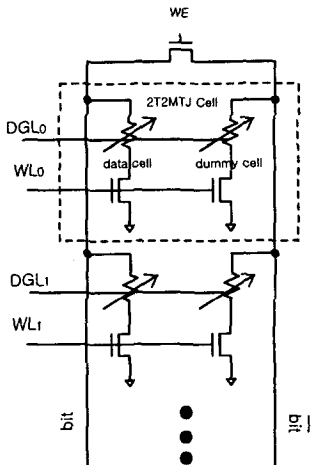


그림 1. 2T2MTJ twin cell 구조

여기서 bit line과 /bit line에는 전기적으로 큰 저항(R_{HIGH})과 작은 저항 (R_{LOW})이 데이터 값에 따라 각각 연결되어 있다.

그림 2는 제안하는 모델로서, 두 개의 pass transistor와 R_{HIGH} , R_{LOW} 의 값을 가지는 두 개의

저항으로 구성된 2T2R MRAM 셀 부분과 셀의 동작을 emulation 하기 위한 기타의 부분으로 나누어진다.

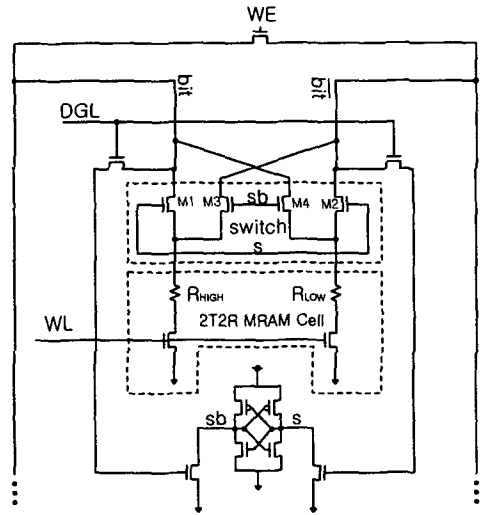


그림 2. 제안하는 macro model

기타의 부분은 write 동작을 emulation 하기 위한 write emulation 부와 셀 데이터를 읽어오는 read 동작을 emulation 하기 위한 switch 부분으로 구성되어 있다.

(2) MRAM 셀의 read동작과 write동작

그림 1의 MRAM 셀은 HIGH 데이터를 저장하고 있을 때 R_{HIGH} 값의 MTJ가 bit line에 연결되고, R_{LOW} 값의 MTJ가 /bit line에 연결된다.

그림 2의 macro model의 경우 데이터 값은 latch에 저장이 되어 있다. 셀 데이터의 read 동작은 HIGH 데이터가 저장된 경우 ($s=HIGH$), WL이 활성화될 때 스위치 부는 's'가 닫혀서 bit line은 M1을 통해 R_{HIGH} 가 연결되고, /bit line은 M2를 통해 R_{LOW} 가 연결된다. 그리고, LOW 데이터가 저장된 경우 ($sb=HIGH$), WL이 활성화될 때 스위치 'sb'가 닫혀서 bit line은 M4를 통해 R_{LOW} 가 연결되고, /bit line은 M3을 통해 R_{HIGH} 가 연결된다.

그림 1에서 write동작은 DGL에 전류가 흐르고 있는 동안에 bit line과 /bit line이 write enable (WE) 스위치에 의해 연결되고 전류의 방향에 따라 다른 자성동작에 의해 MTJ 저항이 R_{HIGH} 또는

R_{low} 값을 갖는다.

제안된 macro model에서 write 동작은 다음과 같다. DGL이 열려있는 동안에 WE이 활성화되고, bit line에서 /bit line으로 (혹은 /bit line에서 bit line으로) 전류가 흐르면 WE transistor 양단에 걸리는 전압차이에 의해서 한번의 증폭을 거친 후, latch에 값을 쓴다. 이처럼 bit line에 실려 있는 전류 데이터를 pass transistor의 turn-on 저항을 거치면서 전압 데이터로 바뀌고 DGL 신호가 활성화되는 동안에 direct sensing 방법에 의해 결국 latch에 저장이 되도록 MTJ 셀의 write 동작을 emulation 하였다.

III. 제안하는 Macro-Model의 simulation 결과

본 논문에서 제안하는 macro model은 표준 CMOS 0.35 μ m 공정으로써 HSPICE를 사용하여 검증하였다. 그림 3은 셀 데이터를 read 하는 동작을 시뮬레이션 한 결과이다. 초기상태에서 bit line과 /bit line은 0V로서 초기화 되어 있고, 데이터 latch에는 s=HIGH가 저장되어 있는 경우, 37ns에서 WL이 활성화되면, 저항으로 일정한 전류가 흘러서 양 단의 전압의 차이가 형성된다. 48ns에서 bit line sense amplifier가 활성화 되면 이 미세한 전압은 full-swing 전압으로 벌어져서 저장된다.

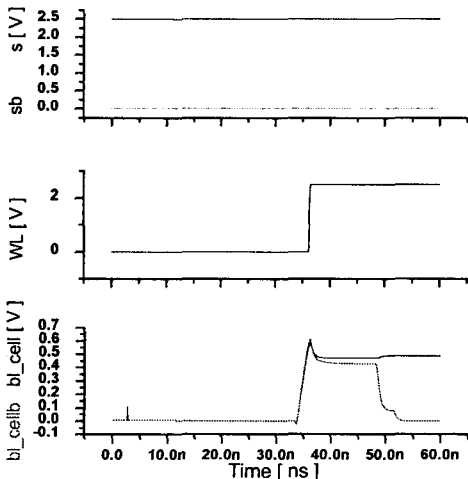


그림 3. CMOS macro model의 read 동작

그림 4는 셀에 write 하는 동작을 시뮬레이션 한 결과이다. 먼저 데이터 latch는 HIGH로 초기화 되어 있다. (s=HIGH) 80ns 지점에서 DGL이 활성화 되면, 전류의 방향에 따라 bit line과 /bit line에 전압이 형성되고, 이 데이터는 결국 데이터 latch 값을 반대로 뒤집는다. (s=LOW) 100ns를 조금 넘어선 지점에서 전류의 방향을 바꾸면 bit line과 /bit line에는 반대 크기의 전압이 형성되고 다시 데이터 latch를 뒤집는다. (s=HIGH) 본 시뮬레이션은 100MHz 클럭을 기준으로 한 것으로서 메모리 셀의 동작을 잘 emulation 하고 있다.

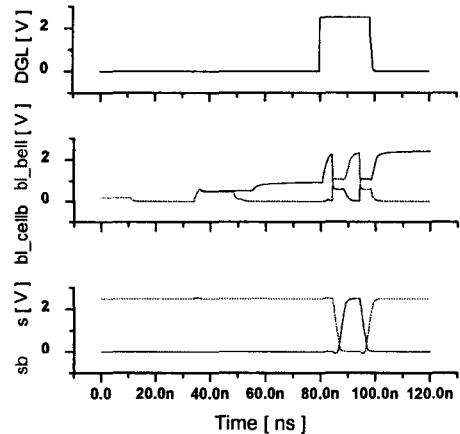
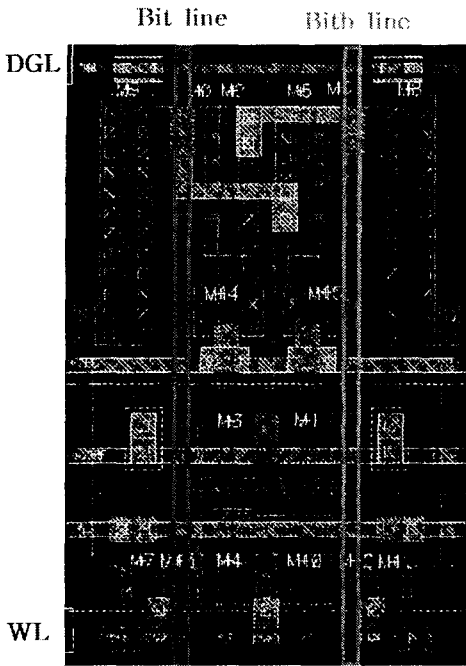


그림 4. CMOS macro model의 write 동작

IV. 제안하는 Macro-Model의 레이아웃

그림 5는 제안하는 CMOS macro model의 레이아웃으로서 0.35 μ m 2poly-4metal 표준 CMOS 공정으로 제작되었다. WL pitch는 24.75 μ m이고, BL pitch는 16.2 μ m이다. 칩 면적을 최소화하기 위해 트랜지스터를 finger형으로 배치시켰고, macro model의 array를 고려하여 전원이 각 셀마다 균등 분포하도록 power line을 mash 형태로 연결하였다. 또한 bit line과 /bit line 양단에 걸리는 전압을 일정하게 유지하기 위해, 가능한한 대칭구조로 배치하고자 하였다.

참고문헌



[1] Kouichi Yamada, Naofumi Sakai, Yoshiyuki Ishizuka and Kazunobu Mameno., "A Novel Sensing Schme for a MRAM with a 5% MR Ratio", IEEE Symposium on VLSI Circuit Digest of Technical Papers, 2001, pp. 123-124.

[2] M. Durlam, P. Naji, A. Omair, M. DeHerrera, J. Calder, J. M. Slaughter, B. Engel, N. Rizzo, G. Grynkwich, B. Butcher, C. Tracy, K. Smith, K. Kyler, J. Ren, J. Molla, B. Feil, R. Williams, S. Tehrani, "A low power 1Mbit based on 1T1MTJ bit cell interated with Copper Interconnection, IEEE Symposium on VLSI Circuit Digest of Technical Papers, 2002, pp. 158-161.

그림 5. 제안하는 CMOS macro model의 레이아웃

V. 결론

본 논문에서 제안된 macro model은 MTJ 셀을 CMOS 공정으로 구현한 emulation 회로이다. 이러한 macro model은 실제의 MTJ 공정 대신 CMOS 공정으로 대체함으로써, 주변회로 부와 셀의 회로 동작을 한번에 평가할 수 있다. 또한, MTJ 셀의 동작에 대한 회로적인 characterization을 통해 경쟁력 있는 메모리 설계가 가능하다.

Acknowledgment

본 논문은 IDEC (Integrated-circuit Design Education Center)의 디자인 소프트웨어의 지원에 의한 것이며, 이에 깊은 감사를 드립니다.