Elevated Polysilicon source/drain 구조와 고유전율 절연막을 적용한 초미세 SOI MOSFET의 제작 및 특성 연구

임기주*, 조원주, 안창근, 양종헌, 오지훈, 맹성렬, 이성재, 황현상*
한국전자통신연구원 반도체원천기술연구소, *광주과학기술원 신소재공학과

The electrical characteristics of Polysilicon Source/Drain SOI MOSFETs with high-k gate dielectrics.

Kiju Im, Won-ju Cho*, Changgun Ahn*, , Jong-Heon Yang*, Jihun Oh*,,MaengSunglyul* , Seongjae Lee*, Hyunsang Hwang
*Electronics and Telecommunications Research Institute
Gwangju Institute of Science and Technology
E-mail : ikj63269@etri.re.kr

Abstract

본 논문에서는 MOSFET source/drain 고체 확산 원으로써 도핑된 폴리 실리콘을 사용하였으며 확산 후 남은 폴리 실리콘은 elevated source/drain 역할을 하여 저항을 줄여 준다. 또한 제안 된 구조는 게이트 절연막 공정 이전에 확산 공정이 이루어 지기 때문에 후속 열처리에 취약한 고유전율 게이트 절연막 공정과 금속 게이트 공정에 적합한 공정으로 적합함을 보였다.

I. 서론

MOSFET 소자의 scaling 은 소자의 집적도와 효율을 높이고, 동작 전압을 감소시킴으로써 소비 전력을 감소시키는 데에 주된 목적이 있다. 이 같은 소자의 Scaling 에 있어서 극복해야 할 기술적인 과제가 많지만, 그 중 하나가 얕은 접합과 게이트 절연막에 관한 문제이다. MOSFET 소자에서 접합 깊이를 감소시키는 것은 단채널 효과, DIBL (Drain-Induced Barrier Lowering), punch-through 그리고 sub-threshold 특성을 개선시킬 수 있다. 아울러, 높은 동작 전류를 얻기 위해서는 Source/Drain 에 실리사이드를 적용하여 저항을 감소시키는 공정이 적용되고 있다. 그러나, SOI 를 이용한 MOSFET 에 있어서 SOI 층의 두께가 얇을 경우, 실리사이드 형성에 의하여 실리콘이 소모되어서 오히려 접합 특성이 열화 되며 소자의 전기적 특성을 저하시킨다. 소자 scaling 이론에 따르면 게이트 길이와 게이트 절연 막 두께의 비가 약 45 정도로 유지되면, 단 채널 효과를 줄이면서 최상의 전기적 특성을 보인다고 알려져 있다[1]. 따라서 소자의 scaling 이 진행되면서 게이트 절연막의 두께도 점차 감소하고 있지만, 게이트 절연막으로 사용하는 실리콘 산화막(SiO2, 밴드 갭 Eg=9, 유전상수ε =3.9)의 두께가 20Å이하에서는 전자의 터널링 현상으로 인하여 누설 전류가 증가하기 때문에 실제 소자 동작 적용에 문제가 있다. 따라서, 이를 대체할 수 있는 재료에 관한 연구가 많이 진행 되고 있고, 그 중 주목을 받는 재료가 HfO_2 이다. HfO_2 는 실리콘과 비슷한 격자 상수를 가지며, 5.68eV 의 높은 밴드갭, 그리고 유전 상수ε 가 30 정도의 고유전율 재료이다. 그러나 고유전 상수를 가지는 재료들은 대체적으로 열적 안정성이 좋지않기 때문에, 금속 게이트를 이용한 replacement gate[2] 형성 방법으로 소자를 제작하지만 공정이 매우 복잡하다는 단점이 있다. 따라서, 본 연구에서는 phosphorus 가 도핑된 v 폴리 실리콘을 고체 확산 원으로 사용하여 source/drain 을 형성시켜서 ion 주입에 의하여 발생하는 격자손상을 줄이며, 동시에 폴리 실리콘 elevated source/drain 구조로 소자의 기생 저항 성분을 감소시켰다. HfO_2 로 게이트 절연막을 형성했으며 CMP 와 같은 별도의 평탄화 공정

없이 금속 게이트 소자를 제작하여 전기적 특성을 평가하였다. 또한, 공정 및 소자 시뮬레이션을 통하여 40 nm 급의 초미세 SOI MOSFET 에서도 폴리 실리콘 elevated source/drain 구조가 성공적으로 동작할 수 있음을 보였다

II 소자 제작 절차

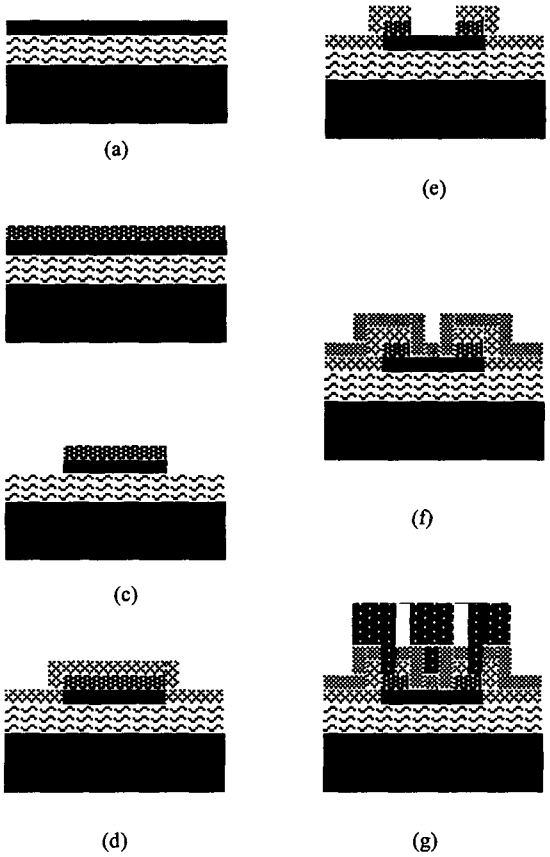
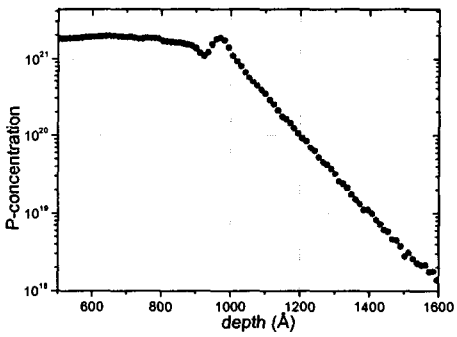


그림 1 MOSFET 소자 제작 과정

그림 1 에 소자의 공정 순서를 나타내었다. (a)매몰산화층(BOX)층과 SOI 가 각각 200nm, 100nm 인 기판을 cleaning 한다. (b)600°C 에서 phosphorus 가 함유된 amorphous 실리콘을 100nm 의 두께로 증착 하였다. (c)소자간 격리를 위해서 활성영역을 MESA 방법으로 절연하였으며, (d)200nm 의 층간 절연막을 SOG 로 형성하고, (e) 채널 형성 부분을 건식각 방법으로 제거 하였다. Source/drain 영역을 형성하기 위해 900°C 에서 30 s 급속 열처리(RTA)를 실시하였다. RTA 는 불순물 원자의 확산과 RIE 에 의한 채널부에서의 격자 손상을 회복시키며, phosphorus doped 비정질 실리콘이 결정화되어서 source/drain 의 저항을 감소시킨다. (f)데이트 절연 막 공정은 먼저 He 을 스퍼트로 증착하고, O2 분위기에서 600°C 로 산화시켜 HfO_2 4nm 얻었다. 마지막으로, (f)금속 게이트를 형성하여 MOSFET 를 제작하였다.

폴리 실리콘은 source/drain 의 확산원인 동시에 elevated source drain 구조를 형성하여서 기생 저항을 감소시키는 역할을 한다[3,4]. 따라서, 단채널 효과와 저항 감소를 위하여 epitaxy raised source drain 형성 공정[5]이 불필요하게 된다. 또한, 본 공정은 금속 게이트를 위한 더미 게이트 형성이 불필요하고, 게이트 절연막을 형성하고 바로 금속 게이트를 형성 할 수 있기 때문에 replacement gate[2] 방법보다 공정이 간단하다.

III 소자의 특성 및 고찰



(a)Phosphorus SIMS depth profile

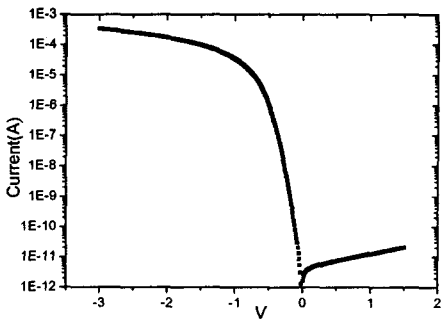
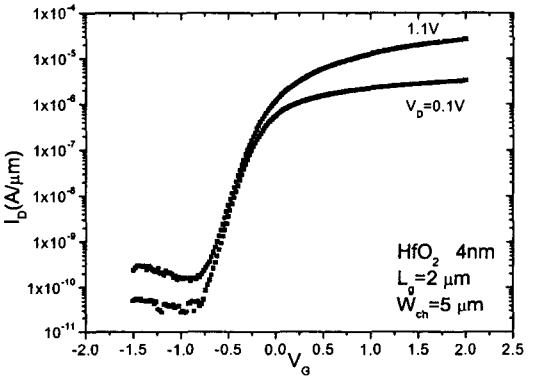


그림 2 (b) Polysilicon 을 확산원으로 이용한 diode 특성

그림 2(a) 는 900oC RTA 를 한 후 phosphorus SIMS depth profile 을 나타낸다. Phosphorus ion 들이 SOI 속으로 충분히 확산한 후에도 남아 있는 phosphorus 는 거의 변하지 않음을 볼 수 있다. 이것은 확산 후에도 폴리 실리콘의 저항이 많이 낮아지지 않는다는 것을 의미한다.

그림 2(b)는 폴리 실리콘을 확산 원으로 하여 만든 diode 의 특성을 나타낸다. On/off 전류비가 10^{10} 이상이며 역 방향 전류 값도 낮아서 PN 접합이 성공적으로 형성됨을 알 수 있다.



(a) HfO_2 와 Al metal gate 를 MOSFET 의 I_D-V_G 특성

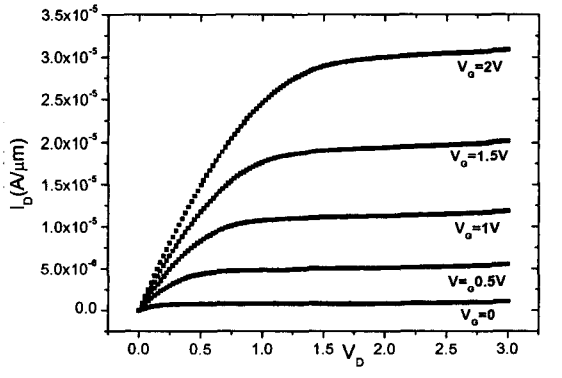
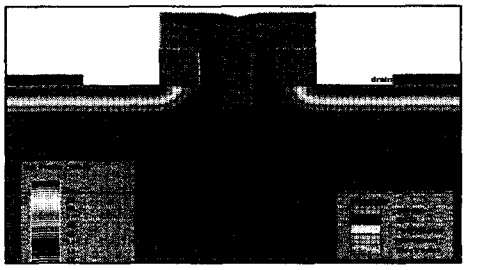


그림 4 (a) HfO_2 와 Al metal gate 를 MOSFET 의 I_D-V_D 특성

그림 4 는 본 방법에 의해서 제작된 SOI MOSFET 소자의 전기적 특성을 나타낸다. 채널 길이와 폭은 각각 2 μm, 5 μm 이며 Al 을 게이트 전극으로 사용하였다. On/off 전류 값은 10^6 정도로 고유전막 을 적용한 SOI MOSFET 이 성공적으로 제작 되었음을 알 수 있다. 또한, 소자 제조 공정의 최적화를 통하여 더욱 우수한 특성의 소자 제작을 기대할 수 있고, 채널 형성 후 측벽 (inner sidewall) 형성 공정을 적용하면 극 미세의 게이트 길이를 가지는 nano-scale 의 SOI MOSFET 을 제작할 수 있다.



공정 시뮬레이터를 이용한 of Lg=30nm SOI MOSFET.

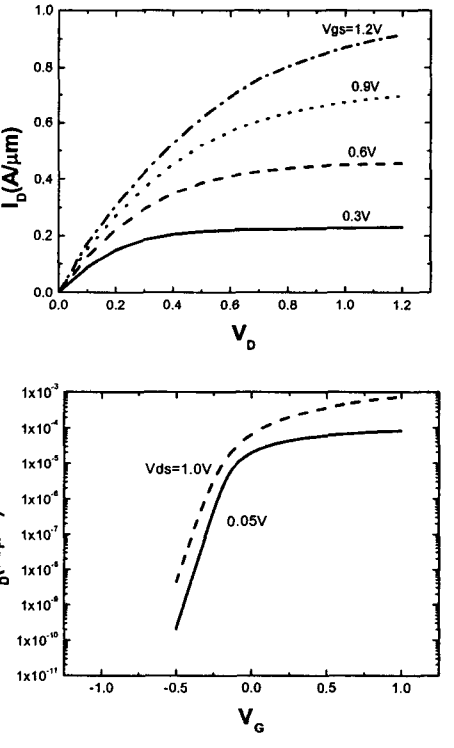


그림 5 gate 길이 30nm 시뮬레이션 결과

그림 5 는 공정 및 소자 시뮬레이션을 이용하여 본 실험에서 제안한 구조로 게이트 길이 30 nm 급의 초미세 SOI MOSFET 의 구조 및 전기적 특성을 예측한 결과

를 나타낸다. 그림 5 에서와 같이 채널 두께를 부분적으로 감소시키는 구조로 30 nm 의 채널 두께와 30nm 의 측벽을 가지는 경우에 최적의 소자 특성을 기대할 수 있다. 이 때의 동작 특성은 그림 5 에서처럼 포화 드레인 전류가 917uA/um, DIBL 이 92.6mV, Subthreshold slope 은 73.1mV/dec, 그리고 -0.25V 의 문턱치 전압을 얻었다.

IV. 결론

도핑된 폴리실리콘을 이용한 Source Drain 공정은 고유전율 절연막과 metal gate 사용하기위한 replacement gate 형성 방법보다 간단하며 elevated source drain 이 자동적으로 형성되므로 저항을 줄여 주어 높은 구동전류와 sidewall 에 의한 gate length 조절이 용이하므로 sub 0.1micro 급 소자에 응용 가능성을 보여준다.

참고문헌

[1] S. Thompson et al. 'MOS Scaling' Intel Technology Journal, 3rd Quarter. 1998

[2] A.Chatterjee et al.IEDM,Technical Digest, PP. 821-824. 1997.

[3] Sun Zimin; Liu Litian; Li Zhijian Solid-State and Integrated Circuit Technology, 1998. Proceedings. 1998 5th International Conference on P.188-190. 1998.

[4] Jong-Son Lyu; Bo Woo Kim; Hyung Joun Yoo , Proceedings IEEE International SOI Conference. PP.120-121. 1996.

[5] Hokazono et al. IEDM Technical Digest, PP. 243-246. 2000.