

# 반도체 EDS공정에서의 패턴인식기법을 이용한 불량 유형 자동 분류 방법 연구

한 영신, 황 미영, 이 칠기  
성균관대학교 정보통신공학부 컴퓨터공학과  
전화 : 031-290-7235 / 핸드폰 : 011-354-9502

## Automatic classification of failure patterns in semiconductor EDS Test using pattern recognition

Young Shin Han, Hwang mi young, Chil Gee Lee  
School of Information and Communication Engineering SungKyunKwan University  
E-mail : yshan@ece.skku.ac.kr

### Abstract

Yield enhancement in semiconductor fabrication is important. It is ideal to prevent all the failures. However, when a failure occurs, it is important to quickly specify the cause stage and take countermeasure. The automatic method of failure pattern extraction from fail bit map provides reduced time to analysis and facilitates yield enhancement. This paper describes the techniques to automatically classifies a failure pattern using a fail bit map, a new simple schema which facilitates the failure analysis.

### 1. 서론

반도체 수율은 FAB의 생산력을 평가하는 가장 중요한 척도로써 신제품의 수율을 조기에 확보하고 양산제품의 수율을 고수율로 유지하는 것이 생산활동의 주된 목적이 되고 있다. 이에 대다수의 엔지니어들이 수율 향상 및 안정적인 수율 확보를 위한 업무를 수행하고 있으며, 수율을 하락시키는 불량을 확인하고 원인을 분석하는데 많은

시간을 투자하고 있다. 또한 불량분석 전문팀을 구성하여 발생한 불량을 정확히 파악하고 불량원인을 빠르게 규명할 수 있도록 체계를 구축하고 있다. 그러나, 불량분석을 수행하기 위해서 기본이 되는 불량유형 확인을 위해 많은 엔지니어들이 매일 발생하는 웨이퍼 맵을 확인하여 수작업으로 불량 패턴을 분류하고 요약하고 있으며, 수율관련 여러 부서에 걸쳐 한 디바이스에 대한 개별적인 불량유형 확인작업을 진행하고 있는 실정이다. 또한, 불량확인 작업이 수작업으로 이루어지므로 발생한 불량유형 및 불량 원인에 대한 효율적인 관리가 불가능하다.

따라서, 디바이스에 맞게 Fail 특성을 정의하고 fail유형에 따라 웨이퍼를 분류하여 FAB에서 발생한 불량원인을 찾을 수 있도록 하는 일련의 작업을 자동화할 수 있다면 기존보다 효율적인 불량 분석 업무를 진행할 수 있으며 수율 및 품질 향상에 기초가 될 수 있을 것이다. 이를 위한 방법으로 본 연구에서는 칩의 fail 유형을 정의하고 자동으로 유형을 분류하는 SVM알고리즘을 제시하고자 한다.

## II. 반도체공정

반도체 공정은 크게 4가지 step으로 나눌 수 있다. FAB(Fabrication) 공정, EDS(Electrical Die Sorting) 공정, 조립(Assembly) 공정과 Package Test 공정이 다.

FAB공정은 실제 Wafer에 회로를 만드는 공정으로 반도체 제조의 시작 공정이라 할 수 있다. EDS 공정은 FAB에서 만들어진 웨이퍼를 전기적 검사를 통해 각각의 다이들을 점검하여 합격(Good) 또는 불합격(Bad)으로 분류(sorting)하는 공정이다.

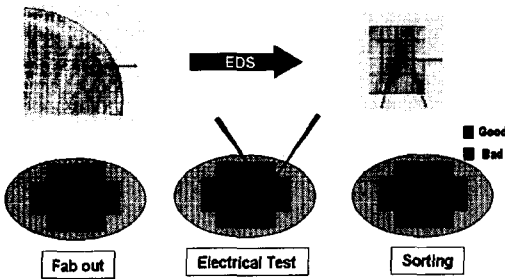


그림 1 EDS 공정

그림 1 에서 왼쪽의 Fab out은 다이의 동작여부가 결정되지 않은 상황을 의미하고 중간의 Electrical Test는 전기적 신호를 probe ( cf. 탐침의 일종)를 통해 웨이퍼 상의 다이 내에 있는 패드(pad)에 가하는 것을 표현한 것이다. Electrical Test에서 얻은 정보 - 주된 셀(main cell)의 결함 - 를 가지고 Laser-repair공정에서 여유 셀로 치료하게 된다. 최종적으로 오른쪽에 있는 sorting은 전기적 테스트를 통해 밝혀진 다이의 합격 또는 불합격 상태를 확정시키는 과정의 표시이다.

조립 공정은 EDS 공정에서 합격한 다이를 모듈(Module)로 구현하기 전의 칩(chip)으로 조립하는 공정이다. Package Test공정은 칩의 특성을 테스트하는 공정으로 EDS공정의 테스트보다 좀더 상세하고 열악한 조건에서 테스트를 진행하여 사용자에게 제품의 품질을 보장하게 된다.

## III. 시스템 설계 및 실험 환경

### 3.1 불량유형 자동 분류 알고리즘

EDS wafer test 완료 후 fail bit map 파일과

wafer file이 생성되면 기존에 잘 알려진 200여종의 Fail Pattern Type 학습하고 고속 인식 알고리즘인 SVM 분류기를 이용하여 식별한다. Engineer는 저장된 결과를 통하여 연계 분석이 가능하며 불량 유형 자동 summary기능으로 효율적인 불량 분석 업무를 수행할 수 있고, 동일 불량 유형을 신속하게 search 하여 FAB 연계분석 및 불량 지수 관리가 용이해져 고수율 확보 및 수율 안정화에 기여할 수 있을 것이다.

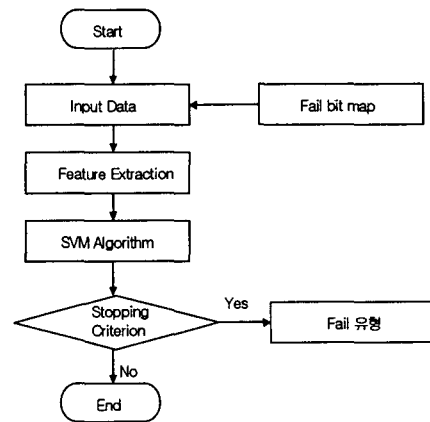


그림2 불량 유형 자동 분류 알고리즘

### 3.2 불량 유형 정의

불량 유형 분류 중 패턴 분석에 의한 분류에서는 chip의 unit block의 분포에 따른 불량 유형을 분류하기 위하여 device의 fail 특성에 따라 chip의 유사 원인별 유형으로 정의한다. 그림3은 die(chip) 구조를 간단하게 나타낸 것이다.

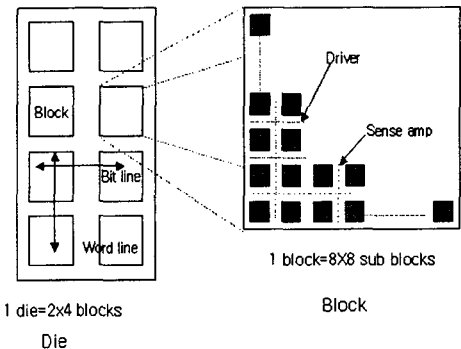


그림 3 Die structure

Random형으로는 분포의 밀집도에 따라 Random형, 균집형, Colum/Row형으로 세분되며, Block형은 block의 크기에 따라 부분 Block형과 Block형으로 구분된다.

표1 Chip 불량 유형

대분류	Chip 유형	불량유형
Random	Random	Fail A
	Col/Row	Fail B
	cluster	Fail C
Block	Part Block	Fail D
	Block	Fail E

#### IV. Chip 불량 유형 분류를 위한 SVM(Support Vector Machine) 분류기

SVM은 n차원 공간 위에서 두 부류간의 거리를 최대화하는 것과 동시에 같은 부류에 속하는 데이터들을 같은쪽에 위치하게 만드는 n-1차원의 hyperplane를 찾아 가면서 학습이 수행된다. 학습 과정에서 생성되는hyperplane을 Optimal Separating Hyperplane(OSH)이라고 부르며 아래 식과 같은 hyperplane 방정식의 형태를 갖는다. 학습된 SVM은 입력 패턴 x가 주어졌을때 OSH의 방정식의 부호( $f(x)=sign((w, x)+b)$ )로서 어느 부류에 속하는지 결정한다.

$$(w, x) + b=0, w \in R^n, b \in R^n \quad (1)$$

생성된 OSH를 기억하기 위해서 두 부류의 모든 데이터가 필요한 것은 아니다. 단지 OSH 근처의 몇 개의 데이터와 각 데이터에 해당하는 가중치만 유지하고 있으면 된다. 이 때에 OSH를 기억하기 위해 필요한 데이터 들을 Support Vector(SV)라고 부른다. 그림 4는 n차원 공간에서 n-1차원 hyperplane으로 분류할 수 있는 경우에 OSH와 SV들을 보여 주고 있다.

EDS wafer test 완료 후 fail bit map file과 wafer file이 생성되면 기존에 잘 알려진 200여종의 Fail Pattern Type 학습하고 고속 인식 알고리즘인 SVM 분류기를 이용하여 분류한다. 그

림 5는 Window 2000, vc++ 6.0으로 구현한 SVM분류기이다.

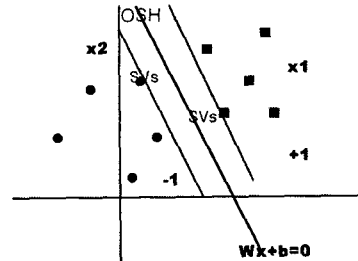


그림4 OSH와 Support Vectors

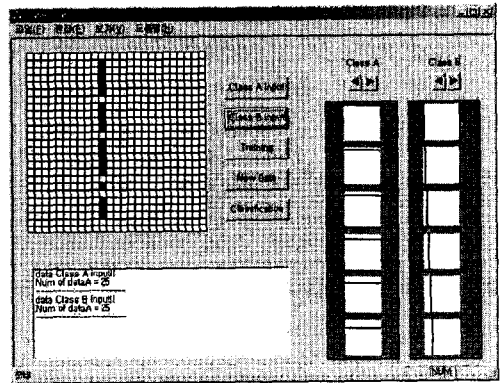


그림5 SVM 분류기 구현

#### V. 결론

EDS공정의 불량 패턴 인식 자동화로 인해 예상되는 인건비 절감 액수는 30억 ( = 3000 만원 /명 \*100명 ) 으로 추정된다. EDS공정에서 발견되는 불량 유형을 고속 패턴인식을 이용하여 정확하게 분석하고 그 결과를 자동으로 FAB공정에 Feedback 시킴으로써 FAB공정과의 연계공정을 효과적으로 개선할 수 있으며 이는 획기적인 수율 증가로 이어질 것이다. 예상되는 수행속도는 1wafer/min에서 5~10wafer /min 및 분석 에러율은 1%에서 0.01%로 개선될 것이다.

참고문헌

[1] Randall S. Collica, "SRAM Bitmap Shape Recognition and Sorting Using Neural

Networks", IEEE Transaction on Semiconductor Manufacturing Vol.8 No.3, August 1995

[2] Kevin. Zinke, "Yield enhancement techniques using neural network pattern detection", IEEE/SEMI Advanced Semiconductor Manufacturing Conference, 1997

[3] Fukushima,T, "A method of feature extraction from an image for quality analysis", IEEE SMC 99 Conference Proceedings Vol.2, 1999

[4] Fourmun Lee, "Advanced Yield Enhancement: Computer-based spatial pattern analysis part 1", IEEE/SEMI Advanced Semiconductor Manufacturing Conference, 1996

[5] 서준호, EDS 공정에서 Redundancy Analysis 시뮬레이션, 한국시뮬레이션학회,제11권 제3호, 2002년 9월

[6] 김 상운, 식별 알고리즘을 중심으로 한 패턴인식 입문, 홍릉과학출판사, 1997

[7] 이 성환, 패턴인식의 원리 I,II 권, 홍릉과학 출판사, 1994

[8] 이 성환, 문자인식 이론과 실제 I,II 권, 홍릉과학 출판사, 1994