

RF 전력증폭기용 고성능 실리콘 LDMOSFET

신 창 희, 김 진 호, 권 오 경
한양대학교 전자전기컴퓨터공학부

High Performance Silicon LDMOSFET for RF Power Amplifiers

Chang-Hee Shin, Jin-Ho Kim and Oh-Kyong Kwon
Div. of Electrical and Computer Engineering, Hanyang University
E-mail : okwon7@chol.com

Abstract

This paper presents a Si power LDMOSFET for power amplifiers in the 1.8-2.2GHz frequency range for the base station of personal communication systems. To improve the cut-off frequency, the proposed Si power LDMOSFET has small gate to drain capacitance by shielding the electric fields with extended source electrode and forming the field oxide structure in drain region. The proposed Si power LDMOSFET can be used for a power amplifier and it has 32% of power added efficiency and 39.5dBm of output power when the supply voltage is 28V and the operating frequency is 1.9GHz.

I. 서론

셀룰러 폰 또는 PDA(Personal Digital Assistants)와 같은 개인용 휴대 통신 시스템 시장이 전 세계적으로 급속도로 확산되고 있는 가운데 이들 개인용 휴대 통신 시스템 서비스를 위한 기지국의 개발이 중요시되고 있다. 기지국용 소자는 높은 출력 전력을 가지는 전력소자가 사용되어야 하는데, 이 전력소자는 고효율 및 높은 신뢰성과 낮은 생산단가 등의 특성이 요구된다. 이러한 특성을 얻고자 기지국용 전력소자에는 Si

power LDMOSFET(Lateral Diffused MOS Field Effect Transistors)가 많이 쓰이고 있다[1-2]. 특히, 1.9GHz 주파수 밴드의 LDMOSFET는 PCS(Personal Communication Systems) 또는 W-CDMA(Wideband Code Division Multiple Access)의 기지국용으로 적용되고 있다[3]. 물론, 현재 고효율을 가지는 GaAs-FET의 개발이 많이 진행되고 있지만[4-5], 높은 출력전력을 가지고 신뢰성이 좋으면서도 생산단가가 낮은 Si power MOSFET의 개발이 절실히 요구 되어지고 있다.

본 논문은 셀룰러 기지국의 전력증폭기에 적용될 1.9GHz Si power LDMOSFET를 개발한 것으로, 기존의 Si power LDMOSFET보다 높은 출력전력과 고효율을 가지는 Si power LDMOSFET를 제안하였다.

II. Device Structure

그림 1은 본 논문에서 제안한 Si power LDMOSFET의 단면을 나타내고 있다. Si power LDMOSFET의 구조에서 수평형으로 확산된 p 채널 영역 이온주입은 문턱전압 조절과 전달컨덕턴스(transconductance)를 증가시켜 높은 RF 이득을 얻을 수 있을 뿐만 아니라 드레인과 소스 사이에 높은 전압이 인가될 경우 펀치스투(punch-through)를 방지할 수 있다. 고농도 도핑된 p+ 싱크(sink)는 n+ 소스와 같은 전극으로 연결되어 있고 p형 기판과 확산공정을 이용

하여 연결되어 있다. p+ 싱크는 p-기판과 RF접지를 결합을 하여 리드(lead) 인덕턴스 성분을 최소화하고 RF 증폭 이득을 최대화할 수 있다. 오프셋(off-set) 영역은 저농도 도핑된 n- 영역으로 드레인 쪽에 전기장을 줄이는 역할을 한다. 오프셋 영역의 농도와 길이는 Si power LDMOSFET의 항복전압(breakdown voltage), 온저항(specific on resistance)과 드레인과 게이트간의 커패시턴스 성분을 최적화 하여 설계한다. 또한 본 논문에서 제안한 Si power LDMOSFET는 소스단과 연결되어 게이트부분과 중복된 메탈 필드-플레이트(metal field plate)와 오프셋 영역에 성장시킨 field oxide와 소스와 연결된 폴리 필드-플레이트(poly field-plate)구조를 가진다. 이 플레이트는 드레인 쪽 게이트의 모서리에 집중되는 전기장을 줄여 Si power LDMOSFET의 항복전압을 높이고 드레인과 게이트간의 커패시턴스 성분을 줄인다.

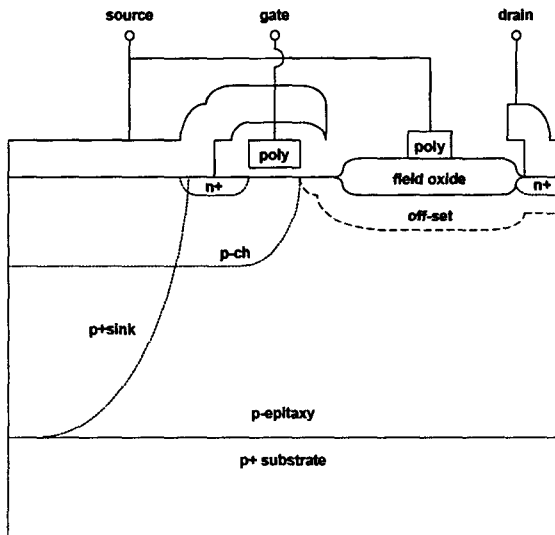


그림 1. The cross section the proposed Si power LDMOSFET.

III. Process Flow

그림 2는 본 논문에서 제안한 Si power LDMOSFET의 공정 단계를 나타내고 있다. LDMOSFET의 공정은 9장의 마스크를 사용하였고, 이온 주입 공정에서는 자기정렬(self-align) 공정을 이용하여 마스크 정렬시 생기는 오차를 최대한 줄였다. 게이트 물질은 폴리실리콘(poly-silicon) 사용하여 만들었다. 1×10^{19} 의 도핑 농도를 가지는 (100) p형 실리콘기판 위에 에피텍셜 증착법을 이용하여 보론(boron) 도

핑 농도 1×10^{16} 을 가지는 두께 $10\mu\text{m}$ 의 에피텍셜 층을 성장한다. 우선, p형 기판과의 RF 접지를 위한 p+ 싱크를 형성한다. 낮은 인덕턴스 성분과 저항값을 가지기 위하여 에피텍셜 층에 고농도의 이온주입을 한 후, p형 기판과 합쳐질 때까지 높은 온도에서 드라이브인(drive-in)을 한다.

Si power LDMOSFET의 문턱전압을 조절하기 위하여 p-ch 영역에 이온주입을 하였고, 드레인에 집중되는 전기장을 줄이고자 오프셋 영역에 저농도 이온주입을 한 후, 드레인과 게이트간의 커패시턴스 성분을 최소화하기 위하여 제안한 field oxide를 성장시켰다. 오프셋 영역의 도즈(dose)양과 길이는 Si power LDMOSFET의 온저항값과 항복전압을 최적화 하여 설계하였다.

600Å 두께로 성장시킨 게이트 산화막 위에 폴리실리콘을 증착하였고, 폴리실리콘 게이트를 이용하여 오프셋 영역, 소스와 드레인을 자기정렬 공정으로 형성하였다. 폴리실리콘 게이트 형성할 때 오프셋 영역의 field oxide위의 폴리 필드-플레이트도 같이 형성하였다.

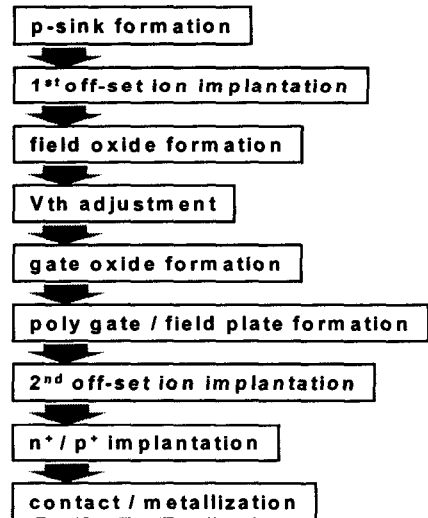


그림 2. Process steps of the Si power LDMOSFET.

IV. Simulation Results

본 논문에서는 소자의 설계와 설계된 소자의 전기적 특성 분석을 위하여 TMA사의 2차원 공정 시뮬레이터인 TSUPREM-4와 소자 시뮬레이터인 MEDICI를 사용하였으며, 제안한 소자의 RF특성을 분석하고자 HP

사의 ADS를 사용하였다[6-8].

4.2 AC 특성

4.1 DC 특성

본 논문에서 제안한 Si power LDMOSFET는 0.8 μ m의 게이트 길이에 오프셋 영역에 field oxide를 성장시킨 LDMOSFET이다. 그림 3는 게이트 너비(Wg) 4.25mm를 가지는 단일 칩의 LDMOSFET의 I-V 특성 곡선을 나타내고 있다. 문턱전압 Vth는 1.49V이고 항복전압 BV는 기존의 구조에 비해 7% 개선된 70V이다. 표 1은 제안한 Si power LDMOSFET의 DC 특성을 정리한 것이다. 전달컨덕턴스는 45.2 mS/mm, 온저항은 1.69m $\Omega \cdot \text{cm}^2$ 와 sub-threshold slop는 164.2mV/dec의 특성을 나타내고 있다.

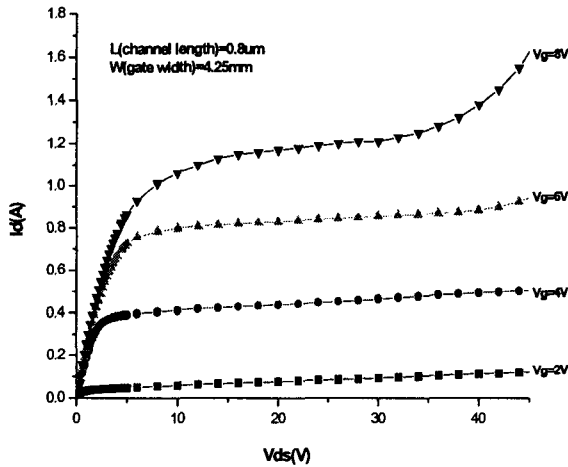


그림 3. Id-Vds curve.

표 1. DC characteristics of the proposed LDMOSFET.

| | Proposal MOS |
|---------------------|-----------------------------------|
| threshold voltage | 1.49 V |
| transconductance | 45.2 mS/mm |
| specific-resistance | 1.69 m $\Omega \cdot \text{cm}^2$ |
| breakdown voltage | 70 V |
| sub-threshold slop | 164.2mV/dec |

본 논문은 게이트 길이가 0.8 μ m이고 게이트 산화막 두께가 600Å를 가지는 기존의 Si power LDMOSFET 구조를 기반으로 하여 드레인과 게이트간의 커패시턴스 성분을 최소화하는 구조를 제안하여 9.2GHz의 차단주파수(cut-off frequet, f_T)를 갖는 결과를 얻었다. 이 결과는 기존의 구조에 비해 15% 개선된 결과이다.

그림 4와 그림 5는 동작주파수를 1.9GHz로 가정하고 출력단에 클래스 AB(class AB)회로를 사용하였을 때의 출력전력과 PAE(power added efficiency) 성능을 나타내는 ADS 시뮬레이션 결과이다. 출력전력은 39.5dBm, PAE는 32%를 나타낸다. 특히 출력전력의 경우 기존의 Si power LDMOSFET 구조에 비해 16% 증가하였다.

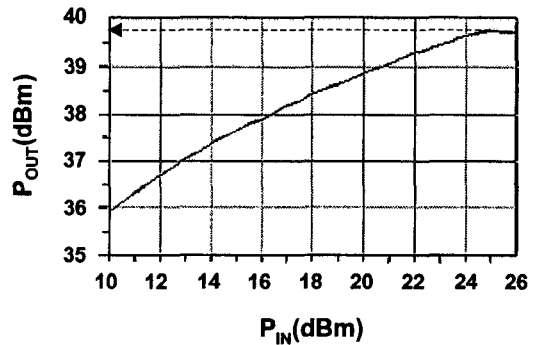


그림 4. Output power of the proposed LDMOSFET at operating frequency of 1.9GHz.

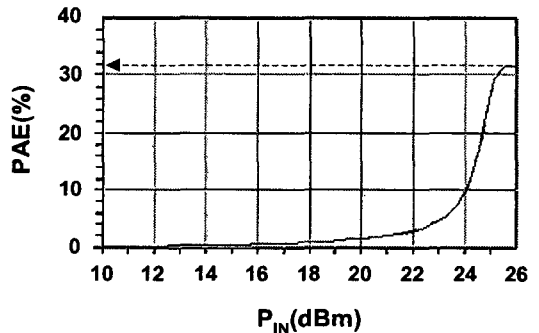


그림 5. PAE of the proposed LDMOSFET at operating frequency of 1.9GHz.

표 2는 본 논문에서 제안한 Si power LDMOS를 사용하여 설계한 전력증폭기의 규격과 특성을 정리한 것

이다. 동작주파수는 1.9GHz로 하였고 공급전원은 28V, 차단주파수는 9.2GHz, 출력전력은 39.5dBm, PAE는 32%이고 이득은 18~14dB의 특성을 나타내고 있다.

표 2. Performance of power amplifier using proposed Si power LDMOSFET.

| | |
|----------------------------|-----------------|
| Operating frequency | 1.9GHz |
| Supply voltage | 28V |
| Cut-off frequency | 9.2GHz : |
| Out-put power | 39.5dBm |
| PAE | 32% |
| Gain | 18~14dB |

V. Conclusion

본 논문에서는 기지국에 적용될 전력소자로서 새로운 구조의 Si power LDMOSFET를 제안하였다. 본 논문에서 제안한 Si power LDMOSFET는 드레인파 게이트간의 커패시턴스 성분을 최소화하기 위해 오프셋 영역에 field oxide를 성장시켰다. 또한, field oxide에 소스와 연결된 폴리 필드-플레이트를 형성하여 항복전압을 증가시켰다. 이 Si power LDMOSFET의 항복전압과 출력전력은 기존의 구조에 비해 각각 9%와 16% 개선되었고, PAE는 32%를 가진다.

Reference

- [1] I. Yoshida *et al.*, "A Highly Efficient 1.9-GHz Si High-Power MOS Amplifier," *IEEE Trans. Electron Devices*, vol. 45, no. 4, pp. 953-956, 1998.
- [2] P. Perugupalli *et al.*, "Modeling and Characterization of an 80V Silicon LDMOSFET for Emerging RFIC Applications," *IEEE Trans. Electron Devices*, vol. 45, no. 7, pp. 1468-1478, 1998.
- [3] A. Wood *et al.*, "120Watts, 2GHz, Si LDMOS RF Power Transistor for PCS Base Station Applications," in *IEEE MTT-S Dig.*, 1998, pp. 707-710.
- [4] S. Morimoto *et al.*, "A Compact High Efficiency, 120Watts GaAs Power Amplifier Module for the 3rd Generation Cellular Base Stations," in *1999 IEEE MTT-S Tech. Dig.*, pp. 325-328.
- [5] O. Ishikawa *et al.*, "Cellular telecommunication GaAs Power Modules," *Appl. Microwave*, pp. 83-88, Fall 1992.
- [6] TSUPREM-4 user's manual, Technology Modeling Associates, Inc., 1997.
- [7] MEDICI user's manual, Technology Modeling Associates, Inc., 1997.
- [8] HP Advanced Design System : Getting Started with Advanced Design System, Hewlett-Packard Co., 1998.