

박막 게이트 산화막의 열화에 의해 나타나는 MOSFET의 특성 변화

이재성, *이원규

위덕대학교 정보통신공학부, *강원대학교 화학공학과

전화 : (054) 760-1643 / 팩스 : (054) 760-1649

H.P 번호 : 011-530-2875

The Effect of Degradation of Gate Oxide on the Electrical Parameters for Sub-Micron MOSFETs

Jae-Sung Lee, *Won-Gyu Lee

Division of Information and Communication Engineering, Uiduk University

*Department of Chemical Engineering, Kangwon National University

E-mail : jaesung@uiduk.ac.kr

Abstract

Experimental results are presented for gate oxide degradation and its effect on device parameters under negative and positive bias stress conditions using NMOSFET's with 3 nm gate oxide. The degradation mechanisms are highly dependent on stress conditions. For negative gate voltage, both hole- and electron-trapping are found to dominate the reliability of gate oxide. However, with changing gate voltage polarity, the degradation becomes dominated by electron trapping. Statistical parameter variations as well as the "OFF" leakage current depend on those charge trapping. Our results therefore show that Si or O bond breakage by electron can be another origin of the investigated gate oxide degradation.

I. 서론

전자 회로의 빠른 동작 속도와 낮은 전력 소비를 실현하기 위해서 MOSFET의 게이트 산화막의 두께는 점점 얇아지고 있으며, 현재는 수 개의 원자층 정도의 두께가 실현되고 있다. 나노(nano) 두께의 박막 게이트 산화막은 집적 회로내의 구동 전류 및 전압에 의해 전

기적 스트레스(stress)를 받게 되며, 이러한 원인에 의한 물성적 변화 및 그 모델에 대해 소자의 신뢰성과 관련지어 많이 연구하고 있다. 박막의 게이트 산화막에서 나타나는 intrinsic 열화 현상으로는 스트레스 유도 누설 전류(stress-induced leakage current : SILC), soft-breakdown (SBD), 및 hard-breakdown (HBD)이 있다[1-7]. 이러한 열화 현상들은 대부분이 산화막내의 결함(trap) 생성에 의해 발생한다고 알려져 있지만 결함 생성의 원인에 대해서는 아직 연구 중에 있으며, 여러 가지 물리적 모델이 제시되고 있는 상황이다[7-9]. 전기적 스트레스에 의한 게이트 산화막내의 결함 생성 과정에 대한 모델이 밝혀지면 MOSFET의 동작 열화에 대한 예측이 가능하여, 집적 회로의 관점에서 신뢰성 문제를 다룰 수 있게 된다.

본 논문에서는 게이트 산화막의 두께가 3 nm인 NMOSFET를 제조하여 정전압을 게이트에 인가하여 hard-breakdown 과정까지 열화를 진행시켰다. SILC 및 SBD 과정에서 나타나는 NMOSFET의 특성 변화를 조사하였으며, 스트레스 게이트 전압의 극성을 바꾸었을 때 나타나는 열화 변화도 조사하였다. 이러한 결과를 바탕으로 게이트 산화막의 열화를 물리적으로 해석하고자 하였다.

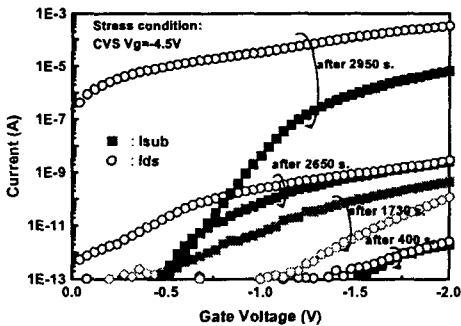
II. 실험

기본적인 CMOS 공정을 사용하여 3 nm 두께를 갖고

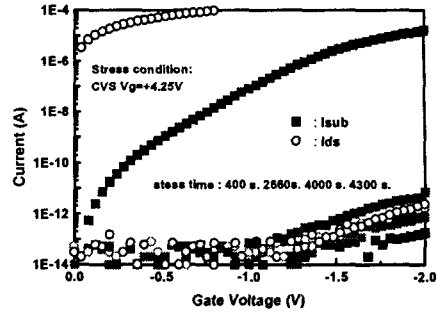
W/L=20/0.15인 NMOSFET를 제조하였다. 게이트 산화막은 H₂-O₂ 분위기에서 제조되었으며, 금속 배선 형성 후 수소 분위기에서 후속 열처리하였다. 소자의 정전압 스트레스는 V_g=-4.5 및 4.25V로 각각 인가하고 나머지 단자들은 접지한 상태에서 행하였다. 부(negative) 전압인 V_g=-4.5V에서는 Fowler-Nordheim (FN) 터널링이 게이트 산화막을 통해 발생한다. Soft-breakdown 전압은 게이트 전류가 noise형태로 나타나고 그 값이 3 nA/μm² 이상을 나타낼 때 전압으로 정하였으며, hard-breakdown 전압은 soft-breakdown 이후 나타나는 게이트 전류의 급격한 증가가 나타나는 전압으로 정하였다. 각각의 열화 과정에서 NMOSFET의 파라미터들을 측정하여 게이트 산화막의 열화에 따른 파라미터의 변화를 조사하였다.

III. 실험 결과

그림 1은 게이트 전압에 V_g=-4.5 및 +4.25V를 각각 인가하여 열화를 진행시켰을 때 측정된 각 단자의 전류를 나타내고 있다. 각 전류의 측정은 carrier separation 방법[5]으로 이루어졌으며, accumulation mode에서 측정되었다. 인가된 게이트 전압의 극성에 따른 특성 비교에서 정(positive) 게이트 전압을 인가하였을 때 SBD 기간이 매우 짧거나 나타나지 않고 곧바로 HBD로 진행되었다. 부(negative) 게이트 전압의 경우에는 SILC, SBD, 및 HBD의 진행 과정을 뚜렷하게 관찰할 수 있었다. SBD가 HBD로 발전하는 것은 산화막내에 형성된 트랩들이 주울 열을 얻게 되어 전도 경로(conduction path)가 형성되기 때문이라 알려져 있다. 정의 게이트 전압 스트레스에서는 소오스/드레인에서 게이트 산화막으로 주입되는 전자의 수는 많은 반면에 전자들의 에너지들은 낮기 때문에 큰 에너지 전달이 발생하지 못하기 때문이라 판단된다.



(a)



(b)

그림 1. 열화 과정동안 측정된 NMOSFET의 I_g, I_{s/d}, 및 I_{sub} 전류 변화. (a) V_g=-4.5V (b) V_g=4.25V

Fig. 1. The current variation of NMOSFET during constant voltage stress (a) V_g=-4.5V (b) V_g=4.25V

그림 2는 부(negative) 게이트 전압을 인가하고 나머지 단자는 접지하였을 때 열화 과정에 따라 변화하는 I_{s/d} 및 I_{sub}를 각각 나타낸다. SBD가 발생하기 전까지의 MOSFET에서는 I_{s/d}는 거의 변하지 않고 I_{sub}의 증가만이 나타난다. 그러나 SBD가 발생하는 시점에서 I_{s/d}의 많은 증가가 나타난다. SBD가 일어나기 전의 SILC 열화 단계에서는 전자가 trap-assisted-tunneling (TAT) 개념에 의해 게이트 산화막으로 주입된다고 알려져 있다[4]. 부 전압 스트레스의 경우, 기판의 정공들이 게이트 산화막으로 터널링(tunneling)되어 기판 전류가 발생한다. SBD가 발생할 때 I_{s/d}의 증가는 SBD가 소오스/드레인과 게이트 전극의 overlap지역의 산화막의 열화와 관련이 있음을 나타낸다.

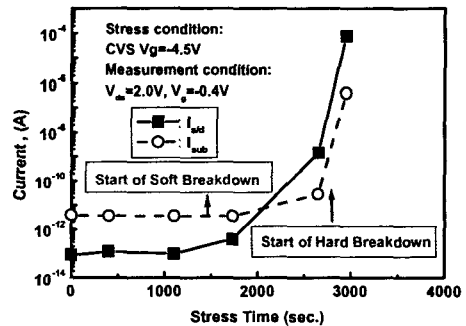
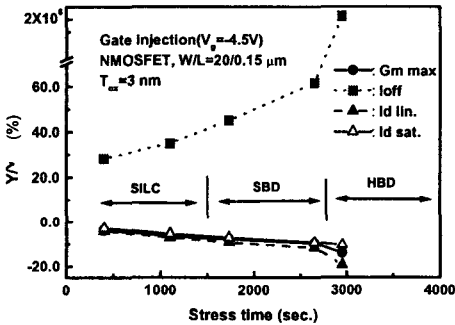


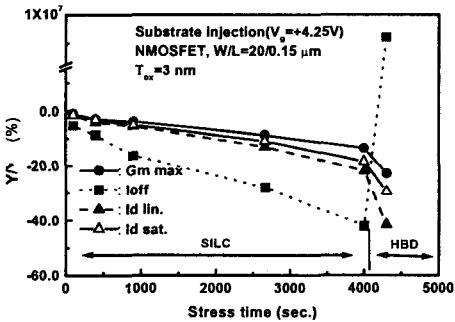
그림 2. NMOSFET에서 부(negative)의 게이트 전압을 인가하여 열화가 진행됨에 따라 측정된 I_{s/d} 및 I_{sub} 전류.

Fig. 2. The measurement current of I_{s/d} and I_{sub} during voltage stress for negative biased NMOSFET.

그림 3은 부의 전압(a) 및 정의 전압(b)에서 스트레스가 진행될 때 측정된 NMOSFET의 전기적 특성을 각각 나타낸다. 그림 a)에서 SILC 및 SBD를 통해 소자의 특성은 연속적으로 열화되고 있다. 이는 SBD 동안에도 계속적으로 결함이 생성되어 게이트 산화막 내에 결함 전하(trap charge)들이 증가하고 있음을 의미한다. 게이트 전압이 0 V일 때 측정된 I_s/d 인 'OFF 전류(I_{off})'는 인가되는 스트레스 전압의 극성에 따라 상반된 결과를 보인다. 이 전류는 gate-induced drain current(GIDL)현상에 의해 발생되며, 부의 전압 스트레스 경우 많은 양(positive) 전하들이 게이트와 소오스/드레인의 overlap 지역의 게이트 산화막에 존재함을 의미한다.



(a)



(b)

그림 3. 일정한 게이트 전압에서 스트레스가 진행될 때 측정된 NMOSFET의 전기적 특성 변화.

(a) $V_g = -4.5V$ (b) $V_g = 4.25V$

Fig. 3. The characteristics of NMOSFET with the constant gate voltage stress..

(a) $V_g = -4.5V$ (b) $V_g = 4.25V$

그림 4는 부(negative) 전압 스트레스를 가한 소자에서 문턱 전압의 변화(dV_{th})를 계면 전하에 의한 전압

변화(dV_{it}) 및 산화막내 전하에 의한 전압 변화(dV_{ot})로 각각 나누어 나타내었다. 즉, $dV_{th} = dV_{it} + dV_{ot}$ 이다. 실리콘/산화막 계면 근처에서는 (-) 전하의 축적이 나타나지만 산화막내에서는 (+) 전하의 축적이 나타나고 있다. HBD가 발생하기 전에 많은 전하들이 산화막내에 존재하고 있음을 나타낸다. Impact ionization에 의해 실리콘 계면 근처에서 발생하는 "hot" 정공들이 산화막내로 주입되어 결함(trap)을 형성함으로 (+)전하가 존재하게 되고, 게이트에서 주입된 전자들이 이들 결함에 포획되어 중성 전자 트랩(neutral electron trap)을 형성하거나 2 차 전자가 포획되어 (-)전하가 존재하게 된다.

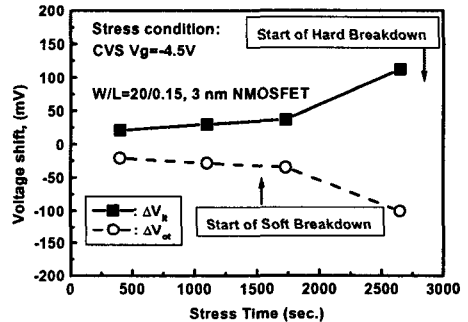


그림 4. 부 전압 스트레스 과정동안 측정된 계면 및 산화막 내 전하들에 의한 문턱전압 이동.

Fig. 4. Threshold voltage shift due to the interface and the oxide bulk charges for the negative voltage stress

IV. 토의

그림 1, 2, 및 3으로부터 일정한 게이트 전압을 인가함으로써 산화막내에는 (+) 및 (-)전하가 동시에 존재하고 있음을 알 수 있다. 그러나 그림 3에서 알 수 있듯이 정(positive) 전압 스트레스의 경우 소자의 파라미터 변화가 더욱 심하게 나타남으로써 이 경우에 (-) 전하가 많이 존재하게 된다. 그림 4로부터 계면 근처에 (-) 전하들이 존재하며 산화막내에는 (+) 전하가 존재함을 알 수 있다. (+) 전하는 "hot" 정공이 산화막내로 주입되어 결함력이 약한 실리콘 및 산소 결함을 파괴함으로써 발생하게 된다. 게이트와 소오스/드레인의 overlap 지역의 산화막은 게이트 전극을 형성하는 제조 과정에서 손상을 입을 가능성이 크기 때문에 주입되는 "hot" 정공의 영향을 많이 받을 수 있다. 스트레스 전압이 $V_g = 4.25V$ 에서는 두 전극의 페르미 레벨의

차이가 작기 때문에 "hot" 정공이 발생하기가 힘들다. SBD 이후의 소자 파라미터의 열화는 게이트 산화막이 국지적으로 전지적 저항이 낮아져 게이트 산화막내의 전장의 크기가 작아지기 때문이다. 그림 5는 두 경우의 스트레스에 대한 에너지 밴드를 그림으로 나타낸 것이다. (-) 전압 스트레스 경우에는 "hot" 정공이 발생하여 산화막내에 많은 (+) 전하 생성과 실리콘 계면 근처에서 전자 포획을 일으키게 된다. 그러나 (+) 전압 스트레스의 경우에는 산화막내로의 정공의 주입이 매우 적어 전자의 역할이 상대적으로 커지게 된다.

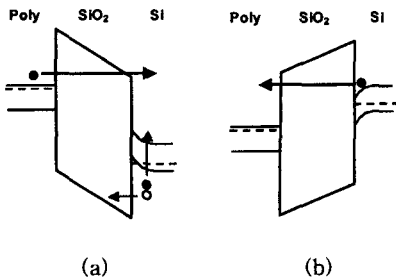


그림 5. 스트레스에 의해 나타나는 에너지 밴드 구성
(a) $V_g = -4.5V$, (b) $V_g = 4.25V$
Fig. 5. Energy band diagram depending on stress voltages
(a) $V_g = -4.5V$, (b) $V_g = 4.25V$

V. 결론

게이트 전압 스트레스에 의해 나타나는 NMOSFET의 파라미터 열화는 게이트 산화막내에 생성되는 (-) 및 (+) 전하들에 의해 나타났다. 부(negative) 전압을 인가하였을 때 HBD까지의 열화 과정동안 정공 및 전자의 포획을 관찰할 수 있었으며, 이는 Anode Hole Injection 모델을 따르고 있다. 정(positive) 전압의 경우에는 (+)전하의 정공의 포획이 적게 발견됨에도 불구하고 (-)전하의 포획이 많이 나타나 소자의 전기적 특성을 열화시켰다. 이는 다른 열화 모델로써 설명되어야한다고 판단된다.

감사의 글

본 논문은 한국과학재단의 연구지원 (No. 2001-1-30200-017-1)에 의하여 연구되었습니다.

참고문헌

- [1] E. Rosenbaum and L. F. Register, "Mechanism of stress-induced leakage current in MOS capacitors", *IEEE Trans. Electron Devices*, Vol. 44, pp. 317-323, Feb. 1997.
- [2] M. Houssa, T. Nigam, P. W. Mertens, and M. M. Heyns, "Model for the current-voltage characteristics of ultrathin gate oxides after soft breakdown", *J. Appl. Phys.*, Vol. 84, No. 8, pp. 4351-4355, 1998.
- [3] E. M. Vogel, D. W. Heh, J. B. Bernstein, and J. S. Suehle, "Impact of the trapping of anode hot holes on silicon dioxide breakdown," *IEEE Electron Device Lett.*, Vol.23, pp. 667-669, Nov. 2002.
- [4] E. Rosenbaum and J. Wu, "Trap generation and breakdown processes in very thin gate oxides", *Microelectronics Reliability*, Vol. 41, pp.625-632, 2001.
- [5] H. Guan, M. F. Li, Y. He, B. J. Cho, and Z. Dong, "A thorough study of quasi-breakdown phenomenon of thin gate oxide in dual-gate CMOSFET's", *IEEE Trans. Electron Devices*, Vol. 47, pp. 1608-1616, Aug. 2000.
- [6] S. I. Takagi and M. Takayanagi, "Carrier transport properties of thin gate oxides after soft and hard breakdown", *Microelectronic Engineering*, Vol 59, pp. 5-15, 2001.
- [7] D. J. DiMaria and E. Cartier, "Mechanism for stress-induced leakage currents in thin silicon dioxide films", *J. Appl. Phys.*, Vol. 78, No. 6, pp. 3883-3894, 1995.
- [8] K. F. Schuegraf and C. Hu, "Hole injection SiO2 breakdown model for very low voltage lifetime extrapolation," *IEEE Trans. Electron Devices*, vol. 41, no. 5, pp. 761-766, 1994.
- [9] E. Wu, E. Nowak, J. Aitken, W. Abadeer, L. K. Han, and S. Lo, "Structural dependence of dielectric breakdown in ultra-thin gate oxides and its relationship to soft breakdown modes and device failure", in *IEDM Tech. Dig.*, 1998, pp. 187-190.