

Capacitance - Voltage 방법을 이용한 MOSFET의 유효 채널 길이 추출

김용구, 지희환, 박성형*, 이희덕
충남대학교 전자공학과
*하이닉스 반도체(주) 메모리 연구소

Extracting the Effective Channel Length of MOSFET by Capacitance - Voltage Method.

Yonggoo Kim, Heehwan Ji, Sunghynug Park*, Hideok Lee
Dep. of Electronics Engineering, Chungnam National University
Memory R&D Division, Hynix Semiconductor Co*
E-mail : misticss@cnu.ac.kr

Abstract

Improvement in MOS fabrication technology have led to high-density high-performance integrated circuits with MOSFET channel lengths in the sub-micron range. For devices of the size, transistor characteristics become highly sensitive to effective channel length. We propose a new approach to extract the effective channel length of MOSFET by Capacitance - Voltage (C-V) method.

Gate-to-Source, Drain capacitance (C_{gsd}) are measured and the effective channel length can be extracted. In addition, compared to $1/\beta$ method and Terada method, which has been point out that it fails to extract the accurate effective channel length of the devices, we prove that our approach still works well for the devices with down to sub-micron regime.

I. 서론

MOSFET의 polysilicon gate 길이는 제작 과정, gate lithography 나 etch bias 에 크게 영향을 받는다. 그리고 유효채널길이(L_{eff})는 MOSFET 제작 공정중 Source 와 Drain(이후 S/D 이라 칭함) 이온주입 후 열처리에 의해 S/D junction 의 lateral diffusion 에 의해서 제작되어진 polysilicon gate length(L_{poly}) 에 overlap

(ΔL)되어지는 길이만큼 줄어들게 된다. 그러므로 $L_{eff} = L_{poly} - \Delta L$ 로 정의된다. 정의 되어진 각 length 는 아래의 그림 1 과 같이 나타내어 질 수 있다.

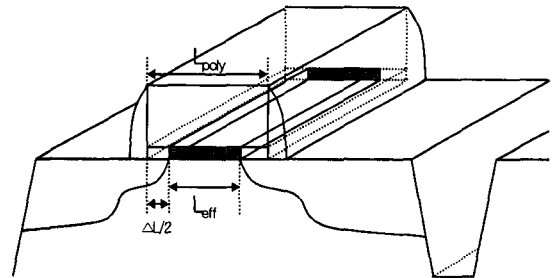


그림 1. MOSFET의 유효채널 길이 (L_{eff})와 Overlap 된 길이(ΔL)를 나타내는 단면도

이러한 유효 채널 길이를 추출하기 위해 Current \square Voltage(I-V)[1-5], Capacitance \square Voltage(C-V)[6-8]등 현재까지 여러 가지 방법들이 제안되어 사용되고 있다. 그 중에 Current \square Voltage(I-V)를 사용하여 추출하는 방법들이 이동도(Mobility)를 상수로 가정함에 있어서 추출된 유효 채널 길이가 서로 일치하지 않는 문제를 가지고 있다. 채널 길이가 감소함에 따라 Effective mobility 가 감소하게 되는데 이는 특히 Sub 0.1um MOSFET 에서 Short Channel Effect(SCE)를 역

제하기 위해 도입되는 Halo(또는 Pocket) 구조의 경우 더욱 심화된다. 이러한 차이는 MOSFET의 채널 길이가 감소할수록 더욱 차이가 심하게 나타나게 되므로 정확한 유효 채널 길이의 추출이 더욱 어려워진다.

따라서 본 논문은 Current ∩ Voltage(I-V)를 사용하여 추출하는 방법이 이동도(Mobility)를 상수로 가정함에 있어서 정확한 유효 채널 길이의 추출이 어려우므로 이동도의 상수 가정이 필요하지 않는 MOSFET의 Capacitance를 이용하여 기존의 제안된 Capacitance ∩ Voltage 방법이 아닌 개선된 방법으로 정확한 유효 채널 길이를 추출하고자 한다.

II. Capacitance (C_{gsd}) 측정 및 L_{eff} 추출방법

유효 채널 길이(L_{eff})를 추출하기 위해 MOSFET의 accumulation 영역에서의 gate와 source, drain 사이의 capacitance(C_{gsd})를 측정하였다.

C_{gsd}를 측정하기 위해 HP4194A analyzer 장비의 high 단자에 MOSFET의 gate를 연결시키고 low 단자에 source와 drain을 연결하고 substrate 단자는 ground 시킨다. Gate에 DC bias를 ∩ V_{max} (-2V)에서 +V_{max} (2V)까지 가하면서 300KHz 주파수에 peak-to-peak 50mV를 인가하여 측정한다. 측정 회로는 그림 2와 같다.

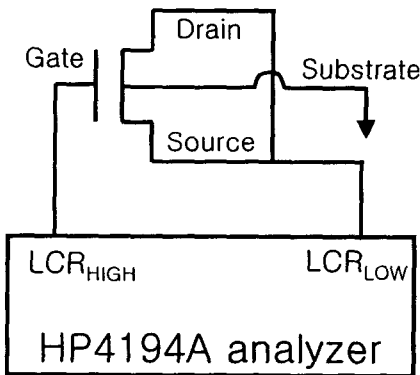


그림 2. C_{gsd}를 측정하기 위한 회로

MOSFET의 accumulation 영역에서 측정된 C_{gsd}는 S/D에 의해 overlap된 영역에서의 capacitance(C_{ov}), extrinsic capacitance 2(C_{of} + C_{top})와 parastic capacitance(C_s)가 측정되게 되며 inversion 영역에서는

S/D에 의해 overlap된 영역에서의 capacitance와 순수한 채널 영역에서의 capacitance(C_{int})의 합과 extrinsic capacitance 2(C_{of} + C_{top})와 parastic capacitance(C_s)로 나타나게 된다. 여기서 C_{of}는 gate의 sidewall fringe capacitance, C_{top}는 polysilicon top에서의 capacitance이며 C_s는 stray capacitance로 parastic capacitance이다. 아래 그림 3과 같다.

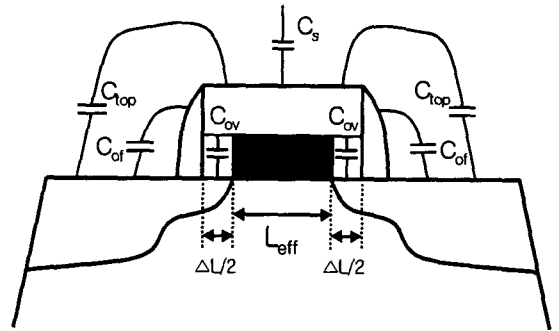


그림 3. MOSFET에서의 capacitance model

그러므로 측정된 inversion 영역에서의 C_{gsd,inv}에서 accumulation 영역의 C_{gsd,acc}를 빼주게 되면 parastic capacitance 성분을 소거하고 순수한 채널 영역에서의 capacitance(C_{int}) 성분만 남게 된다. 아래와 같은 관계식에 의하여 순수한 채널영역의 C_{int}가 추출된다.

$$C_{gsd,acc} = 2(C_{ov} + C_{of} + C_{top}) + C_s \quad (1)$$

$$C_{gsd,inv} = C_{int} + 2(C_{ov} + C_{of} + C_{top}) + C_s \quad (2)$$

$$C_{gsd,inv} - C_{gsd,acc} = C_{int} \quad (3)$$

$$C_{int} = \frac{\epsilon_{ox}}{t_{ox}} \cdot W \cdot L_{eff} \quad (4)$$

유효 채널의 길이를 추출하기 위해서 L_{poly} ∩ C_{int}의 그래프를 가지고 C_{int}가 0인점에서 L_{eff}의 길이 역시 0이되므로 linear fitting을 하여 0이 되는 점을 찾는다. 그점이 overlapped S/D의 길이(ΔL)이 된다. L_{poly}는 정확한 L_{eff}를 추출하기 위하여 process상의 mask 길이가 0.13um, 0.3um 그리고 1um가 아닌 실질적으로 형성된 gate의 정확한 길이를 알기 위해서 XTEM

(Cross-Section Transmission Electron Microscopy) 이미지를 분석하였다. 분석 결과는 mask 길이 0.13um 의 경우 0.0946um, 0.3um 은 0.2615um 그리고 mask 길이 1um 로 진행된 device 의 경우 0.997um 의 polysilicon gate 길이로 만들어 지는 것을 확인하였다. mask 길이 0.13um 으로 진행된 device 의 XTEM 분석 결과는 아래 그림 4 와 같다..

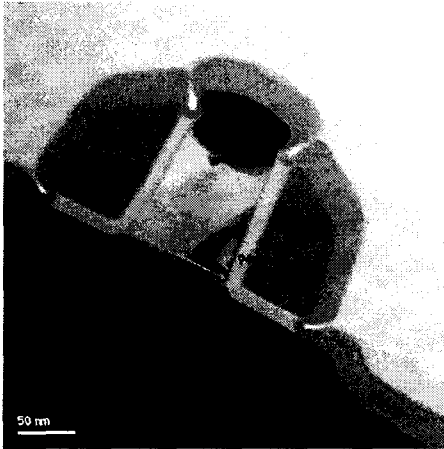


그림 4. $L_{gate}=0.13\mu m$ MOSFET 의 XTEM 이미지

XTEM 분석결과 polysilicon gate 길이를 이용하여 $L_{poly} \square C_{int}$ 그래프에서 overlapped 길이(ΔL)를 추출할 수 있다. 추출된 ΔL 를 XTEM 으로 분석된 L_{poly} 에서 빼주게 되면 L_{eff} 가 추출되게 된다. ΔL 을 추출하는 방법은 그림 5 와 같다

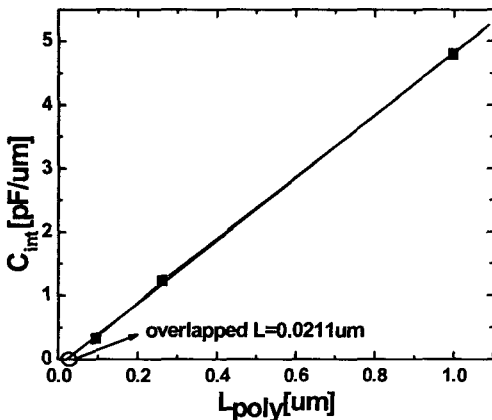


그림 5. C_{int} 를 이용하여 ΔL 추출 방법

III. C_{gsd} 를 이용한 L_{eff} 추출에 대한 검증

본 논문에서 S/D lateral diffusion 에 영향을 주는 process 에서 S/D RTA(Rapid Thermal Anneal)와 SCE(Short Channel Effect)를 개선시키기 위해 도입된 halo(또는 pocket)조건을 split 하였다. 여기서 두 가지의 split 을 제외하고는 모두 동일한 공정으로 진행되었다. Process flow 는 그림 6 과 같다. 그림 6 과 같은 공정 조건에 대하여 유효 채널 길이를 추출하고 추출된 결과에 대한 검증으로 4 가지 다른 방법을 사용하여 추출결과를 비교하였다. 우선 current-voltage 방식의 conductance 를 이용하는 $1/\beta$ 방법[2]과 resistance 을 이용하는 Terada 방법[3]의 2 가지와 capacitance - voltage 방식에서는 본 논문에서 사용하였던 방식과 동일하나 $L_{poly} \square C_{int}$ 의 그래프가 아닌 $L_{mask} \square C_{int}$ 그래프를 이용하는 방법[6]과 gate 와 source, drain, substrate 사이의 capacitance(C_{mosc})와 gate 와 source, drain 사이의 capacitance(C_{gsd})를 측정하여 유효 채널 길이를 추출하는 방법[7,8]을 이용하여 유효 채널 길이를 추출하여 본 논문에서 추출된 결과의 타당성을 검증하였다.

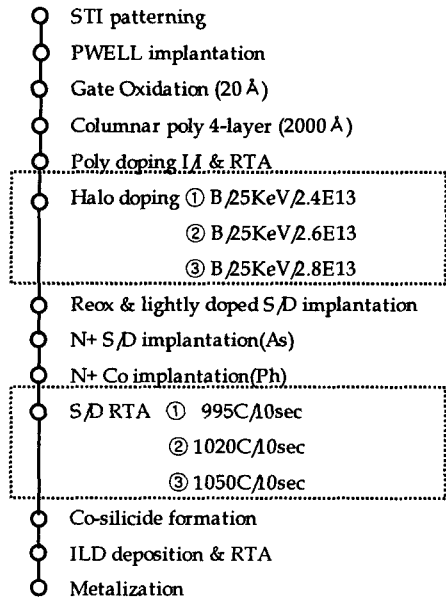


그림 6. L_{eff} 추출 device 에 대한 process flow

IV. 유효 채널 길이 추출결과

본 논문에서 제시한 Gate 와 source, drain 사이의 capacitance(C_{gsd})를 이용하여 추출된 유효 채널 길이 (L_{eff})는 공정 조건에 따라 다음과 같다.

첫째 S/D RTA 온도에 따라 ΔL 이 0.0211 μm , 0.0259 μm 그리고 0.0401 μm 로 추출되었고 둘째 halo(또는 pocket) dose 량에 따른 ΔL 은 0.02538 μm , 0.02197 μm 그리고 0.01933 μm 로 추출된다. 이렇게 추출된 ΔL 을 XTEM 으로 분석된 L_{poly} 에서 빼주게 되면 L_{eff} 가 추출된다. 추출된 L_{eff} 의 결과는 표 1 과 같다. 추출된 L_{eff} 의 결과에서 공정 조건에 의해서 S/D lateral diffusion 의 효과를 분명히 알 수 있다. 반면에 본 논문에서 추출한 결과의 타당성을 검증하기 위해서 다른 4 가지의 방법들의 결과는 Current-voltage 방식의 2 가지 방법의 경우에는 ΔL 값이 추출하고자 하는 device 의 L_{poly} 의 크기와 거의 비슷하거나 크게 추출되며 ΔL 값이 음수로 추출되는 결과도 보였으며 그리고 공정 조건에 의한 경향성이 나타나지 않았다. Capacitance-voltage 방식의 2 가지 방법 중 공정상의 mask 길이를 이용해서 추출된 결과 경우에는 ΔL 값이 너무 크게 추출되어 L_{eff} 값이 거의 0 으로 추출 되었으며 C_{masc} 를 이용하여 추출된 결과는 본 논문에서의 결과와 비슷하였지만 공정 조건에 따른 경향성이 나타나지 않는 결과를 보였다.

		$L_{mask}=0.13\mu m$	$L_{mask}=0.3\mu m$	$L_{mask}=1\mu m$
		$L_{eff}[\mu m]$		
S/D RTA 온도	995°C/10sec	0.0735	0.2404	0.9759
	1020°C/10sec	0.0687	0.2356	0.9711
	1050°C/10sec	0.0545	0.2214	0.9569
halo dose량	B/25KeV/2.4E13	0.0693	0.2362	0.9717
	B/25KeV/2.6E13	0.0726	0.2395	0.975
	B/25KeV/2.8E13	0.0753	0.2422	0.9777

표 1. 측정된 C_{gsd} 를 이용한 L_{eff} 추출 결과

V. 결론

본 논문에서 추출된 유효 채널 길이는 MOSFET 제조 공정에서의 S/D lateral diffusion 즉 공정 조건에 따른 유효 채널 길이에 대한 경향성을 확실하게 보이며

또한 current-voltage 방식의 2 가지 방법과 capacitance-voltage 방식의 2 가지 방법을 이용하여 추출된 결과를 비교하여 본 논문에서 추출된 유효 채널 길이의 타당성을 검증 함으로써 본 논문에서 측정된 C_{gsd} 이용하여 추출된 유효 채널 길이의 값의 정확성을 입증 하였다.

참고문헌

- [1] K.L. Peng, S.-Y. Oh and M.A. Afromowitz, " Basic Parameter Measurement and Channel Broadening Effect in the Submicrometer MOSFET" IEEE EDL, Vol. EDL-5,NO.11, (1984) p. 473
- [2] Kwok K. Ng and John R.Brews,"Measuring the Effective Channel Length of MOSFETs" IEEE Circuit and Devices, (1990) p. 33
- [3] K. Terada and H. Muta,"A New Method to Determine Effective MOSFET Channel Length" Jap. J. Apply. Phys.,18(5), (1979) p. 953
- [4] J. Whitfield, "A Modification on An Improved Method to Determine MOSFET Channel Length" IEEE, EDL, Vol. EDL-6, (1985) p. 109
- [5] Yuan Taur, "MOSFET Channel Length: Extraction and Interpretation" IEEE, Trans. Elect. Devices, Vol.47, (2000) p.160
- [6] B.J Sheu and P.K Ko, "A Capacitance Method to Determine Channel Lengths for Conventional and LDD MOSFET's", IEEE EDL, vol.EDL-5, (1984) p. 491
- [7] M.M.Lau, C.Y.T, Chiang, Y.T .Yelow and .Z.Q. Yao, "Measurement of V_T and L_{eff} Using MOSFET Gate-Substrate Capacitance",IEEE Int.Conf. on Microelectronic Test Structures, Vol 12, (1999) p. 152
- [8] M. M. Lau, C. Y.T, Chiang, Y.T .Yelow and .Z.Q. Yao, "A New Method of Threshold Voltage Extraction via MOSFET Gate-Substrate Capacitance Measurement" IEEE, Trans. Elect. Devices, Vol.48, (2001) p. 1742