

N-type 기판에서 PAI 에 의한 Nickel-Silicide 의 열안정성 개선

윤장근, 지희환, 오순영, 배미숙, 황빈봉, 박영호, 왕진석, 이희덕
충남대학교 전자공학과

Thermal Stability Improvement of Nickel-Silicide using PAI in the N-type Substrate

Jang-Gn Yun, Hee-Hwan Ji, Soon-Young Oh, Mi-Suk Bae, Bin-Feng Huang, Young-Ho Park, Jin-Suk Wang,
Hi-Deok Lee

Electronics Engineering Department

Chungnam National University

E-mail : christie@cnu.ac.kr

Abstract

본 논문에서는 N-type 기판에서 Nickel-Silicide 를 적용하였을 경우에 나타나는 문제점과 PAI (Pre-amorphization Implant)의 효과에 대하여 알아보았다. N-type 기판에 RTP (Rapid Thermal Process)를 통하여 Nickel-Silicide 를 형성하게 되는데, 여기까지는 안정한 Nickel mono-Silicide (NiSi)가 형성됨을 확인하였다. 하지만 후속 열처리 공정 후 심한 응집 현상 (Agglomeration)과 이상 산화 현상 (Abnormal Oxidation Phenomenon), Silicide Island 등 열안정성 (Thermal Stability) 측면에서 여러 가지 많은 문제점들이 나타났다. 이 후속 열처리의 열안정성 취약점들을 극복하는 방안으로 Ge 및 N₂ PAI 를 적용하였다. PAI 를 적용하였을 경우에는 그렇지 않은 경우에 비하여 고온 열처리 후에도 면저항이 비교적 잘 유지되었으며, 두께가 얇고 안정한 Nickel-Silicide 특성을 확보할 수 있었다. 특히 Ge PAI 에 비하여 N₂ PAI 의 경우가 보다 특성 개선 효과가 크게 나타났다.

I. 서론

SALICIDE (Self-Aligned Silicide)는 Source/Drain 그리고 Gate 의 면저항 및 접촉저항을 낮추어 구동전류를 증가시킴으로써 Switching Time 을 감소시켜 RC Delay 를 줄이므로 고속 소자에 필수적인 공정 중의 하나로 널리

사용되고 있다. Silicide 공정을 위한 Silicide 로는 Titanium-Silicide(TiSi₂), Cobalt-Silicide(CoSi₂), Nickel-Silicide(NiSi) 등이 있는데 TiSi₂ 가 낮은 Sheet Resistance 및 열안정성의 장점으로 0.35 및 0.25 μ m CMOS 공정에 먼저 적용되었다[1]. 그러나 Active 및 Gate 의 Width 가 작아짐에 따라 Sheet Resistance 가 급격히 증가하는 단점으로 인해 0.18 μ m 이하에 공정에 적용이 어려워 이후부터는 CoSi₂ 가 대부분 적용되었다[2]. 하지만 CoSi₂ 역시 Gate length 가 100 nm 이하인 Nano-CMOS 영역에 들어서면서 급격한 면저항 증가가 나타나 이를 대체할 Silicide 가 매우 필요한 상태이며, 현재 NiSi 가 그 대안으로 유력하게 대두되고 있다.

NiSi 는 증착한 Ni 이 거의 모두 Silicon 과 반응하기 때문에 소비되는 Silicon 의 양을 정확히 조절할 수 있을 뿐 아니라, Silicide 의 두께가 매우 얇아 Ultra-thin poly-Silicon Layer 및 Shallow Junction 을 갖는 Nano-CMOS 기술에 매우 적합하다[3]. 그러나 Silicide 형성 후의 후속 열처리에 매우 취약한 단점이 있어 실제 Nano-CMOS 기술에 적용되기 위해 해결해야 할 과제로 남아있다.

이러한 열안정성의 취약함을 개선하기 위한 노력으로 Interlayer 및 Capping Layer, Ion Implantation, Target Alloy 방식 그리고 PAI 등 다양한 시도가 이루어 지고 있다[4-6].

본 논문에서는 고온 열처리 공정 이후 N-type 기판에서 Nickel-Silicide 의 특성 변화와 Ge 및 N₂ PAI 의 적

용 효과에 대하여 분석하였다.

II. 실험 방법

본 실험을 위하여 P 에 비해 보다 Shallow Junction 을 갖는 As ($50 \text{ keV}, 5 \times 10^{15} \text{ cm}^{-2}$) 이 도핑 된 시편을 이용 하였으며 제작 순서는 다음과 같다. ULSI (Ultra Large Scale Integrated-circuit) 공정에 맞추어 As 이온 주입 후 에 $1050 \text{ }^\circ\text{C}$ 에서 10 초간 활성화시키고, Ge 또는 N_2 ($20 \text{ keV}, 1 \times 10^{14} \text{ cm}^{-2}$) PAI 를 실시하였다. 그 후 RF Magnetron Sputter 를 이용하여 Ni 100 Å 또는 Ni 100 Å / Ti 100 Å 을 Base Pressure $5 \times 10^{-7} \text{ Torr}$ 에서 증착하였다. 그리고 NiSi 를 형성시키기 위해 급속 열처리로 Base Pressure $3 \times 10^{-2} \text{ Torr}$ 이하에서 온도를 $400 \sim 800 \text{ }^\circ\text{C}$ 로 변화시키면서 30 초간 열처리하였다. NiSi 형성 후 반응하지 않은 Nickel 은 $\text{HCl} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ 에서 선택적으로 식각하였으며, Ti Capping 을 적용하였을 경우에는 $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ 에서 식각하였다. 다음에 열안정성 시험을 위하여 전기로에서 $700 \text{ }^\circ\text{C}$, 30 분간 고온 열처리하였다. Four Point Probe 를 이용하여 면저항을 측정하였고, XPS (X-ray Photoelectron Spectroscopy) 로 Depth Profile 을 분석하였으며, FE-SEM (Field Emission Scanning Electron Microscopy, 한국기초과학지원연구원 전주분소, 모델명 S-4700) 으로 형성된 Nickel-Silicide 의 단면 이미지를 관찰하였다.

이후부터는 편의상 NiSi 형성을 위한 열처리를 급속열처리, 열안정성 시험을 위한 열처리를 고온 열처리라 하겠다.

III. 실험 결과

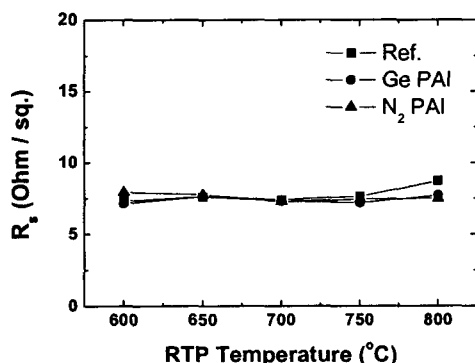


그림 1 급속 열처리 후 온도에 따른 면저항

그림 1 은 PAI 를 적용하지 않은 경우와 Ge 및 N_2 를 적용한 경우 급속 열처리 후의 면저항을 온도에 따라 나타낸 것이다. 급속 열처리 후에는 온도에 따라 거의 일정한 면저항 분포를 보이는 것으로 보아 PAI 유무에 관계없이 모두 낮은 비저항을 갖는 안정한 NiSi 가 형성되었음을 알 수 있다.

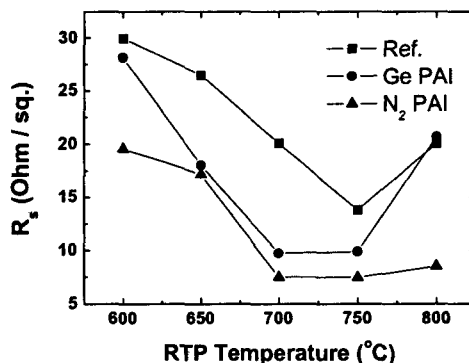


그림 2 고온 열처리 후 면저항 변화

하지만 고온 열처리 후에는 Nickel-Silicide 의 특성이 PAI 유무에 따라 상당히 변화되었다. 그림 2 는 PAI 를 적용하지 않은 경우와 Ge 또는 N_2 PAI 를 적용한 경우, $700 \text{ }^\circ\text{C}$ 에서 30 분간 고온 열처리 후의 면저항 변화이다. 그림에서와 같이 PAI 를 적용하지 않은 경우에는 그렇지 않은 경우에 비하여 모든 급속 열처리 온도에서 면저항이 상당히 높은 값을 갖으며 또한 가장 낮은 면저항을 갖는 급속 열처리 온도인 $750 \text{ }^\circ\text{C}$ 에서조차도 급속 열처리 후 보다 면저항이 두 배 가량 증가하였다. 하지만 PAI 를 한 경우에는 급속 열처리를 $700 \text{ }^\circ\text{C}$ 와 $750 \text{ }^\circ\text{C}$ 로 했을 때 고온 열처리 후에도 급속 열처리 후와 비교하여 매우 안정한 면저항을 특성을 보였다. 특히 Ge PAI 를 한 경우에는 급속 열처리 후에 비하여 면저항이 약 50 % 가량 증가한 반면 N_2 PAI 를 한 경우에는 고온 열처리 후에도 면저항 변화가 거의 없는 매우 우수한 특성을 보임을 확인하였다. 하지만 이러한 특성을 얻기 위한 급속 열처리 온도의 폭이 $700 \text{ }^\circ\text{C}$ 와 $750 \text{ }^\circ\text{C}$ 로 상당히 제한되어 있다.

그림 3 은 Ti Capping 적용 시 고온 열처리 후 면저항 데이터이다. Ti Capping 을 적용하였을 경우에는 PAI 적용 유무에 관계없이 면저항이 상당히 개선 되었다. 또한 Ge PAI 보다 N_2 PAI 를 적용하였을 경우에 보다 낮은 면저항을 값을 얻을 수 있었고, 이와 같은 낮은 면

저항 값을 보이는 급속 열처리 온도의 범위가 Ti Capping 적용 전에 비하여 상당히 개선하였다. 이는 Ti Capping 에 의하여 공정 시 선택할 수 있는 급속 열처리 온도의 폭이 증가하였음을 나타낸다.

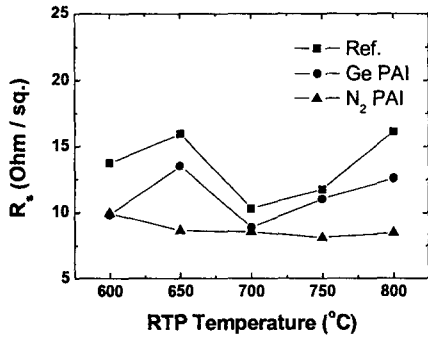


그림 3 Ti Capping 적용시 고온 열처리 후 면저항 변화

급속 열처리를 700 °C, 30 초간 실시하여 NiSi를 형성하고 다시 700 °C에서 30 분간 고온 열처리를 한 후의 단면은 그림 4 와 같다. PAI 를 하지 않은 경우에는 그림 4 (a)처럼 심한 응집현상이 일어났으며 또한 Silicide 표면에 산화막이 형성되었다. Ge 및 N₂ PAI 를

적용한 그림 4 (b), (c) 각각의 경우에는 PAI 를 하지 않은 경우에 비하여 응집현상이 상대적으로 매우 적게 일어났음을 알 수 있다.

그림 5 는 PAI 를 적용하지 않은 경우와 Ge 또는 N₂ PAI 를 적용한 경우, 700 °C에서 30 분간 고온 열처리 후의 XPS Depth Profile 이다. 표면에 산소의 양이 상당히 많은 것으로 보아 모두 산화 되었음을 알 수 있다. PAI 를 적용하지 않은 경우에는 그림 5 (a)와 같이 Ni 의 양이 Si 의 양에 비하여 상당히 적은 것을 알 수 있는데 이는 그림 5 (a)에서와 같은 응집현상으로 인하여 표면에 극히 일부분만이 Nickel-Silicide 를 형성하고 있기 때문이다. PAI 의 효과에 의하여 그림 5 (a)에서 그림 5 (c)로 갈수록 표면에서 Nickel 비율이 점차 증가하였다. 특히 N₂ PAI 를 적용한 경우 표면에 Nickel 의 함량이 가장 많은 분포를 보이고 있다.

그림 6 은 급속 열처리를 700 °C에서 30 초간 실시하여 NiSi 를 형성하고 다시 700 °C에서 30 분간 고온 열처리한 후의 단면이다. 그림 6 (a) 에서와 같이 PAI 를 적용하지 않은 경우에는 역시 Nickel-Silicide 의 심한 응집현상이 일어났으며, 또한 그 표면에 원하지 않은 산화막이 형성되었다.

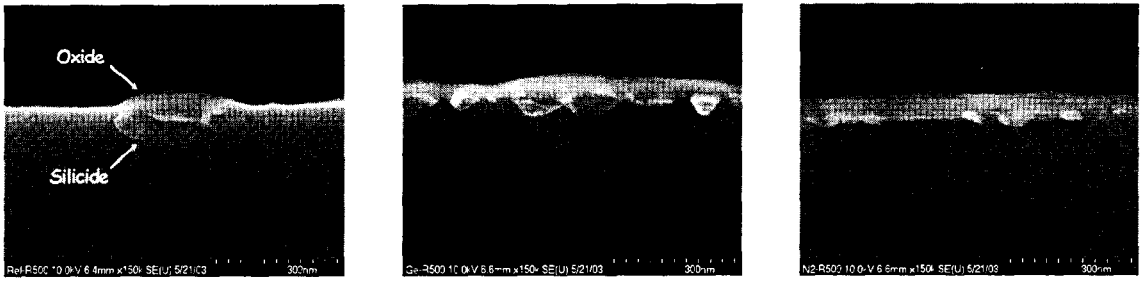


그림 4 급속 열처리 500 °C, 30 초 적용 시 고온 열처리 700 °C, 30 분 후의 FE-SEM 단면 (a) Without PAI (b) Ge PAI and (c) N₂ PAI

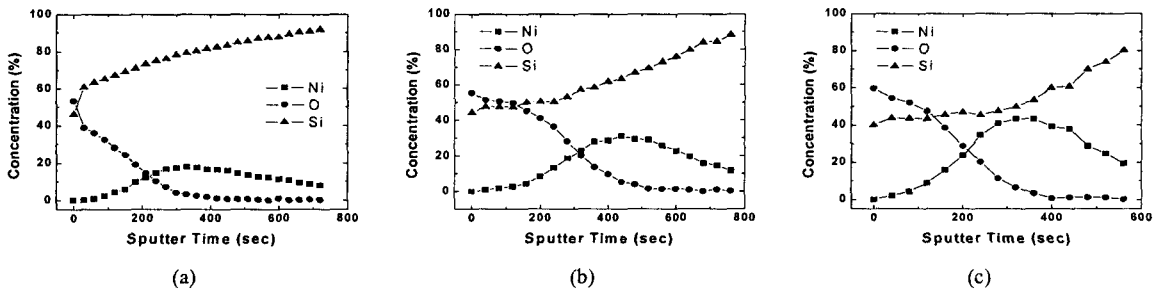
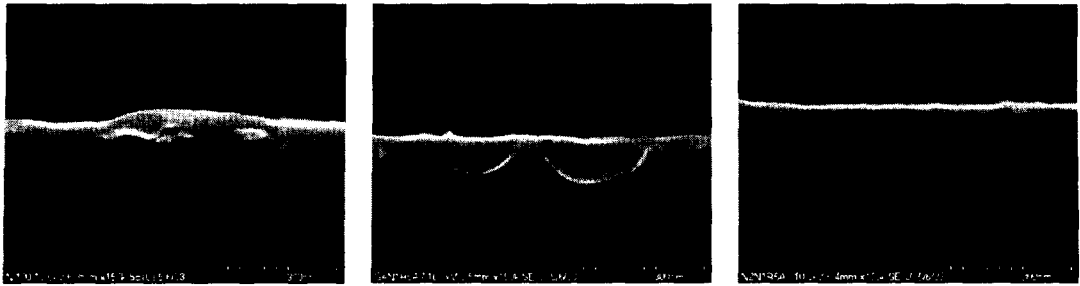


그림 5 고온 열처리 700 °C, 30 분 후의 XPS depth profile (a) Without PAI (b) Ge PAI and (c) N₂ PAI



(a) (b) (c)
 그림 6 급속 열처리 700 °C, 30 초 적용 시 고온 열처리 700 °C, 30 분 후의 FE-SEM 단면
 (a) Without PAI (b) Ge PAI (c) N₂ PAI

Ge PAI 를 적용한 경우에는 PAI 를 적용하지 않은 경우와 비교하여 볼 때 약간의 열안정성 특성 개선 효과가 있지만 여전히 응집현상과 이상산화현상이 관찰되었다. 하지만 N₂ PAI 를 적용한 경우에는 그림 6 (c)에서와 같이 고온 열처리 후에도 NiSi 가 매우 안정적으로 유지되었으며 응집현상과 이상산화현상 또한 발견되지 않고 매우 균일한 두께의 NiSi 층이 형성 되었음을 확인하였다.

위와 같이 PAI 에 의하여 열안정성이 좋아지는 것은 'Snowplow' 현상에 의한 것으로 여겨진다. Silicide 가 형성되는 중에 PAI 시 주입한 이온들이 NiSi/Si 나 Ni₂Si/Si 의 계면에 모이게 되고, 이로 인하여 NiSi₂ 로의 상변이 온도를 높이게 된다. 즉 PAI 시 주입한 이온들이 Si 에서의 제한된 용해도로 인하여 열처리 중에 NiSi/Si 나 Ni₂Si/Si 의 계면에 존재하게 되고 Nickel 의 Diffusion Barrier 로 작용하여 NiSi₂ 로의 상변이를 억제하는 것이다[7].

IV. 결론

본 논문에서는 N-type 기판에서 Nickel-Silicide 적용 시 고온 열처리 후 특성 열화와 PAI 를 적용했을 경우의 열안정성 향상에 대하여 살펴보았다. 급속 열처리 온도에 따라서 고온 열처리 후의 Nickel-Silicide 의 특성이 매우 다르게 나타났다. N₂ PAI 를 한 경우 Ti Capping 을 통하여 급속 열처리 온도의 의존성을 줄일 수 있었다. PAI 를 하지 않은 경우에는 심한 응집현상과 이상산화현상이 나타났지만 PAI 를 적용한 경우에는 열안정성이 매우 개선되었다. 특히 Ge PAI 를 적용한 경우에 비하여 N₂ PAI 를 적용한 경우 열안정성이 가장 우수하였으며 안정한 Nickel-Silicide 를 특성을 확보하였다.

Acknowledgment

본 연구는 한국과학재단 목적기초연구(R01-2001-000-00323-0)지원으로 수행 되었음.

참고문헌

- [1] S. P. Muraka, and D. B. Fraser, "Thin film interaction between titanium and polycrystalline silicon", *J. Appl. Phys.*, 51, 342 (1980).
- [2] K. Maex, "Silicides for integrated circuits : TiSi₂ and CoSi₂", *Appl. Surf. Sci.*, 53, 328 (1991).
- [3] F. Deng, R. A. Johnson, P. M. Asbeck, and S. S. Lau, "Salicidation process using NiSi and its device application", *J. Appl. Phys.*, 81, 8047 (1997).
- [4] J. S. Maa, D. J. Tweet, Y. Ono, L. Stecker, and S. T. Hsu, "Stability Improvement of Nickel Silicide with Co Interlayer on Si, Polysilicon and SiGe", *Mat. Res. Symp. Proc.*, 670, K6.9.1 (2001).
- [5] P. S. Lee, D. Mangelinck, K. L. Pey, J. Ding, D. Z. Chi, J. Y. Dai, and A. See, "Nickel Silicide Formation on Si(100) and Poly-Si with a Presilicide N₂⁺ Implantation", *J. Elec. Mat.*, 30, 1554 (2001).
- [6] D. Z. Chi, D. Mangelinck, and S. K. Lahiri, P. S. Lee, and K. L. Pey, "Comparative study of current-voltage characteristics of Ni and Ni(Pt)-alloy silicided p⁺/n diodes", *Appl. Phys. Lett.*, 78, 3256 (2001).
- [7] L. W. Cheng, S. L. Cheng, J. Y. Chen, L. J. Chen, and B. Y. Tsui, "Effects of nitrogen ion implantation on the formation of nickel Silicide contacts on shallow junctions", *Thin Solid Films*, 335-336, 412 (1999).