

# HomePNA 2.0 프레임 프로세서의 고속 구현 기법

강민수, 이원철, 신요안  
승실대학교 정보통신전자공학부  
전화 : 02-817-1539 / 팩스 : 02-821-7653

## High Speed Implementation of HomePNA 2.0 Frame Processor

Min-soo Kang, Woncheol Lee and Yoan Shin  
School of Electronic Engineering, Soongsil University  
E-mail : nizzim@amcs.ssu.ac.kr

### 요약

본 논문에서는 전화선을 이용한 고속 홈네트워크인 HomePNA 2.0 시스템에서 HomePNA 2.0 (H2) 프레임을 만들기 위한 프레임 프로세싱 중, 다항식 나누기 연산을 통한 CRC (Cyclic Redundancy Check) 16비트 생성, HCS (Header Check Sequence) 8비트 생성 및 혼화 (Scrambling) 처리에 있어서 입력 8 비트를 동시에 병렬 처리함으로써 기존의 1 비트 입력을 LFSR (Linear Feedback Shift Register)를 사용한 다항식 나누기 연산을 수행했을 때보다 빠른 속도로 H2 프레임을 구현하고자 하는 고속 처리 기법을 제시하고 이의 성능을 검증하였다.

### I. 서론

최근 들어 각 가정에서의 PC 보유 수가 증가함으로써택내에서 여러 PC를 이용해서 인터넷 접속, 네트워크 게임, 그리고 주변 장치의 파일 및 응용 프로그램의 공유 등과 같은 서비스를 제공해줄 수 있는 네트워크 구성을 위한 방안이 연구되고 있다. 특히택내 유선 네트워크 구축을 위하여 여러 방식들이 검토되고 있으며, 이를 위한 하나의 방안으로서택내 교류 전원선을 이용하는 전력선 통신 방식이 현재 활발히 연구되고 있다. 이 방식은 네트워크 구성을 위한 새로운 설비가 필요치 않은 장점이 있으나 아직까지도 성능 측면에서 더 많은 개선이 요구되고 있다. 이러한 이유 때문에 전화선을 이용해서택내의 네트워크 망을 구성하는 HomePNA가 1998년부터 몇몇 회사들에 의해서 연구가 시작되어, 그 후 전송률이 1 Mbps인 HomePNA 1.0이 등장하였고 최근에는 HomePNA 1.0 버전과 호환성을 가지면서 전송률

이 4~32 Mbps인 고성능의 HomePNA 2.0에 대한 규격안이 확정된 상황이다[1].

계층적 구조를 갖는 통신 시스템의 데이터 전송에 있어서, 상위 계층에서 입력되는 패킷들은 각 계층에 규정된 패킷으로 프레임화 되어 하위 계층으로 전송이 이루어지게 된다. 이 때 각 계층에서 패킷들은 에러 검출을 위한 비트들이 추가된다. 그 대표적인 에러 검출 방법으로 CRC (Cyclic Redundancy Check)를 들 수 있다. CRC 연산은 에러 검출 방법이 쉬울 뿐만 아니라 하드웨어 구현이 간단하므로, HomePNA 2.0 시스템뿐만 아니라 블루투스 등 많은 시스템에서 에러 검출 방법으로 사용되고 있다. 이러한 CRC 연산은 다항식 나누기 연산으로 쉽게 구현된다. 한편, 혼화 처리는 수신단에서 클럭 복구 능력과 데이터 검출 신뢰성을 향상시키기 위해서 데이터를 전송하기 전 비트들의 신호 레벨을 랜덤하게 처리해 주는 프로세싱이다. 혼화 처리를 함으로써 수신단에서 클럭 복구를 안전성 있게 수행할 수 있으며, 지터를 줄이고 심벌간 간섭을 줄이기 때문에 디지털 전송에 있어서 필수적인 프로세싱이다. 실제 구현에 있어서는 생성 다항식으로 입력 데이터들을 나누어줌으로써 쉽게 구현된다.

CRC 연산과 혼화 처리의 기본 연산은 다항식 나누기로 구성된다. 다항식 나누기는 기존의 LFSR (Linear Feedback Shift Register)를 사용하여 쉽게 구현될 수 있으나, 동기식 시스템에서 LFSR은 1 클럭에 1 비트 입력 값만 처리해주므로 입력 비트들이 많을 경우 입력 비트 수만큼의 클럭이 소요된다. 또한 1 클럭에 버스로부터 입력되는 다중 입력 비트들을 별도의 버퍼를 사용하지 않고서는 원만한 처리를 못한다는 단점들이 발생한다. 본 논문에서는 이러한 단점을 해결하기 위해 병렬

다항식 나누기 연산 회로[2]를 HomePNA2.0 프레임 프로세서의 CRC 연산 및 혼화 처리에 적용함으로써, 8 비트 입력 데이터 고속으로 처리하여 H2 프레임을 구현하려는 데 목적이 있다.

본 논문의 구성은 다음과 같다. 2 절에서는 본 논문에서 고려한 HomePNA 2.0 송수신 프레임 프로세서에 대해서 기술하고, 3 절에서는 기존의 LFSR를 사용한 다항식 나누기 연산 회로와 제안된 병렬 다항식 나누기 연산 회로 구조를 적용한 CRC 연산에 대해서 기술하며, 4절에서는 Altera사의 Quartus II 툴을 사용하여 컴퓨터 시뮬레이션을 통해 성능을 보이고, 마지막으로 5 절에서 결론을 맺는다.

## II. HomePNA 2.0 송수신 프레임 프로세서 구조

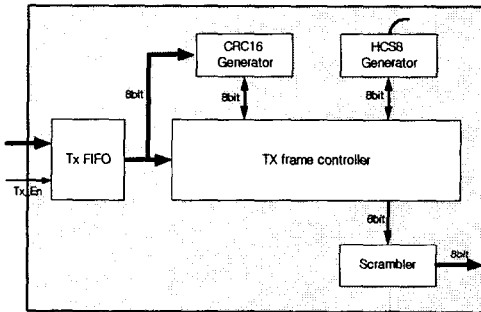


그림 1 : 송신 프레임 프로세서 구조.

그림 1은 HomePNA 2.0 시스템의 프레임 프로세서 구조로서 MAC (Medium Access Control)으로부터 입력되는 프레임을 HomePNA 2.0 규격에서 정한 패킷 형태로 만든다. 프레임 프로세서는 CRC16, PREAMBLE64, Frame Ctrl, PAD, EOF을 생성하고, H2 프레임의 일정 구간을 혼화 처리하여 변조기로 전송시켜 준다[1]. PREAMBLE64, PAD, EOF의 생성은 규격에 따라 일정 비트들이 생성되므로 송신 프레임 제어기에 그 값을 저장시킨 후 사용하게 된다. 그러나 Frame Ctrl 비트 중 HCS8와 CRC16은 정해진 값들이 아니라, 이더넷 패킷을 다항식 나누기 연산 통해 얻어지는 비트들이다. 또한 혼화 처리도 H2 프레임을 규정된 생성 다항식으로 나누어 주는 과정을 통해 수행된다.

그림 2는 수신단 프레임 프로세서 구조로서 복조기의 마지막 단인 demapper를 통해 들어오는 데이터를 위의 과정을 역순으로 역혼화기, HCS8 확인기, CRC16 확인기를 순차적으로 수행한다. 수신 프레임에 대해서 변조기에서 사용한 같은 생성 다항식으로 혼화 처리하고, 다항식 나누기를 해줌으로써 CRC16와 HCS8 비트를 확인

한다. CRC16와 HCS8 비트를 확인 후 수신된 프레임이 오류가 발생되지 않았을 때 H2 프레임을 MAC 프레임으로 변환 후 MAC으로 전송시켜 준다.

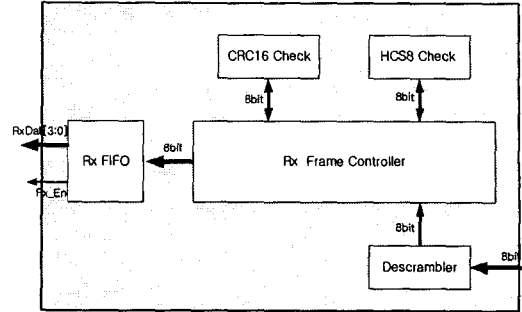


그림 2 : 수신 프레임 프로세서 구조.

## III. 프레임 프로세서에 병렬 다항식 나누기 연산 회로 구조를 적용한 CRC 연산 회로

CRC 연산의 기본 매카니즘은 다항식 나누기 연산이다. 이러한 다항식 나누기 연산은 생성 다항식의 차수와 계수들로부터 상태 쉬프트 레지스터와 Exclusive-OR 게이트, 그리고 Exclusive-OR 게이트들의 위치 정보를 얻어 LFSR를 이용하여 쉽게 구현된다.

$$G(x) = x^3 + x^2 + 1 \quad (1)$$

그림 3은 LFSR를 이용하여 생성 다항식이 식 (1)인 CRC 연산 회로도이다.

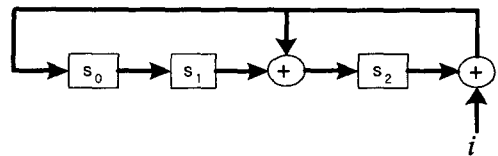


그림 3 : LFSR를 이용한 식 (1)의 CRC 연산 회로.

그림 4는 생성 다항식  $g(x) = x^3 + x^2 + 1$ 를 예로 들어 위의 문제점을 해결한 실제 회로도이다. 그림 3의 LFSR를 사용한 다항식 나누기 회로에서 상태 레지스터와 Exclusive-OR 게이트를 분류해 각각 병렬로 배치시켜줌으로써 같은 다항식 나누기를 수행하는 회로를 얻을 수 있다. 이 회로를 병렬 다항식 나누기 회로라 한다[2]. 이 회로는 크게 Exclusive-OR 게이트로 구성된 조합 회로와 상태 레지스터로 나눌 수 있다. 1 비트가 입력되면 상태 레지스터에 저장된 값들이 조합 회로로 입력되어 Exclusive-OR 연산 후 다음 상태 레지스터로 이동 저장된다. 입력 1 비트에 대해선 LFSR를 사용한 다항식 나

누기와 같다. 조합 회로의 결과 값이 실제적으로 다음 입력 비트에 대한 상태 값이므로, 이 조합 회로를 직렬로 연결시킴으로써 1 비트뿐만 아니라 다중 입력 비트에 대한 다항식 나누기 연산을 수행할 수 있게 된다.

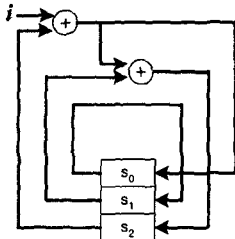


그림 4 : 병렬 다항식 나누기 회로를 이용한 식 (1)의 변경 CRC 연산 회로.

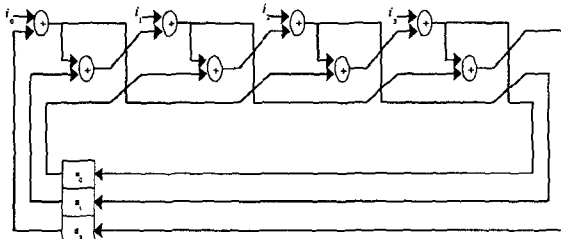


그림 5 : 4 비트 입력에 대한 식 (1)의 CRC 연산 회로.

그림 5는 그림 4의 병렬 다항식 나누기 회로 4개를 병렬로 연결하여 4 비트 입력을 처리할 수 있는 다항식 나누기 회로도이다. 그러므로 위의 병렬 다항식 나누기 회로를 이용하여 실제 8bit 입력을 처리할 수 있는 회로를 구현할 수 있다.

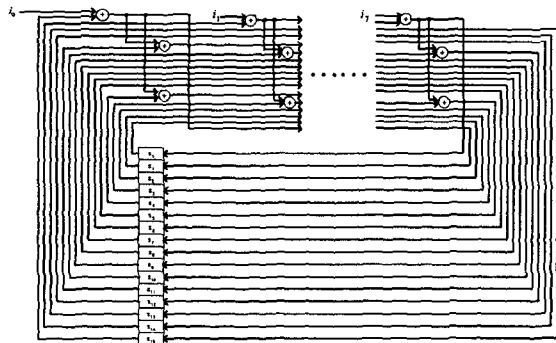


그림 6 : 8 비트 입력에 대한 식 (2)의 CRC16 연산 회로.

그림 6은 실제 HomePNA 2.0 시스템 프레임 프로세서에서 구현된 CRC16 생성기의 다항식 나누기 연산 회로로서 아래 식 (2)의 나누기 연산을 수행하는 조합 회

로를 8번 사용함으로써 8 비트 입력을 동시에 처리할 수 있는 회로를 구현하였다. 실제 구현에 있어서는 8 비트가 입력될 때 상태 레지스터 값들이 동시에 조합 회로로 입력되어 연산을 수행하는데 1 클럭이 소요되며, 조합 회로를 수행한 값이 다시 상태 레지스터로 입력되는데 1 클럭이 소요되게 되어, 총 2 클럭에 연산을 수행한다. 그러므로 8 비트 입력이 들어올 때, LFSR를 사용했을 경우 8 클럭이 걸리는 시간을 2 클럭으로 단축시킬 수 있다.

$$G(x) = x^{16} + x^{12} + x^5 + 1 \quad (2)$$

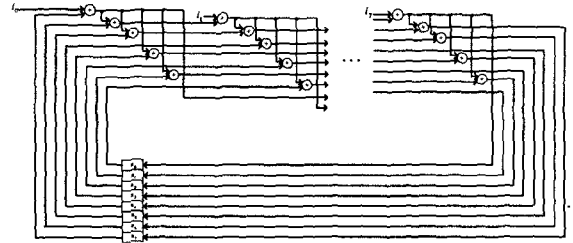


그림 7 : 8 비트 입력에 대한 식 (3)의 HCS8 연산 회로.

그림 7은 HCS8 생성기의 병렬 나누기 연산 회로로서 아래의 식 (3)을 수행하는 조합 회로를 8번 사용하여 8 비트 입력을 동시에 처리할 수 있는 회로로 구현하였다. CRC16 생성기에서와 같이 병렬 나누기 연산 회로를 적용해 2 클럭 안에 8 비트 입력을 동시에 처리할 수 있도록 설계되었다.

$$G(x) = x^8 + x^7 + x^6 + x^4 + x^2 + 1 \quad (3)$$

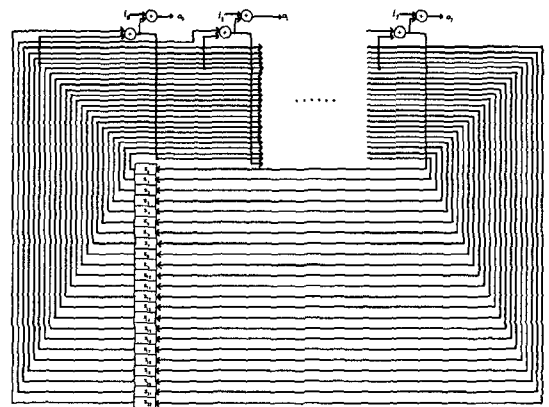


그림 8 : 8 비트 입력에 대한 식 (4)의 혼화 처리 연산 회로.

그림 8은 또한 실제 HomePNA 2.0 시스템 프레임 프로세서에서 구현된 혼화기의 병렬 나누기 연산 회로로서, 병렬 나누기 연산 회로를 적용해 식 (4)를 수행하는

조합 회로를 8번 사용하여 8 비트 입력을 동시에 처리할 수 있는 회로를 구현하였다. 8 비트가 입력되면 혼화 처리 후 바로 결과값이 나온다는 점에서는 CRC16 생성기 및 HCS8 생성기와 다르나, 기본적으로 다항식 나누기 연산을 한다는 점에서는 동일하므로 같은 기법을 적용해서 동일한 장점을 얻는다.

$$G(x) = x^{23} + x^{18} + 1 \quad (4)$$

#### IV. 시뮬레이션 결과

시뮬레이션 환경으로서 Altera사의 Quartus II 툴을 사용하고, VHDL을 사용한 시뮬레이션을 통해 결과를 검증하였다.

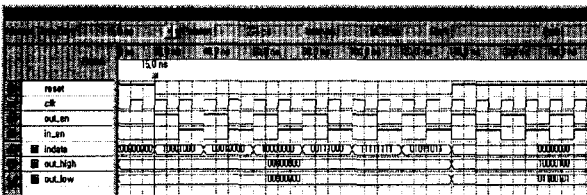


그림 9 : CRC16 시뮬레이션 결과.

그림 9는 48 비트의 메시지 비트들이 8 비트씩 입력될 때, CRC16 값이 연산되는 Timing 시뮬레이션 결과를 보여준다. LFSR을 사용한다면 48 클럭이 소요되는 반면, 병렬 다항식 나누기 연산 회로를 사용하여 구현했을 때 12 클럭이 소요됨을 확인할 수 있다.

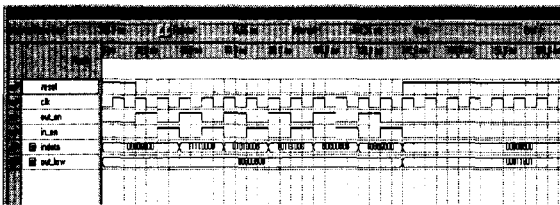


그림 10 : HCS8 시뮬레이션 결과.

그림 10은 48 비트의 메시지 비트들이 8 비트씩 입력될 때, HCS8 값이 연산되는 Timing 시뮬레이션 결과를 보여준다. LFSR을 사용한다면 48 클럭이 소요되는 반면, 병렬 다항식 나누기 연산 회로를 사용하여 구현했을 때 12 클럭만이 소요됨을 확인할 수 있다.

한편 그림 11은 48 비트의 메시지 비트들이 8 비트씩 입력될 때, 혼화 처리되는 Timing 시뮬레이션 결과를 보여준다. 이 경우 역시 앞서와 마찬가지로 LFSR을 사용한다면 48 클럭이 소요되는 반면, 병렬 다항식 나누기 연산 회로를 사용하여 구현했을 때 12 클럭만이 소요됨을 확인할 수 있다.

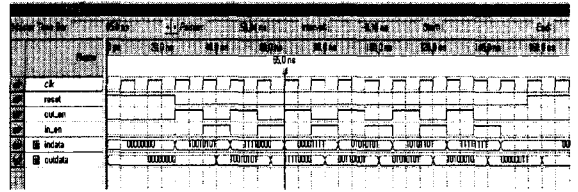


그림 11 : 혼화 처리 시뮬레이션 결과.

H2 MAC 프레임의 최대 크기인 1518 바이트가 입력된다면, CRC16을 생성하는데 1518 바이트가 나누기 연산이 되며, Frame Ctrl에서 HCS를 생성하는데 16 바이트가 연산되고, 혼화 처리는 하는데 1522 바이트가 연산 처리된다. 송신 프레임 제어가 CRC16 생성기, HCS8 생성기, 혼화기를 순차적으로 각각 수행하게 되므로, LFSR를 사용하여 위 프로세싱의 수행을 완료하려면 총 24,448 클럭이 소요된다. 그러나 병렬 나누기 연산 회로를 적용함으로써 1 바이트를 2 클럭 안에 연산하여 총 6,112 클럭으로 연산을 수행할 수 있게 되어, 연산 속도를 4분의 1로 향상시켰다. 또한 8 비트를 동시에 처리함으로써 매 클럭마다 들어오는 입력 비트들을 버퍼에 저장시켜주는 부가적인 회로의 구현 없이 바로바로 처리해 데이터를 원활히 전송시켜 준다.

#### V. 결론

H2 프레임을 생성하는데 중추적인 역할을 담당하는 CRC16 생성, HCS8 생성과 혼화 처리를 병렬 나누기 연산 회로를 적용해 8 비트를 동시에 병렬로 처리해 줌으로써 프레임 프로세싱을 고속으로 처리할 수 있도록 한 장점이 있다. 또한 8 비트를 병렬 처리하기 때문에 실제 시스템 구현 시 클럭에 맞춰 입력되는 8 비트를 바로바로 처리해주므로 LFSR을 사용했을 때 추가적으로 구현해 주어야 하는 버퍼를 사용하지 않아도 되므로 설계에 있어서 간단해진다는 장점이 있다. 따라서 8 비트뿐만 아니라 다중 입력 비트에 대해서도 적용될 수 있으므로 HomePNA 2.0 시스템뿐만이 아니라 다른 하드웨어 구현에 있어서도 적용될 수 있다.

#### 참고 문헌

- [1] "Interface Specification for HomePNA 2.0 10M8 Technology," available to members of HomePNA at <http://www.homepna.org>, Oct. 1999.
- [2] M. Sprachmann, "Automatic generation of parallel CRC circuits." *IEEE Design & Test of Computers*, vol. 18, no. 3, pp. 108-114, May 2001.