

# 10기가비트 이더넷 프레임 다중화/역다중화기 설계 및 구현

최창호, 주범순, 김도연, 정해원  
한국전자통신연구원

## Design and Implementation of 10Gigabit Ethernet Frame Multiplexer/Demultiplexer

Chang-Ho Choi, Bheom-Soon Joo, Do-Yeon Kim, Hae-Won Jung  
Electronic and Telecommunications Research Institute  
E-mail : chhchoi@etri.re.kr

### Abstract

This paper presents a design and implementation of 10gigabit ethernet frame multiplexer/demultiplexer. In this paper, we discuss gigabit and 10 gigabit ethernet standard interfaces(GMII/XGMII) and we propose multiple gigabit ethernet frame multiplexing/demultiplexing scheme to handle 10gigabit ethernet frame instead of using 10gigabit network processor. And then 10gigabit ethernet frame MUX/DMUX is designed, verified and implemented using FPGA.

### I. 서론

컴퓨터와 그 주변기기간의 정보교환 및 주변장치 공유의 목적으로 개발된 LAN은 1973년에 이더넷이 개발된 이후 10/100Mbps 및 1Gbps를 거쳐 현재에는 10Gbps의 속도를 수용하는 단계에 와 있으며 기존 장거리 통신 사업자들이 시분할 기술을 이용한 10Gbps 전송 장비를 출시하고 있는 시점에 와 있다. 다양한 속도의 트래픽을 수용하기 위해 10Gbps 이상의 고속 전송 기술이 요구되고 있으며 향후 통합되는 망은 기존의 데이터 통신망의 이더넷을 고속화한 10기가비트 이더넷 위주로 MAN(Metropolitan Area Network)/WAN (Wide Area Network)의 백본망에 접속되는 것이 가장 유력시되고 있다.

본 논문은 10기가비트 이더넷 프레임 다중화/역다중화기(FMDI, Frame MUX/DMUX IC.)의 설계 및 구현에 관한 내용을 기술한다. 초당 10기가비트의 전송속도를 가진 데이터를 실시간으로 처리하기 위해 요구되는 10기가비트급 네트워크 프로세서를 사용하는 대신 다중의 기가비트 네트워크 프로세서를 사용하고 기가비트 이더넷 프레임을 다중화하여 10기가비트 이더넷 인터페이스를 제공하는 방안에 대해 소개하고 이를 토대로 10기가비트 이더넷 프레임 다중화/역다중화기를 설계 및 검증한 다음 이를 범용소자인 FPGA (Field Programmable Gate Array)를 통해 구현해 보고자 한다. 또한 구현된 FMDI를 10기가비트 이더넷 에지 스위치 시스템에 적용하여 패킷 전송 성능시험을 수행함으로써 상용화 가능성을 고려해 보도록 한다.

### II. 10기가비트 이더넷

#### 2.1 이더넷 프레임 구조

이더넷의 가장 기본적인 개념은 하나의 물리적인 전송매체를 다수의 통신국이 공유하는 것이다. 그러나 한개의 통신로를 다수의 장치가 공유하는 통신망에서 두 개 이상의 통신국이 동시에 송신한 프레임은 상호간의 충돌에 의해 모두 버려질 수 있다. 이러한 문제

점을 해결하기 위해 이더넷에서는 CSMD/CD(Carrier Sense Multiple Access with Collision Detection) 방식을 사용한다.[1] 상위계층 패킷(LLC또는 IP/TCP)을 수신측 MAC으로 오류 없이 전달하기 위해 일반적인 MAC프레임은 주소 부분이 있는 헤더와 상위계층 패킷을 담은 정보영역 그리고 오류검사를 위한 트래일러 부분으로 구성된다. 이러한 MAC프레임의 구조는 (그림 1)과 같다.

프리앰블 7 바이트	SFD 1 바이트	목적지주소 6 바이트	수신지주소 6 바이트	길이/타입 2 바이트	데이터 46 - 1500 바이트	FCS 4 바이트
---------------	--------------	----------------	----------------	----------------	----------------------	--------------

SFD : Start Frame Delimiter  
FCS : Frame Check Sequence

그림 1. IEEE 802.3 MAC프레임 형식

## 2.2 이더넷 스위치

10기가비트 이더넷은 기존의 IEEE 802.3 표준의 최소 및 최대 프레임 사이즈, 프레임 형태를 유지하지만 매체로는 파이버를 사용하고 기존의 이더넷 계열과 달리 동작방식으로 전이중 방식만을 지원하는 점이 다른 점이다. 또한 LAN/WAN에 사용될 두 가지 물리적 접속 규격으로 10Gbps에서 동작하는 LAN PHY와 9.58Gbps로 동작하는 WAN PHY의 두개의 PHY를 정의하고 있고, MAC/PLS 속도를 WAN PHY에 적용 가능하도록 속도 제어 메커니즘을 정의하고 있다. 10기가비트 이더넷 스위치 시스템은 (그림 2)와 같이 10기가비트 및 10기가비트 라인카드, 스위치 패브릭으로 구성된 구조를 가지고 있다. 초기의 스위치 시스템은 LAN의 백본 및 단거리상의 MAN/WAN의 광 전송장비에 직접 접속하는 장치로 이용될 것이고, 추후 다크 파이버, DWDM 기술 등과 결합하여 장거리상의 MAN/WAN의 백본으로 이용될 것이다.

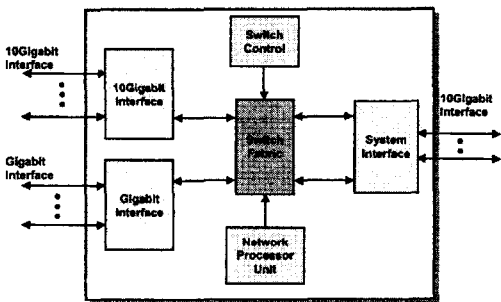


그림 2. 10기가비트 이더넷 스위치 시스템 구조

10기가비트 및 10기가비트 라인카드는 내부에 물리층 서

브블록, 네트워크프로세서 서브블록, 라인카드 서브블록으로 구성되며 각각 기가비트 이더넷 라인 인터페이스와 10기가비트 이더넷 라인 인터페이스를 제공한다. (그림 3)은 일반적인 기가비트 라인카드의 구성을 나타낸다. 물리계층 서브블록으로부터 입력된 기가비트 이더넷 프레임은 GMII(Gigabit Media Independent Interface) 또는 TBI(Ten Bit Interface)를 통해 네트워크프로세서 서브블록으로 입력되고 패킷 프로세싱(패킷 분석 및 분류, 룩업 및 포워딩, 트래픽 매니지먼트)을 거친 후 스위치 인터페이스를 통해 스위치로 전달된다.

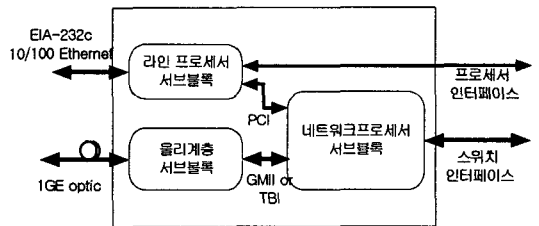


그림 3. 기가비트 이더넷 라인카드 블록도

이더넷이 기가비트 단계를 거쳐 10기가비트급으로 진화함에 따라 네트워크 프로세서 또한 10Gbps 데이터를 처리할 수 있는 능력을 필요로 하게 된다. 이는 단순히 네트워크 프로세서 속도상의 증가만을 의미하는 것이 아니라 광전송 장치, 고속PCB기술, 고속 인터페이스 기술, 새로운 칩에 대한 시장성 등이 같이 고려되어야 한다. 따라서 현재 상용화된 10기가비트급 네트워크 프로세서가 없는 상황에서 10기가비트 이더넷 인터페이스를 지원하기 위해 기존의 기가비트급 네트워크 프로세서를 다중으로 사용하고 프레임 다중화/역다중화기를 적용한 방안이 제안되었다. (그림 4)는 제안된 10기가비트 라인카드의 블록도를 나타낸다.

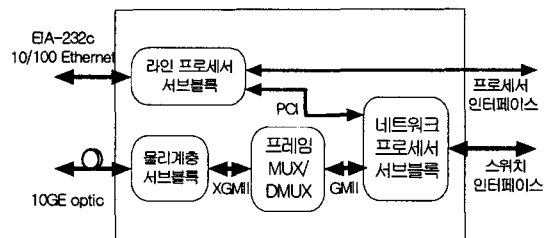


그림 4. FMDI를 적용한 10기가비트 이더넷 라인카드 블록도

### III. 10기가비트 이더넷 프레임 다중화/역다중화기 구조

10기가비트 이더넷 프레임 다중화/역다중화기(FMDI)는 10기가비트 이더넷 에지 스위치 시스템의 10기가비트 이더넷 라인카드 상에 위치하며 네트워크 프로세서 내의 기가비트 이더넷 MAC으로부터 입력되는 기가비트 이더넷 프레임을 10기가비트 이더넷 프레임으로 다중화 하여 물리층 서브블록으로 전달하는 다중화 기능과 물리층 서브블록으로부터 입력되는 10기가비트 이더넷 프레임을 기가비트 이더넷 프레임으로 변환하여 네트워크 프로세서 내의 기가비트 이더넷 MAC으로 전달하는 역다중화 기능을 수행한다. FMDI는 프레임 다중화부, 프레임 역다중화부, 프로세서 인터페이스부 및 루프백 기능부로 구성되어 있다. 프레임 다중화부 및 역다중화부에 대한 블록도를 (그림 5)와 (그림 6)에 나타냈다.

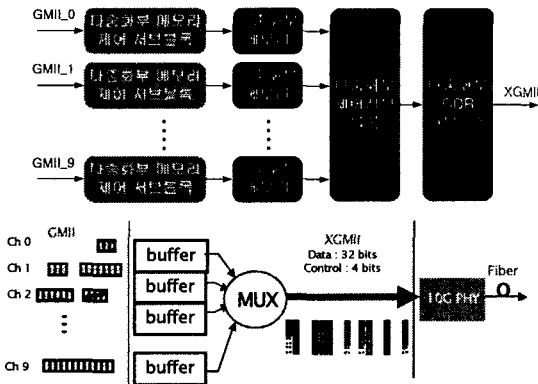


그림 5. 프레임 다중화부 기능 블록도

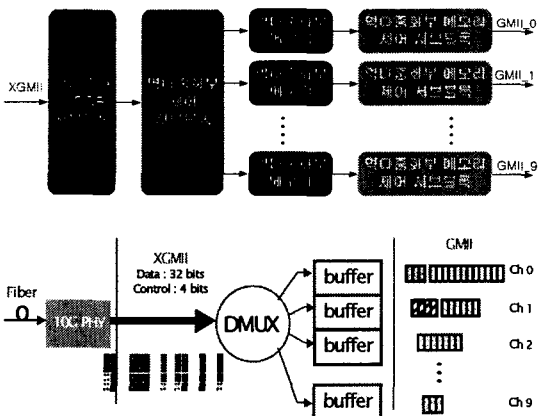


그림 6. 프레임 역다중화부 기능 블록도

(그림 5)에서 GMI를 통해 입력되는 10포트의 기가비트 이더넷 프레임은 각각 해당 다중화부 메모리 제어 서브블록과 다중화부 메모리를 통해 10기가비트 이더넷 프레임으로 변환되고 다중화부 제어 서브블록에서 다중화 된다. 다중화된 10기가비트 이더넷 프레임은 XGMII를 통해 물리계층으로 전달되도록 다중화부 DDR 서브블록을 거쳐 전송된다. 각각의 다중화부 메모리 제어 서브블록과 다중화부 제어 서브블록은 입력되고 출력되는 기가비트 이더넷 및 10기가비트 이더넷 프레임 수를 계수하여 프로세서 인터페이스를 통해 통계정보를 상위프로세서에 전달한다. (그림 6)에서 물리계층으로부터 입력된 10기가비트 이더넷 프레임은 역다중화부 DDR 서브블록에서 64비트 데이터 버스와 8비트 제어신호로 변환되고 역다중화 제어 서브블록에서 역다중화된다. 역다중화된 프레임 데이터는 역다중화부 메모리 서브블록과 역다중화부 메모리를 통해 기가비트 이더넷 프레임으로 변환되어 네트워크 프로세서의 10포트 기가비트 이더넷 MAC으로 전달된다. 각각의 역다중화부 제어 서브블록과 역다중화부 메모리 제어 서브블록은 입력되고 출력되는 모든 10기가비트 이더넷 프레임 및 기가비트 이더넷 프레임을 계수하여 프로세서 인터페이스를 통해 통계정보를 상위 프로세서에 전달한다.

### IV. 하드웨어 구현

앞 절에서 설명한 10기가비트 이더넷 프레임 다중화/역다중화기(FMDI)의 블록도를 (그림 7)에 나타내었다. 10개의 기가비트 이더넷 포트를 각각 독립적으로 처리하기 위해 동일구조의 다중화부 및 역다중화부 메모리와 제어서브블록이 병렬로 사용된다.

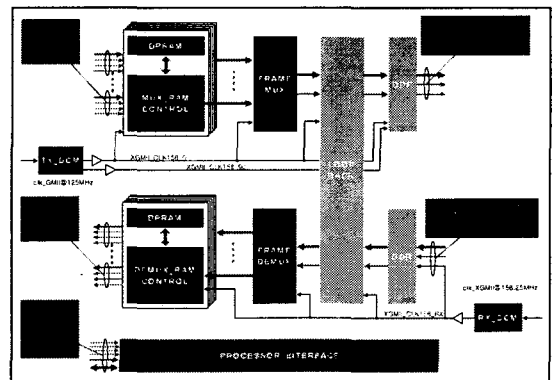


그림 7. FMDI 블록도

실제된 FMDI는 FPGA를 사용하여 구현하였으며 사용된 디바이스는 Xilinx사의 VERTEX II 계열로써, 내부 클럭은 GMII 및 XGMII에서 사용되는 125MHz, 156.25MHz 및 프로세서 인터페이스를 위한 33MHz를 사용한다. (그림 8)은 FMDI를 적용한 10기가비트 이더넷 라인카드와 기가비트 이더넷 및 10기가비트 이더넷 인터페이스를 지원하는 10기가비트 이더넷 에지 스위치 시스템(XGESS)을 나타낸다.

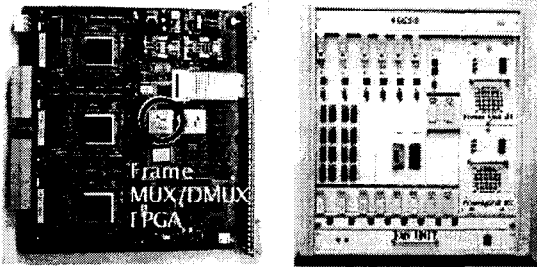


그림 8. FMDI를 적용한 10기가비트 이더넷 라인카드 및 10GE 에지 스위치 시스템

### V. 성능 시험

구현된 FMDI의 패킷전송시험을 위해 (그림 9)와같이 시험환경을 구성하였다. 시험환경 구성을 위해 기가비트 NIC(Network Interface Card)이 내장된 VOD 서버 및 클라이언트 1세트, XGESS 2세트, 기가비트 및 10기가비트 이더넷 패킷 생성기 등이 필요하다. 성능시험은 두 단계로 이루어졌으며 첫 번째는 XGESS 두 시스템 간 10G 광을 통한 양방향 패킷 전송시험이고 두 번째는 패킷생성기와 XGESS 사이의 10기가비트

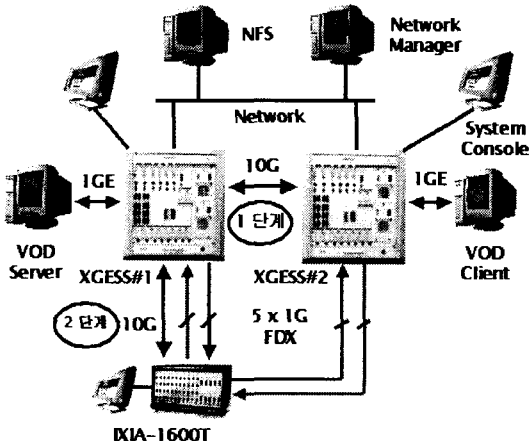


그림 9. 10GE 에지 시스템 시험환경 구성도

트 이더넷 패킷 전송시험으로 진행되었다. (그림 10)은 두 번째 성능시험에서 이더넷 프레임의 길이를 64Bytes에서 1,518Bytes로 증가시켜 가면서 측정된 수율을 그래프로 나타낸 것이다.

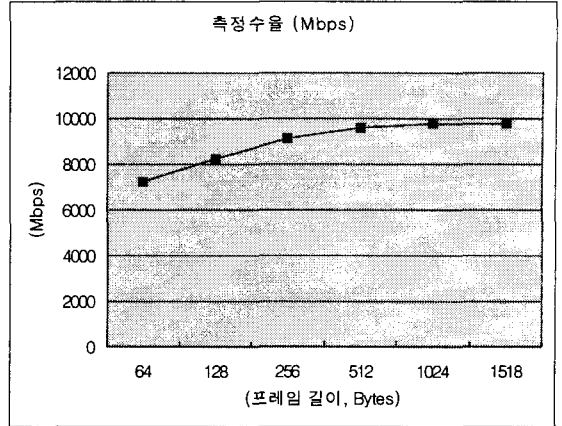


그림 10. 수율측정 결과

### VI. 결론

본 논문에서는 10기가비트급의 네트워크 프로세서를 사용하지 않고 FMDI와 기존의 기가비트급 네트워크 프로세서를 다중으로 사용함으로써 10기가비트 이더넷 인터페이스를 제공할 수 있는 방안을 제시하였고 이를 FPGA로 구현하였다. 또한 실제 10기가비트 에지 스위치 시스템에 FMDI를 사용한 10기가비트 이더넷 라인카드를 장착하여 패킷전송시험을 수행하고 정상동작함을 확인하였다. 따라서 본 연구는 10기가비트급 네트워크 프로세서가 일반화되지 않은 현 시점에서 10기가비트의 라인 인터페이스를 제공하는 여타분야에 응용 가능할 것으로 사료된다.

### 참고문헌

- [1] 윤중호 외, "네트워크 엔지니어를 위한 최신 이더넷", 교학사, 2002.10
- [2] IEEE Draft P802.3ae/D5.0 "Supplement to Carrier Sense Multiple Access with Collision Detection(CSMA/CD) Access Method & Physical Layer Spec. Media Access Control(MAC) Parameters, Physical Layer, and Management Parameters for 10Gb/s Operation", May. 2002.