

데이터의 고속 처리를 위한 네트워크 프로세서의 설계 및 구현

조 래 석*, 배 대 희*, 정 용 진*, 민 상 원*, 정 광 모**
광운대학교 전자통신공학과*, 전자부품연구원**
전화 : 02-940-5551 / 핸드폰 : 019-651-2418

Design and Implementation of a Network Processor for High-Speed Data Processing

Lae-seok Jo*, Dae-hee Bac*, Yong-jin Jeong*, Sang-won Min*, Kwang-mo Jeong**
Dept. of Electronics and Communications Engineering, Kwangwoon University*, KETI**
E-mail : cls@explore.kw.ac.kr

요 약

인터넷 사용자의 증가와 데이터 전송량이 폭발적으로 증가하면서, 네트워크에도 고속화 및 다기능화가 요구되고 있다. 또한, IPv4의 주소 부족 문제를 해결하기 위해 IPv6의 표준화가 진행 중인데, IPv4와 IPv6는 서로 다른 주소 체계를 사용하므로 상호 연동하기 위한 방안이 제공되어야 한다.

본 논문에서는 IPv4-IPv6 간 연동을 위한 메커니즘인 변환 방식과 터널링 방식에 모두 이용되고, 데이터의 고속 처리를 위해 프로토콜 듀얼 스택 중 3계층과 4계층을 하드웨어로 설계하였다. 특히, 3계층은 IP 기반의 고속 네트워크를 위해 듀얼 스택으로 구현함으로써 IPv4, IPv6 패킷을 단일 노드에서 처리할 수 있는 장점을 지닌다. 본 논문에서 제안한 네트워크 프로세서는 Verilog HDL을 이용하여 설계하였으며, 실제 네트워크 상의 패킷 정보를 볼 수 있는 Ethereal 프로그램을 이용하여 구현 테스트 벡터로 시뮬레이션 및 검증을 하였다.

넷상에서의 어플리케이션들의 등장과 함께 인터넷 트래픽은 매년 폭발적으로 증가하고 있다. 특히, 멀티 미디어의 발달과 어플리케이션들의 다양화, 고속화에 따라 2-3년 내에 데이터 트래픽이 전체 통신 네트워크 트래픽의 80% 이상을 차지하리라 예상하고 있다. 따라서 폭발적인 트래픽의 증가를 감당할 수 있으면서, 고도의 멀티미디어 응용서비스를 지원할 수 있는 고성능의 차세대 인터넷 인프라 구축을 필요로 하고 있다. 현재 사용되고 있는 IPv4 환경에서 차세대 인터넷 프로토콜인 IPv6의 환경으로의 동시 전환은 아직 불가능하기 때문에 IPv4에서 IPv6로의 효과적이고 점진적인 전이 방안이 필요하다[1,2].

본 논문에서는 IPv4-IPv6 간 연동을 위해 변환방식과 터널링 방식에 모두 쓰일 수 있는 차세대 듀얼 네트워크 프로세서를 제안하고 구현하였다. 특히, 홈 네트워킹과 빌딩 자동화에 사용되는 네트워크 프로세서 개발에 있어 데이터를 실시간으로 처리해 주기 위해 기존의 소프트웨어적으로 처리되던 프로토콜 스택을 하드웨어로 설계하였다.

1. 서 론

1990년대 이후로 전자결제 및 전자상거래 등 인터

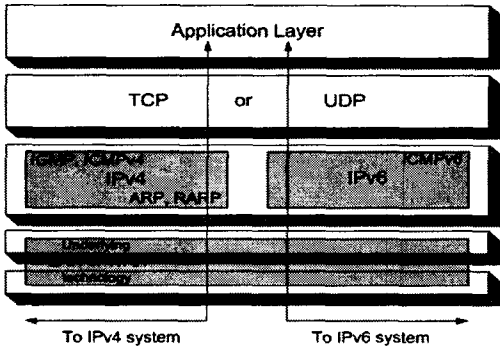
본연구는 광운대 IDEC 센터의 불 지원과 전자부품연구원(KETI)의 Electro-0580사업의 지원에 의해 이루어 졌습니다.

2. IPv4-IPv6 Preview

2.1. 듀얼 스택

인터넷의 모든 시스템들이 IPv6로 전환될 때까지

IPv4와 IPv6는 서로 구동하는 방안이 제공되어야 한다. 듀얼 스택은 두개의 다른 프로토콜을 병렬로 처리하며 각 End-Point에서 두개의 다른 프로토콜을 적용할 수 있다. 그림 1과 같이 End-Point에서 IPv4와 IPv6 어플리케이션들이 같은 노드에서 처리될 수 있으며 네트워크 디바이스에서 듀얼 스택은 IPv4와 IPv6 두 가지의 패킷 타입을 처리할 수 있다. 목적지로 패킷을 보낼 때 어떤 버전을 사용하는지 알기 위하여 발신지는 DNS (Domain Name Server)에게 목적지 버전의 정보를 요청한다. DNS가 IPv4 주소를 반환하면 IPv4 패킷으로 송신하고, IPv6 주소를 반환하면 IPv6 패킷을 송신한다.



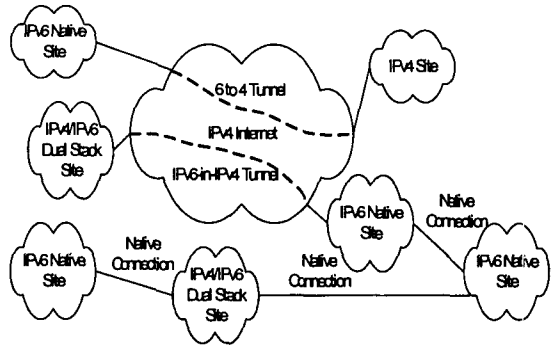
< 그림 1. 듀얼 스택 >

2.2 혼재된 망에서의 IPv4-IPv6

차세대 인터넷의 구조는 순수한 IPv6 노드만을 가지는 형태로 진화 될 것이다. 그러나 현재 거의 모든 노드에 IPv4 주소체계가 적용되고 있다는 것을 감안하면 급진적인 IPv6 네트워크로의 전환은 응용의 호환성, 비용 등의 여러 가지 문제가 발생할 수 있다. 그래서 각 인터넷 벤더나 표준화 기구들은 그림 2와 같이 IPv4와 IPv6가 혼재된 망의 구조를 가지는 과도기적인 시기를 거쳐 충격을 완화하려는 노력을 보이고 있다. 이 과도기적 시기에는 IPv6 네트워크에 있는 노드가 IPv4 인터넷 망을 거쳐 외부의 IPv4 서버와 통신을 할 수도 있으며, IPv4-IPv6 듀얼 스택 노드를 사용하는 네트워크에서 IPv4 인터넷을 거쳐 외부의 IPv6 서버와 통신을 하는 등 여러 가지 시나리오가 가능해진다.

이러한 시나리오를 만족하기 위해서 IPv6 전환 기술이 필요하다. IPv6 전환 기술 크게 IPv6-in-IPv4 터널링 기술, IPv4-IPv6 변환 기술, IPv4-IPv6 듀얼 스택 기술이 제안되고 있다. 본 논문에서는 IPv4-IPv6 듀얼 스택을 하드웨어로 구현한 네트워크 프로세서의

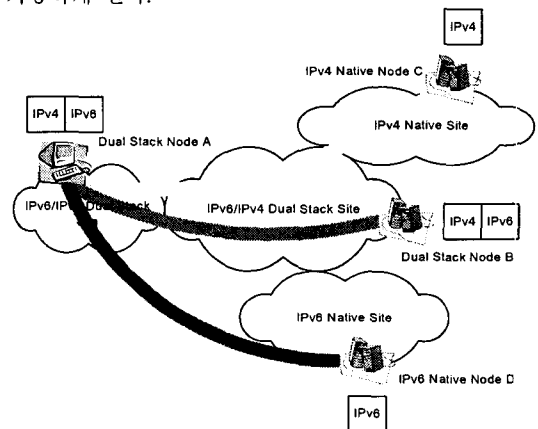
기능을 설계하는 것을 목적으로 한다[3,4].



<그림 2. IPv4와 IPv6가 혼재된 망 시나리오>

2.3 IPv4-IPv6 적용 시나리오

IPv4-IPv6 듀얼 스택을 네트워크에 채용하는 것은 IPv6 노드와 IPv4 노드 사이의 호환성을 가장 손쉽게 제공하는 방법이다. 그림 3은 IPv4-IPv6 듀얼스택을 채택한 경우의 네트워크 시나리오이다. IPv4-IPv6 듀얼 스택은 IPv4와 IPv6 패킷을 모두 주고 받을 수 있다. IPv4 패킷을 이용하여 IPv4 노드와 통신하고 IPv6 패킷을 이용하여 IPv6 노드와 통신이 가능해 지는 것이다. 듀얼 스택 노드 A는 듀얼 스택 노드 B와 IPv4, IPv6 어느 패킷으로도 가능하며 IPv4 노드 C와 통신하기 위해서는 IPv4 패킷을 사용하면 된다. 또한 IPv6 노드 D와 통신할 때는 IPv6 패킷을 생성하여 통신이 가능하게 된다.



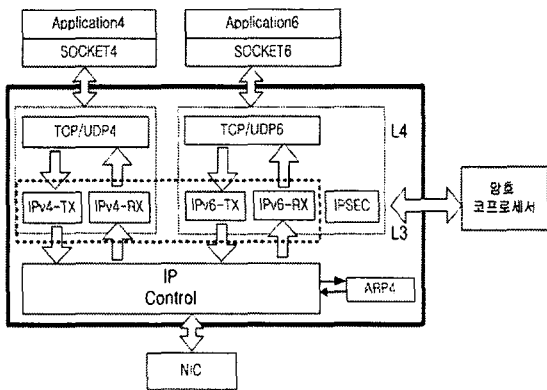
< 그림 3. IPv4-IPv6 듀얼 스택 적용 시나리오 >

그러나 단순히 IPv4-IPv6 듀얼 스택만을 채택하였을 경우에는 듀얼 스택 노드마다 글로벌한 IPv4 주소를 할당하여야 하며 또한 같은 동작을 수행하는 응용

을 IPv4, IPv6 두 가지 형태로 제공해야 하는 등 몇 가지 단점이 있을 수 있다. 그래서 IETF에서는 IPv4-IPv6 듀얼스택을 효과적으로 적용하기 위한 방안으로 DSTM (Dual Stack Tunneling Mechanism)을 제안하고 있다. DSTM은 IPv4 주소를 동적으로 관리하며 터널링 기법을 사용하여 효율적인 IPv6 전환 방안을 제공하고 있다.

3. 제안한 네트워크 프로세서 구조

제안한 네트워크 프로세서의 구조는 그림 4와 같이 IPv4와 IPv6를 같이 사용하는 듀얼 스택으로 IPv4와 IPv6간의 연동 메커니즘인 터널링 방식의 DSTM을 지원하는 구조를 가지고 있다. IP Control은 NIC의 데이터 중 IP 버전의 정보를 보고 상대측이 어떤 버전의 IP 주소체계를 사용하는지 알 수 있다. 즉 상대측에서 IPv4를 사용하면 (이때의 Version은 4의 값을 가진다) IP Control에서는 IPv6의 모듈을 디스에이블 시키고, IPv4의 모듈만 동작시켜 상대측과 통신한다. 반대로 상대측이 IPv6를 사용하면 IP Control은 IPv6 모듈만 동작시킨다. 또한, IPv6의 모듈은 기본헤더 및 암호 코 프로세서와 연동하기 위해 IPSEC 모듈을 지원하는 구조를 가지고 있다.

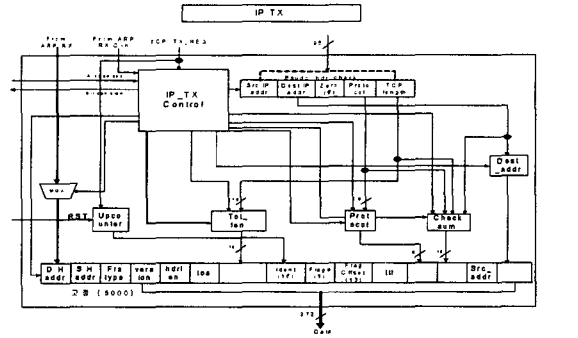


<그림 4. 제안한 네트워크 프로세서 구조>

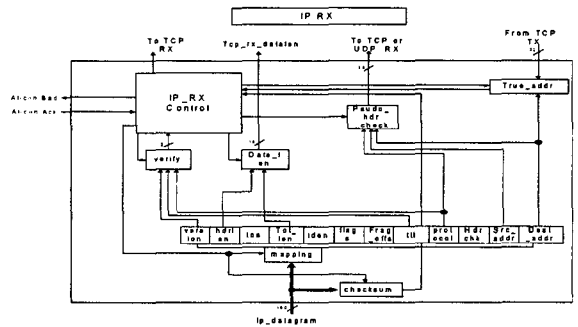
제안한 네트워크 프로세서는 기존의 소프트웨어적으로 처리되던 TCP/IP 프로토콜의 단점인 처리속도의 문제점을 보완하고 기존의 네트워크 프로토콜과의 호환성을 그대로 유지하도록 하였다.

IPv4 송신부는 그림 5의 (a)와 같이 4 계층에서 보낸 TCP Segment를 2 계층으로 연결하는 역할을 한다. 즉, UDP 또는 TCP에서 보내온 데이터에 IP 헤더

를 덧붙여 목적지 주소로 송신한다. IPv4 수신부는 그림 5의 (b)와 같이 상대가 보내온 IP datagram의 헤더 정보를 가지고 그 정보에 맞게 처리를 해 줌으로써 데이터를 4 계층에 전달하게 되고, 잘못된 datagram일 때는 제거하고 다음 datagram을 수신하게 된다.



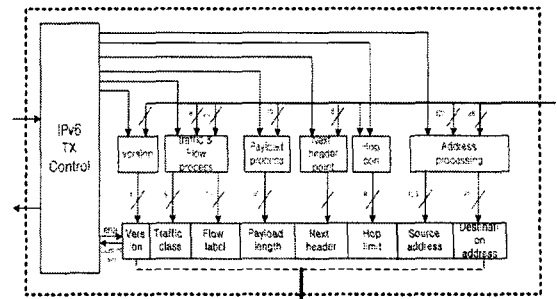
(a) IPv4 송신부



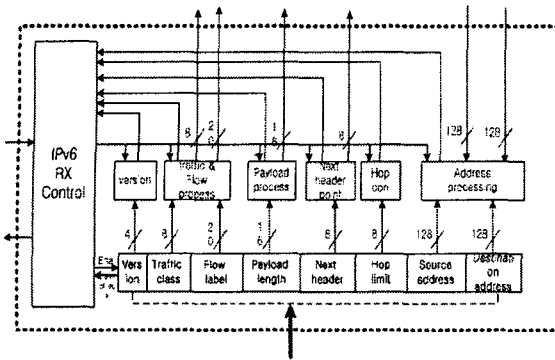
(b) IPv4 수신부

< 그림 5. IPv4 송, 수신부 세부 구조 >

그림 6은 IPv6의 송신부와 수신부로서 각 서버 모듈은 기본헤더의 내용을 담고 있다. 예로 Version 모듈은 IP의 버전을 나타내므로 6의 값을 가지게 되고, 이드레스 프로세싱 모듈은 목적지 주소와 발신지 주소에 대해 비교를 하여 올바른 어드레싱을 해주는



(a) IPv6 송신부



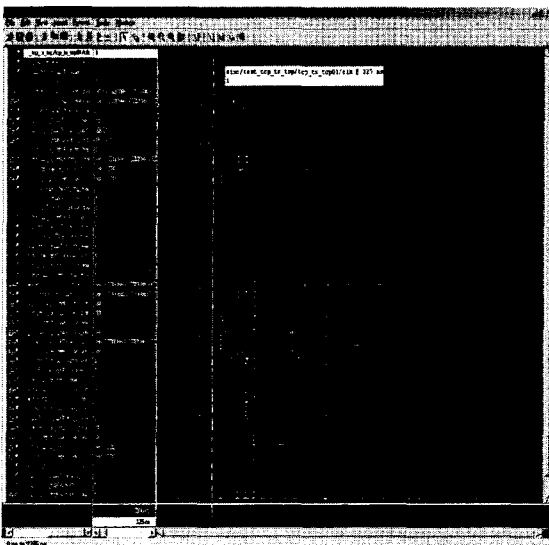
(b) IPv6 수신부

<그림 6. IPv6 송수신부 세부 구조 >

모듈이다. 특히, 트래픽 모듈은 IPv6 트래픽의 등급을 명시해 주는데 IPv4의 TOS(Type of Service)와 같은 기능을 수행한다.

4. 테스트 결과

본 논문에서 제안한 네트워크 프로세서는 모델 테크놀로지사(Modeltech)의 모델심(Modelsim) 툴을 사용하여 시뮬레이션을 하였다. 그림 7은 앞 절에서 소개한 네트워크 프로세서 전체 구조에서 IPv4를 통한 TCP Segment 내용을 나타낸 것으로 TCP의 호 설정부터 호 해제하는 부분까지 전체 검증을 완료하였다.



< 그림 7. TCP/IPv4 Module의 시뮬레이션 결과 >

그리고 IPv6는 기본 헤더의 패킷 정보와 동작 여부를 검증하였다. 테스트 벡터는 네트워크 상에서 패킷을 Proving 할 수 있는 Ethereal 프로그램을 이용하여 구하였다.

5. 결론

본 논문에서는 네트워크 데이터의 고속 처리 및 다기능을 위한 네트워크 프로세서를 구현하였다. 제안한 차세대 네트워크 프로세서는 Verilog HDL로 설계하였으며, 네트워크 소프트웨어 응용 프로그램과 연동 테스트 하였다. 특히 IPv4-IPv6 간의 연동을 위한 메커니즘인 터널링 방식 중 특히 DSTM의 End-Point에 적용되고, 데이터의 고속처리를 위해 3 계층과 4 계층을 처리하는 듀얼 스택을 하드웨어로 설계하였다. 설계한 차세대 네트워크 프로세서는 ARM922T를 내장한 Altera사의 Excalibur 칩을 이용한 SoC(System on Chip) 환경에서 검증하였다.

참고 문헌

- [1] J. Bentham, *TCP/IP LEAN-Web Servers for Embedded Systems*, CMP Books, 2002.
- [2] B. Forouzan *TCP/IP Protocol Suite*, McGRAW-HILL, 2003.
- [3] W. Richard Stevens, *TCP/IP Illustrated - The Protocol*, Vol.1, Addison Wesley, 1994.
- [4] W. Richard Stevens, *TCP/IP Illustrated - The Protocol*, Vol.2, Addison Wesley, 1994.
- [5] S. Deering and R. Hinden, "Internet Protocol, Version 6(IPv6) Specification", RFC 2460, December. 1998.
- [6] D. Waddington and F. Chang, "Realizing the Transition to IPv6," *IEEE Communications Magazine*, Vol.40, pp138~147, 2002.
- [7] C. Barakat, "TCP/IP Modeling and Validation," *IEEE Trans, Network*, Vol.15, pp38~47, 2001.