

MRAM 단위 cell의 word와 bit line의 전송효율 해석

(Modeling of MRAM cell and analysis of transmission efficiency for word and bit line)

승실대학교 전자공학과
박승영*, 최연봉, 조순철

1.서론

하루가 다르게 변화하고 있는 정보통신 사회는 수많은 컴퓨터 응용제품들을 생산하고 있다. 이것들은 인류의 생활에 깊숙이 자리잡고 있어 보다 빠르고 편안하게 정보를 검색할 수 있게 한다. 이러한 시스템들은 그 중심에서 연산기능을 담당하는 연산기의 성능뿐만 아니라 그 주변의 정보 저장 소자 역시 그에 상응하는 동작속도를 가져야 한다[1]. 본 연구에서는 MRAM(magnetic random access memory)이 100 MHz 이상의 높은 주파수에서 동작할 때 쓰기 신호와 읽기 신호가 얼마나 효율적으로 전달되는지 예상하였다. 이를 위해 쓰기와 읽기에 필요한 도선이 있는 시편을 모델링하였다. 쓰기에 사용되는 도선들은 각각을 전송선(transmission line)으로 취급하여 해석하였다. 이러한 해석을 통해 S-parameter들을 구하여 현재 많이 개발되고 있는 형태의 MRAM 시편의 읽기와 쓰기 효율을 주파수에 따라 예측할 수 있었다. 또한 특정 구형파의 주파수 성분과 비교하여 시간 영역에서 접근시간을 예측하였다.

2.실험방법

Fig. 1은 본 연구에서 설정한 MRAM cell의 모델이다. 정보를 저장하는 MTJ(magnetic tunnel junction)는 면적이 $1 \mu\text{m} \times 1 \mu\text{m}$ 이고 이를 중심으로 아래쪽에 읽기를 위한 bottom sense line이 MTJ와 전기적으로 연결되어 있다. 그 아래에는 쓰기를 위한 word line이 MTJ와 전기적으로 floating 되어 있으며, 전체 구조의 상단에는 쓰기와 읽기에 모두 사용되는 top bit line이 MTJ와 전기적으로 연결되어 위치한다. 도선의 너비는 $1 \mu\text{m}$ 로 설정하고 두께를 변화시켜 전송효율을 계산하였다. 이러한 시편을 3차원으로 모델링하여 유한요소법을 사용하는 연산프로그램을 사용하였다. 그리고 연산프로그램의 특성상 자기저항을 고려할 수 없다. 따라서 MTJ를 통과하는 sense line 시뮬레이션은 Fig. 2와 같은 전기 소자 모델링을 병용하여 실시하였다. 이때 자기저항은 최대 또는 최소로 설정하였다. 그리고 도선의 impedance는 3차원 모델을 이용하여 계산되었고, 수동소자들의 값은 잘 알려진 도표와 식 [2]을 사용하여 계산된 것이다. 이러한 해석법을 통해 S-parameter를 구하여 전송효율과 감쇄특성을 고찰하였다.

3.실험결과 및 고찰

Fig. 3은 쓰기와 읽기 동작을 위한 top bit line의 s-parameter 결과이고, Fig. 4는 쓰기 동작을 위한 word line의 s-parameter 결과이다. Top bit line과 word line은 전극을 포함한 도선의 전체 길이가 각각 $600 \mu\text{m}$, $1000 \mu\text{m}$ 이고, 너비가 $1 \mu\text{m}$ 일 때 두께가 얇을수록 전송효율이 감소하는 계산 결과를 얻었다. 또한 길이가 짧을수록 전송효율 측면에서 보다 나은 결과를 얻을 수 있었다. Fig. 5는 읽기 동작을 가정하여 전류가 MTJ를 통과할 때 지나가게 되는 경로들을 전기소자들을 이용하여 모델링하였던 Fig. 2의 계산 결과이다. Top bit line과 word line의 결과에 비해 특정 주파수 이상에서 전송효율이 매우 감소하는 것을 관찰할 수 있다. 그러나 Fig. 1과 달리 top bit line과 word line이 서로 직교한다고 가정하고 전기소자 모델을 수정하면 전송효율이 매우 향상된 결과를 얻을 수 있었다. 따라서 이것은 top bit line과 bottom sense line이 서로 평행하게 연결되어 있어 두 도선 사이의 정전용량에 의한 것이라고 이야기할 수 있다.

4. 결론

본 연구에서는 MRAM의 모델을 설정하고 읽기와 쓰기를 위한 도선의 전송효율을 예측하기 위하여 유한요소법을 이용한 계산을 수행하였다. 읽기 동작을 위한 word line과 top bit line의 계산 결과는 길이가 짧을수록 그리고 두께가 두꺼울수록 좋은 결과를 얻을 수 있었다. 쓰기 동작을 위한 sense line과 전류가 흐르는 회로에 대한 계산 결과는 top bit line과 bottom sense line의 배치 구조에 따라 다른 특성을 보였다. 두 도선이 서로 평행할 경우 도선간에 생성되는 정전 용량에 의해 273 MHz에서 전송효율이 1 dB 감소하기 시작하여 이후 급격히 감소됨을 볼 수 있다. 그러나 두 도선을 직교하게 배치할 경우 1 GHz 이하의 동작 주파수에서는 감쇄가 매우 적었다. 따라서 나란하게 지나가는 도선을 최소화하는 것이 고속동작에 유리하다.

5. 참고문헌

- [1] Brad N. Engel et al., IEEE Trans. Nanotechnology, 1(1), 32(2002).
- [2] J. M. Rabaey, Digital integrated circuits, A design perspective, Prentice Hall, New Jersey, (1996), p. 471-493.

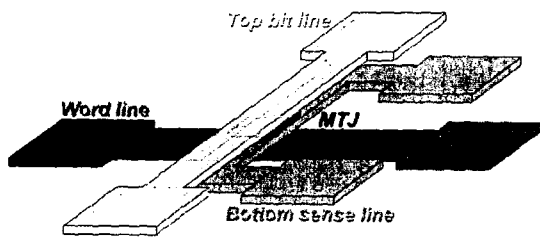


Fig. 1. MRAM model

Line width: 1 μm , Cell size: 1 $\mu\text{m} \times 1 \mu\text{m}$

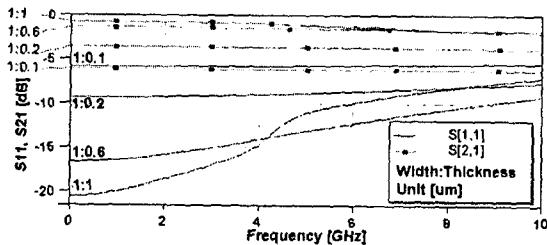


Fig. 3. S11 and S21 of top bit line

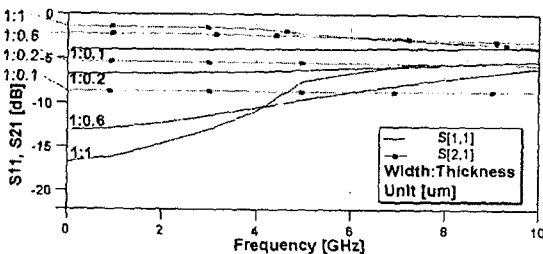


Fig. 4. S11 and S21 of word line

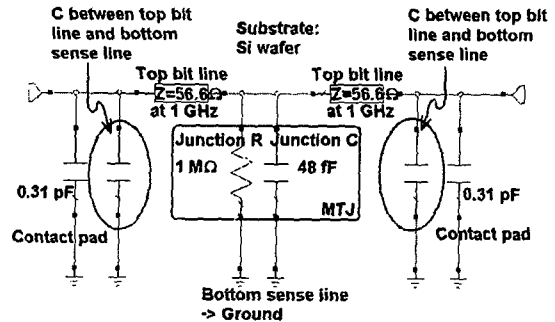


Fig. 2. Lumped element model

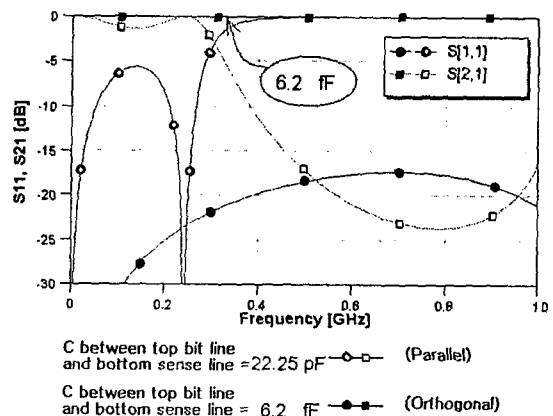


Fig. 5. S11 and S21 of sense current path