

Gate-voltage controlled Rashba effect in semiconductor

고려대학교
한국과학기술연구원
인하대학교

홍진기*, 이진서, 주성중, 이공원
안세영, 이제형, 김진상, 신경호
이병찬

최근 세계적 주목을 받고 있는 spin FET[1] 소자는 반도체에 주입된 spin 편향된 전자가 gate voltage(V_G)에 의해 반도체 계면에 유도된 전기장의 영향을 받아, spin 세차운동을 하는 mechanism(Rashba 효과)이 근간을 이루고 있다. 작은 band gap을 가지는 반도체(narrow gap 반도체)는 작은 유효질량의 전자에 의해서 이러한 Rashba 효과[2]를 크게 할 수 있어서, spin FET 구현을 위한 강력한 후보이며, 요즘 한창 연구되고 있는 주제이기도 하다[3]. Rashba 효과가 저자기장 영역에서의 weak antilocalization 효과로 나타남을 이용하여[4], 본 논문에서는 metal gate가 형성된 HgCdTe FET를 제작하여(FET1 시료, Fig. 1(a)참조), V_G 에 따른 weak localization(WL) 및 weak antilocalization(WAL) 효과를 얻었다. 또한, Rashba 효과에 의한 spin 세차운동을 측정할 수 있는 소자(FET3 시료, Fig.1(b) 참조)를 제작하여 spin FET 구조에 대하여 연구하였다.

실험에 사용된 HgCdTe는 MOCVD로 성장되었고, 모든 측정은 2K에서 수행하였으며, HgCdTe 표면에 형성된 n-channel(Fig1(a))의 전자농도가 V_G (-2.5 ~ 2.5 V)에 따라 3배 정도 변화였고, 이로부터 제작된 FET 성능을 확인할 수 있었다. Fig. 2(a)는 FET1시료에 대한 V_G 에 따른 magnetoresistance(MR) 측정 결과이다. V_G 가 양에서 음으로 변함에 따라 negative MR에서 positive MR로 변함을 알 수 있다. 즉, V_G 에 따라 WL에서 AWL로 전도 mechanism이 바뀔 수 있다. 이는 자기장이 없을 때, V_G 에 따른 저항의 변화로 다시 한 번 확인할 수 있는데, V_G 가 음의 값일 때(Fig2.(b)의 A영역), 전도 전자의 농도가 작아짐에도 불구하고 저항이 감소하여 AWL이 주된 전도 mechanism임을 확인할 수 있었다. 한편, WL이나 AWL이 작용하지 못하는 고자기장 영역에서는(Fig2.(b)의 inset) 전자 농도에 의한 전형적인 저항 곡선을 얻어, 자기장이 없을 때와 반대의 경향을 보인다. 온도에 따른 저항의 변화(FET3 시료, Fig2(c))도, 저온 영역에서 온도가 증가함에 따라 저항이 감소하는 WL 특성을 확인할 수 있었다. 이러한 결과로부터 본 연구에서 제작된 FET는 V_G 에 의해 Rashba 효과가 조절가능한 소자임을 알았고, Datta에 의해 제안된[1] spin 세차운동에 의한 spin-FET를 구현할 수 있는 소자임을 알 수 있었다.

FET3는 FET1과 동일한 과정으로 제작되었고, 단지 metal gate의 폭($5\mu\text{m}$)을 작게하여 V_G 에 의해 국소적으로 형성 영역만이 Rashba 효과를 받을 수 있게 제작되었다. 즉, spin 편향된 전자가 이 영역에 입사되면 V_G 에 의해 조절되는 세차운동을 하게 되고, 세차운동 후의 spin의 방향에 따라 spin의 전도가 변한다.(Fig.1 (b)). 이러한 세차운동은 V_G 의 변화에 대해 저항의 진동을 일으킬 것이다. 한편, V_G 영향권 밖의 영역에서는 built-in potential이 있을 경우, Rashba효과에 의한 spin 정렬과, 강한 외부 자기장이 인가될 경우, Zeeman splitting에 의한 spin정렬[5]이 이루어 질 수 있다. Fig. 3은 FET3의 V_G 에 따른 저항 측정 결과이다. 예상된 저항의 진동을 관측할 수 있었고, 이는 spin 세차운동에 의한 것으로 사료된다.

※참고문헌

- [1] S. Datta and B. Das, Appl. Phys. Lett. **56**, 665 (1990)
- [2] Y. A. Bychokov and E. I. Rashbar, J. Phys. C **17**, 6039(1984)
- [3] Ikai Lo, et al., Phys. Rev B. **65**, 161306 (2002) and refs. therein
- [4] T. Koga, et al, Phys. Rev. Lett. **89**, 046801(2002), J. B. Miller, et al. Phys. Rev. Lett., **90**, 076807(2003)
- [5] M. H. Weiler, in *Semiconductors and semimetals*, edited by R. K. Willardson and A. C. Beer (Academic Press, New York, 1981), Vol. 16, p.119.

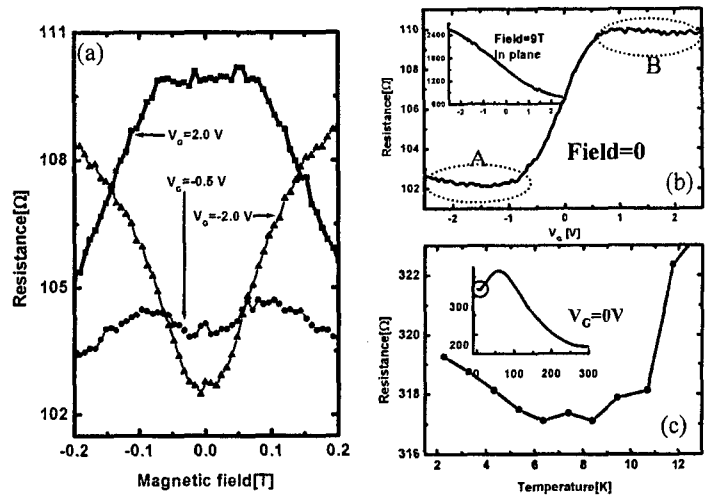
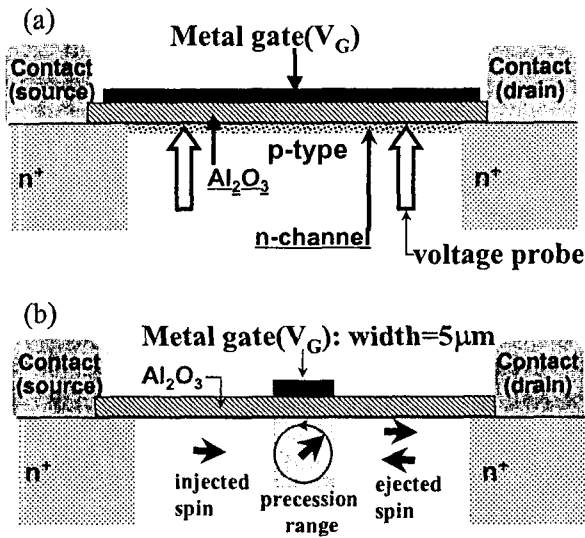


Fig.1 Schematic diagram for FET1(a) and FET3(b)

Fig2. Resistance versus magnetic field(a), gate voltage(b) and temperature(c)

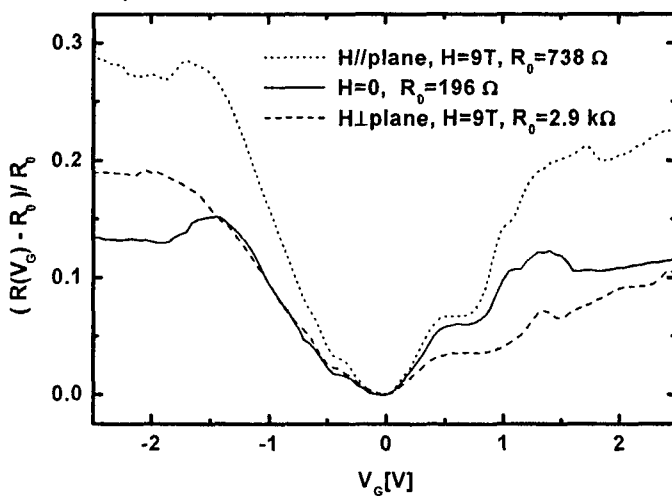


Fig3. Resistance versus gate voltage for FET3