

0.25 D/R Logic Process를 적용한 0.05um²급 MTJ Cell Integration

Memory Research & Development Division, Hynix Semiconductor Inc.

I. W. Jang*, K. N. Lee, S. K. Hong, Y. J. Park

1. 서론

대다수의 반도체 생산 전문 업체들은 현재 널리 상용화 되고 있는 DRAM, SRAM, Flash의 단점을 극복하기 위한 low cost, high-density, high-speed, low power의 성능을 가진 차세대 메모리에 대한 개발에 박차를 가하고 있다. 이러한 추세에 가장 근접한 FeRAM, MRAM, PRAM이 차세대 메모리로서의 역할을 할 것으로 예상되며, 이중 MRAM은 자기 물질에 대한 폭넓은 연구 결과 및 하드 디스크와 같은 자기제어 기술 등의 발달로 인해 응용 가능성이 한층 높아진 상태이다. 또한 MRAM은 최근 실온에서 약 40% 이상의 높은 자기저항(magnetoresistance, MR)을 나타내는 자기 터널 접합(magnetic tunnel junction, MTJ)이 보고되면서 비휘발성 자기메모리로서의 응용을 눈앞에 두고 있다. [1]

따라서, 이런 높은 자기저항을 갖는 MTJ를 적용한 cell integration의 중요 고려 사항은 선택되어진 트랜지스터와 트랜지스터에 달린 MTJ와의 저항 배분의 조절과 공정중 발생 가능한 MTJ 열화 방지에 있다.

2. 실험방법

0.05um² 급 MTJ Full Integration Array 제작을 위해, 0.25 D/R (Design Rule) New Mask의 제작 및 적용으로 FEOL (Front End of Layer)의 가장 중요한 공정 Issue 즉, Transistor의 저항을 수k-ohm으로 확보키 위해 Logic Process (Salicide Active Region & Contact)를 적용한 트랜지스터를 형성하였고, BEOL(Back End of Layer)은 Scale Down된 MTJ 접합 사이즈 0.22um x 0.22um (~0.048um²)의 Process Define이 가능토록 하지절연층, IMD(Inter Layer Dielectric Layer)에 대한 CMP Planarization을 실시 적용하였다. 특히, Metal Plug는 Contact저항을 낮추기 위해 Tungsten Plug를 사용하였다.

또한, 각 셀에 대한 프로그램을 위하여 DL(digit line)과 BL(Bit line)는 Tungsten과 Al를 적용 하여 Full Integration를 하였다. 특히, 공정중 발생 가능한 MTJ의 열화에 대응하고자 MTJ 증착이후의 공정 진행은 low temp.(<200℃)으로 진행하였으며, Pinning층으로는 열적 안정성이 뛰어난 PtMn을 사용하였고, Pinned 층은 SAF 구조를 적용하였다. 자장 열처리하는 full 공정이 완료된 후에 진행하였다.

3. 실험결과 및 고찰

트랜지스터와 MTJ 저항 배분에 따른 sensing margin을 예측한 시뮬레이션을 토대로 MTJ 사이트층에 들어가는 초기 알루미늄의 두께를 10Å으로 고정하여 MTJ를 증착하였다. 아래 그림 1은 0.25 Tech.적용 0.05um² MTJ가 Define된 Full Integration Cell의 TEM 이미지 및 MTJ Junction 부위의 HR-TEM 이미지 관측 결과이다. Al-O 10Å 적용된 중간 알루미늄층의 경우 계면을 따라 편향이 없이 균일하게 잘 형성이 되어진 것을 확인 할 수 있다. 그림 2의 경우, 8 inch wafer적용 0.05um² MTJ Junction Define된 Unit Test Cell의 자

성특성을 확인한 결과 MR~7%, External Coercivity Field ~ 400e의 결과를 확보하였다. 단, 향후 High Density MRAM 확보 및 Application적용을 위해 보다 안정된 자성 특성, 즉, High MR Ratio(>40% MR) 및 Low H_{c_free} 특성 확보가 요구되는데 이를 위해 MTJ Etching 공정 기술 확보 및 안정된 자성박막 증착 기술 확보가 필수적이다.

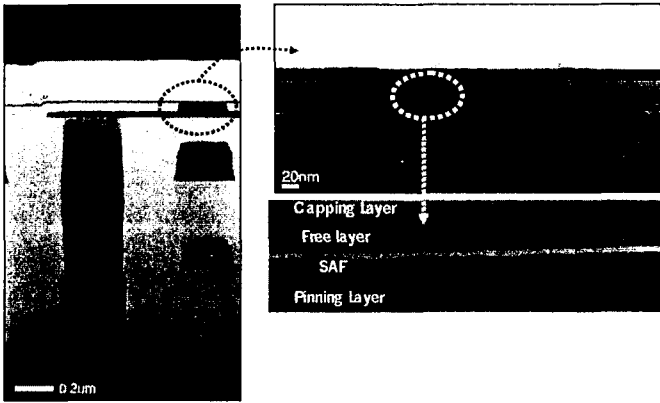


그림 1. 0.05um²급 MTJ Cell Integration

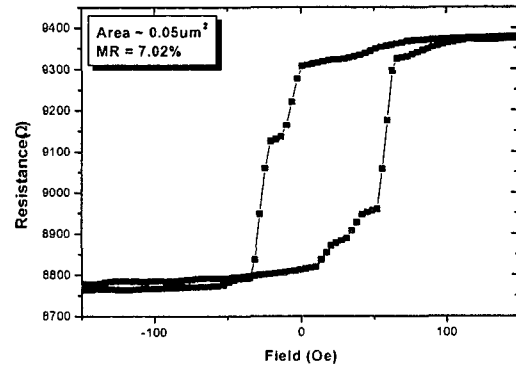


그림 2. R-H Curve

4. 결론

0.25 D/R Logic Process를 적용하여 트랜지스터 및 그 외 기생 저항을 낮추고 MTJ 사이트층에 들어가는 초기 알루미늄의 두께를 조절하여 0.05um²급 MTJ Cell Integration을 8인치 웨이퍼 Full 공정 진행으로 하였으며, 0.05um² 급 MTJ 사이즈에 대한 자기적인 특성을 확보 할 수 있었다.

5. 참고문헌

[1] S.S.P. Parkin, K.P. Roche, M.G. Samant, P.M. Rice, R.B. Beyers, R.E. Scheuerlein, E.J. O'Sullivan, S.L. Brown, J. Bucchigano, D.W. Abraham, Yu Lu, M. Rooks, P.L. Trouilloud, R.A. Wanner, and W.J. Gallagher, J. Appl. Phys. 85, 5828 (1999)