

Ion shower doping 후 FA(furnace annealing)에 따르는 dopant activation 과 damage recovery에 관한 연구

홍익대학교 박종현, 김동민, 노재상

(1) 서론

유리 기판 위에 저온 Poly-Si TFT의 MOS 소자를 제조하기 위한 핵심 단위 공정은 (1)결정화 공정, (2)Gate Oxide 형성 공정, (3)Gate Electrode 형성 공정, 그리고 (4)Source/Drain 형성 공정 등이 있다. Source/Drain 형성을 위하여 이온 주입 및 열처리가 반드시 수반되는데 이는 (1)도펀트의 활성화 및 (2)이온 주입에 의해 야기된 다결정 실리콘 내의 격자 결함을 회복하는 역할을 한다. 이 두 가지 요소를 동시에 만족시키기 위하여 (1)이온 주입 방법 및 조건 그리고 (2)열처리 방법 및 조건을 최적화 하여야 한다. 특히 CMOS의 일부를 이루는 NMOS의 경우 n-type 도펀트인 P의 큰 질량으로 인해 야기된 많은 양의 격자 결함을 적절한 이온 주입 조건 및 열처리 조건으로 제어하지 못한다면 TFT 소자의 신뢰성을 기대하기 힘들다. 그러므로 이온 주입 방법 및 조건에 의해 변화되는 as-implanted 상태의 물성에 관한 정확한 정보를 얻기 위한 체계적인 연구가 필요하다. 또한 도펀트의 활성화를 극대화하고 동시에 결함을 최소화하는 저온 열처리 공정 방법 및 조건을 개발하여야 한다.

(2) 실험 방법

본 실험에 사용되어진 모재는 Corning-Glass 위에 SiO₂ 3000Å을, PECVD로 a-Si을 500Å로 각각 증착한 후 Excimer Laser를 통해 결정화시킨 Laser-Poly-Si 이다. 결정화된 Poly-Si위에 ISD(ion shower doping) 공정을 통하여 PH₃/H₂를 가속 전압과 도핑 시간을 변화시키면서 P를 도핑하였다. 다양한 조건(가속 전압 및 도핑 시간)에서 도핑 후 diffusion furnace를 사용하여 열처리 온도와 시간을 변화하면서 열처리하였다. 도핑 및 열처리 후 dopant activation에 관한 전기적 특성은 4-point-probe를 사용하여 측정하였으며, 결함 생성 및 회복의 정도는 UV-Transmittance를 사용하여 측정하였다.

(3) 결론

면저항은 가속 전압 및 열처리 온도가 증가함에 따라 감소함을 보였으나, 가속 전압 10kV 이상에서는 550°C와 600°C 열처리 시 오히려 면저항 값이 증가하였다. 이는 결함의 회복과 관련된 것으로 추정되며 UV-Transmittance를 사용하여 나온 그래프를 파장에 미분하여 파장 400nm 근처에서 최고점을 측정하여 상대적인 crystallinity를 비교하였다. 도핑 되기 전의 Poly-Si의 crystallinity가 0.8 정도이며, a-Si은 0.15정도이다. 도핑을 하면서 육안으로도 확인이 가능하게 Poly-Si의 색이 점점 더 a-Si처럼 짙어지며, crystallinity도 가속 전압에 따라 떨어졌다. 열처리 온도 650°C에서는 가속 전압에 따라 차이는 있지만 crystallinity가 80%이상 회복된 것을 확인할 수 있었다. 열처리 온도가 600°C이하에서는 가속 전압 10kV까지는 어느 정도 회복되었지만, 15kV 이상에서는 충분히 결함이 회복되지 않은 것을 관찰할 수 있었다. FA 열처리를 통해 원하는 면저항 값을 얻었더라도 damage recovery의 관점에서는 더 높은 온도와 시간이 필요하다는 것을 관찰하였다.