

## 고에너지 이온주입에 의한 Retrograde Triple well 형성에 관한 연구

홍익대학교 김은석, 김동민, 노재상

### (1) 서론

차세대 CMOS Logic 소자 및 DRAM 소자제조에 Multiple high energy implantation을 사용함으로써 hot carrier 조절, punchthrough, latchup 및 soft error 등 소자의 전기적 특성을 개선시킬 수 있다. 나아가 단일 chip위에 적어도 3가지 이상의 Well을 형성하는 retrograde triple well은 I/O bounce개선과 같이 향상된 절연성을 제공할 뿐만 아니라 on-chip voltage multiplication을 구현할 수도 있다. 이러한 다양한 장점에도 불구하고 retrograde triple well을 실제 공정에 적용하기에는 well 사이의 상관관계에 의한 몇 가지 문제점이 내포되어 있다.

### (2) 실험방법

Ultra shallow p<sup>+</sup>/n junction을 형성하기 위해 이온주입은 Eaton사의 ULE2를 사용하였다. 시편은 Czochralski 법으로 성장시킨 n-type 8 inch silicon wafer를 사용하였으며 이온 주입전 H<sub>2</sub>SO<sub>4</sub> 와 H<sub>2</sub>O<sub>2</sub> 의 1:4 혼합 용액에서 10분간 cleaning한 후 1~5keV B<sup>+</sup> 와 20, 30keV BF<sub>2</sub><sup>+</sup>, 1.5×10<sup>15</sup>/cm<sup>2</sup>~3×10<sup>15</sup>/cm<sup>2</sup>의 조건으로 수행하였다.

### (3) 실험결과

Ultra shallow junction을 형성하기 위해서는 얇은 접합과 동시에 높은 activation이 요구된다. 이온 주입된 모든 B 이온이 Si 기판내에서 전기적으로 활성화되어 전기전도도에 기여할 수 있게 되는 것이 아니라, B 이온이 기판내의 Si의 위치에 놓이게 되어야만 활성화되어 dopant로서의 역할을 수행할 수 있게된다.

### (4) 참고문헌

1. K Tsukamoto, S. Komori, T. Kuroi, and Y. Akasaka, Nucl. Instr. and Meth, **B59/60**, 584 (1991)
2. J. Mitani, K. Itabashi, M. Nagase et. al., International Conference on Solid State Devices and Materials, Osaka, 216 (1995)