

Source/drain 형성 시 초 저에너지로 B 이온 주입된 실리콘의 열처리온도 및 시간에 따르는 activation-deactivation 현상

홍익대학교 김은석, 김대섭, 노재상

(1) 서론

반도체 소자의 집적도가 급격히 증가함에 따라 트랜지스터의 채널 길이로 대변되는 MOS 소자의 design rule은 deep submicron 단위로 감소하고 있으며, punch through 등의 short channel effect를 방지하기 위해서 이에 상응하는 ultra shallow junction 형성 기술이 필수적으로 해결해야 할 당면 과제로 부각되고 있는 실정이다. 최근 deep submicron 소자를 위한 ultra shallow junction 형성시 종래의 design rule에서는 큰 문제가 되지 않았던 열처리시 초기에 dopant가 급격히 확산하는 TED(transient enhanced diffusion) 현상과 접합 깊이가 줄어들어 따라 면저항 값의 증가가 중요한 문제로 대두되어 지고 있다. 본 연구에서는 초 저에너지 이온주입기(Ultra Low Energy Ion Implanter)를 사용하여 고조사량의 B을 이온 주입하여 ultra shallow p⁺/n junction을 형성하였다.

(2) 실험방법

Czochralski법으로 성장시킨 n-type (100) Si wafer에 1~5KeV B⁺, 1.5~3×10¹⁵/cm² 와 20~30keV BF₂⁺, 1.5~3×10¹⁵/cm²의 조건으로 이온 주입하고 RTA 1000℃, 10초 열처리를 통해 p⁺/n 초 저접합을 형성하였다. 후속 열처리 공정으로 RTA 열처리한 시편들을 700~900℃에서 furnace 열처리를 하였다. 4-point probe, Hall measurement, SRP를 이용하여 전기적 특성을 각각 측정하였고, 열처리 전후의 B의 농도 분포는 SIMS를 사용하여 관찰하였다. 또한, Secco etching 후 SEM(Scanning Electron Microscopy)을 통해 결합 관찰을 하였다.

(3) 실험결과

3, 5keV B⁺, 3×10¹⁵/cm²와 20keV BF₂⁺, 3×10¹⁵/cm² 이온 주입된 시편들을 RTA 1000℃, 10초 열처리를 통해 p⁺/n 초 저접합을 형성한 후 700~900℃ 후속 furnace annealing시 시간에 따르는 면저항의 변화가 Fig. 4에 나타나있다. Fig. 4에서 보듯이 700℃ 후속 furnace 열처리시에는 면저항값의 변화가 거의 없으나, 750℃부터 면저항값이 증가하여 850℃에서 최대치를 보이며 그 이상의 온도에서는 다시 감소하는 거동을 관찰하였다.

(4) 참고문헌

1. A.E. Michel, W. Rausch, P.A. Rousheim, and R.H. kast, Appl.Phys.Lett. **50**, 46(1987)
2. D.J. Eaglesham, P.A. Stolk, H.-J. Gossmann, and J.M. Poate, Appl. Phys. Lett. **65**, 2305 91994)
3. Juri Kato, J. Electrochem. Soc. **141**, 3158 (1994)