

능동클램프회로를 갖는 병렬공진 인버터 링크형 DC-DC 컨버터

(A Parallel Resonant inverter linked type DC-DC Converter with active-clamp circuits)

오경섭^{0*} · 남승식⁰ · 김동희⁰⁰ · 김희대[#] · 선우영호[#]

(Kyeong-Seob Oh^{0*} · Seung-Sik Nam⁰ · Dong-Hee Kim⁰⁰ · Hee-Dae Kim[#] · Yeong Ho Sun Woo[#])

Abstract

In this paper, proposed circuit proposes that Active-Clamp-Circuits basis of a current-fed inverter linked type high frequency resonant dc-dc converter of conventional. and the paper the most of characteristics of the reduced high voltage stress main switches with active clamp circuits and output current constant with the resonant part consists of L, C resonant tank circuit. Also, the capacitor (C_1 , C_2) connected in switches are a common using by resonance capacitor and ZVS capacitor. and circuit analysis used state equation of each part modes. Also we conform a rightfulness theoretical analysis by comparing a parameters values and simulation values obtained from simulation using Power MOS-FET as switching devices.

1. 서론

그림 1은 기존(그림 2)의 자려식 또는 타려식으로 구동되는 전류공급 인버터 링크형 고주파 공진 DC-DC 컨버터 회로를 기본으로 제안한 회로도이며, 회로의 특징은 점선으로 표시한 능동클램프와 부하병렬 공진 DC-DC 컨버터의 공진부에 부하와 병렬로 접속한 L, C 공진 탱크회로의 구성이다. 제안회로의 전원 측은 리플이 적은 정전류를 공급하기 위해 직류리액터(L_{d1} , L_{d2})를 접속하여 부하단락 사고 시 단락전류의 상승률을 억제함으로써 회로보호가 용이하며, 부하변동에 대해서도 안정한 특징을 갖는다. 스위치 S_1 , S_2 , S_{1a} , S_{2a} 는 자기소호형 소자로 Power MOS-FET, Power-Tr, SIT, IGBT등의 적용이 가능하고, L, C 및 C_1 , C_2 는 공진용 소자이다. 특히, 주 스위치 양단에 접속한 공진용 커패시터(C_1 , C_2)는 스위칭 시 발생하는 스위칭 손실을 최소화시켜주어 영전압 스위칭을 행할 수 있는 기반을 조성해준다. 또, 주 스위치(S_1 , S_2)의 턴-오프 시 턴-오프 손실을 저감시켜 전압스트레스를 제한할 수 있는 기능을 갖는 능동클램프회로의 구성 즉, 보조스위치(S_{1a} , S_{2a})는 액티브 클램프 회로를 동작시키는 기능을 하며, 클램프 커패시터(C_{c1} , C_{c2})는 주스위치 S_1 , S_2 에 인가되어 있던 전압을 클램프 시키는 작용을 하고, 특성상 무효전력을 흘려주기 위한 통로로 사용되는 다이오드(S_{1aD})로 구성되어 있다. 그리고, 회로의 1,2차 측의 절연을 위하여 고주파변압기를 사용하였으며, 회로의 고속정류를 위하여 정류용 다이오드 $D_3 \sim D_6$ 를 추가하였다.

2. 본론

2.1. 회로구성 및 동작원리

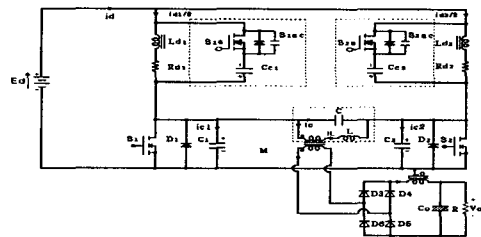


그림 1 능동 클램프회로를 갖는 병렬공진 인버터 링크형 DC-DC 컨버터

Fig. 1 A Parallel resonant inverter linked type dc-dc converter with active-clamp-circuits

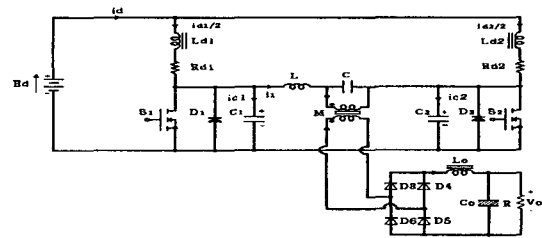


그림 2 기존의 전류공급 고주파 공진 DC-DC 컨버터

Fig. 2 A Current-fed inverter linked type high frequency resonant dc-dc converter of conventional

2.2. 회로 해석

그림 1에 제시된 제안회로의 회로해석을 위하여 다음과 같이 가정한다.

- i) 동작모드 해석을 위하여 직류 리액터(L_{d1} , L_{d2})에 에너지를 확보하기 위하여 주 스위치 (S_1 , S_2)를 모두 턴-온 시킨 후, 두 스위치 중 하나를 차단하면서 동작 모드가 시작된다.
- ii) 반도체 스위칭 소자 및 다이오드는 이상적인 소자이며, 각스위치(S_1 , S_{1a} , S_2 , S_{2a})의 턴-온 및 턴-오프 시의 시간지연은 영으로 한다.
- iii) 스위치(S_1 , S_2 , S_{1a} , S_{2a})와 병렬로 접속되어 있는 커패시터는 외부커패시터 및 기생 커패시터로 가정한다.
- iv) 배선손실, 그리고 커패시터 및 리액터는 손실이 영인 이상적인 소자이다.
- v) 전압원은 리플(ripple)이 영인 직류전압 전원으로 한다.
- vi) 변압기의 권수비는 1:1 이다.
- vii) 부하는 저항 부하로 가정한다.

상기의 가정을 토대로 회로해석을 하며, 상태변수의 기호 및 기준방향은 그림 1과 같이 설정하였다. 동작모드 해석을 위하여 각 스위치는 데드타임 구간이 존재한다. 또, 다이오드의 동작은 공진 전압이 정(+인 경우 변압기 2차측 다이오드는 (D_3 , D_5), 부(-인 경우 다이오드는 (D_4 , D_6))가 턴-온 된다. 또, 동작모드 이전 상태는 주스위치 S_1 과 S_2 가 모두 온 상태이므로 정전류용 직류 리액터(L_{d1} , L_{d2})에 각각의 전류원이 확보되어 있다고 가정하면, 제안회로의 동작은 스위치(S_1 , S_2 , S_{1a} , S_{2a}) 및 다이오드($D_1 \sim D_6$, S_{1aD} , S_{2aD})의 온-오프 상태, 커패시터(C_1 , C_2)의 충·방전상태의 조건에 따라 한 주기 동안 S_1 영역 4개, S_2 영역 4개(합계 8)의 동작모드로 분류된다.

[MODE 1]

주 스위치 S_1 이 도통이 끝나 턴-오프 되면, 공진용 커패시터 C_1 이 서서히 충전을 시작하는 모드로 L_{d1} , L_{d2} 에 축적된 에너지가 C_1 으로 전송되며, 주스위치 S_1 에는 정현파상의 전압 V_{s1} 이 나타나기 시작한다. 또, 공진탱크회로에 저장된 에너지가 변압기를 통하여 출력 측으로 전달되는 모드이다.

[MODE 2]

S_1 의 전압 $V_{DS}(V_{c1})$ 가 E_d 로 되고 S_{1a} 의 전압 V_{S1aD} 가 영이 될 때, C_1 및 S_{1aC} 가 충방전을 완료하고 역병렬 다이오드 S_{1aD} 가 턴-온 된다. 따라서, S_{1aD} 의 턴-온으로 환류가 시작되며, 이 기간 동안 S_{1a} 를 턴-온 시키면 영전압 스위칭(Zero-Voltage-Switching)을 이룰 수 있다.

아울러, ZVS 조건은 데드타임이 S_{1aC} 및 C_1 의 충·방전시간보다 길거나 같아야 된다.

[MODE 3]

S_{1a} 이 턴-오프 되면, S_{1aC} 는 충전하고 C_1 은 방전한다. 따라서, S_{1a} 의 턴-오프는 주 스위치 S_1 으로 영전압 스위칭(ZVS)을 위한 여건을 조성한다. 아울러, 전압 V_{S1aC} 는 영에서 E_d 로 선형적으로 상승하고 S_1 의 전압 $V_{c1}(V_{DS})$ 은 E_d 에서 영으로 선형적으로 감소한다. 또, 공진탱크회로에 저장되어 있던 에너지는 정방향으로 출력측에 공진 전류를 전달하는 모드이다.

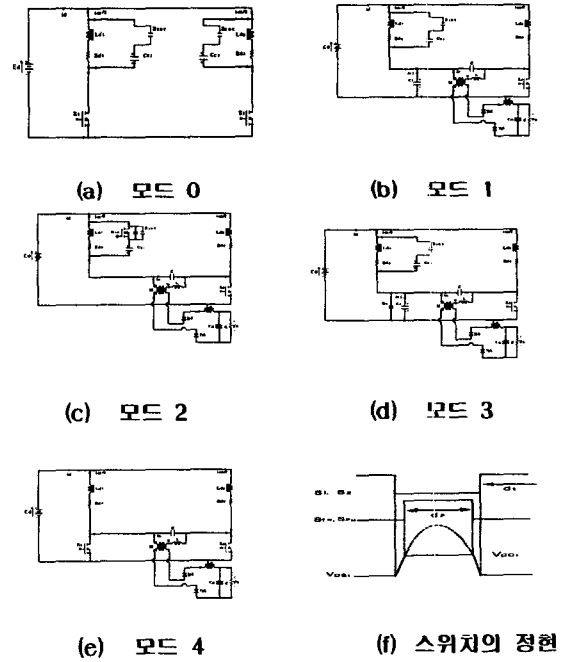


그림 3 등가회로 및 스위치 S_1 , S_2 의 전압 파형
Fig. 3 A Equation Circuits and Voltage wave-forms of Switch S_1 and S_2

[MODE 4]

S_{1aC} 가 E_d 가 되고, V_{c1} 이 영이 될 때 C_1 및 S_{1aC} 의 충·방전이 완료되고, S_{1D} 이 턴-온 된다.

S_1D_1 가 도통되는 동안에 S_1 을 턴-온 시키면 영전압 스위칭(ZVS)이 가능해진다. 이 구간의 영전압 스위칭 조건은 데드타임이 $S_{1a}C$ 와 C_1 의 충전 시간 보다 길거나 같아야 한다. 한편, 공진탱크회로에 저장된 에너지는 부하측에 공진 전류를 전달하며, 이 공진 전류가 점차로 줄어 영이 되면 모드 1의 이전의 상태로 되돌아간다.

$$X'^T = AX'^T + B^T$$

$$X' = d/dt [i_{a1}(t) \ i_{a2}(t) \ i_L(t) \ i_o(t) \ V_c(t) \ V_{c1}(t) \ V_{c2}(t) \ V_{co}(t) \ V_{cc1}(t) \ V_{cc2}(t)]$$

$$X = d/dt [i_{a1}(t) \ i_{a2}(t) \ i_L(t) \ i_o(t) \ V_c(t) \ V_{c1}(t) \ V_{c2}(t) \ V_{co}(t) \ V_{cc1}(t) \ V_{cc2}(t)]$$

[동작모드 1]

$$A = \begin{bmatrix} -Rd_1/Ld_1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & -Rd_2/Ld_2 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & -1/L + 1/L & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1/L_o & 0 & 0 & -1/L_o & 0 & 0 \\ 0 & 0 & 1/C & -1/C & 0 & 0 & 0 & 0 & 0 & 0 \\ 1/2c_1 & 0 & -1/4C_1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1/C_o & 0 & 0 & 0 & -1/RC_o & 0 & 0 \\ 1/2c_3 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}$$

$$B = [\ 2Ed/Ld_1 \ 2Ed/Ld_2 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \]$$

나머지 모드는 모드I과 같은 방식으로 구한다.

2.3. 시뮬레이션 및 검토

회로해석의 정당성과 검증 을 위하여 시뮬레이션을 수행하였으며, 시뮬레이션 소자정수와 결과는 다음과 같다.

표 1. 시뮬레이션 정수

Circuit Parameters	Pspice Rating	Circuit Parameters	Pspice Rating
E_d	50[V]	L	18[uH]
S_1, S_2	IRFP 250	Insulated Transformer	$N_p:N_s=1:1$
S_{1a}, S_{2a}	IRFP 250	C	140[nF]
L_{d1}, L_{d2}	13.4[uH]	L_o	1.0[mH]
R_{d1}, R_{d2}	0.05[Ω]	C_o	500[uF]
C_{c1}, C_{c2}	5,000[nF]	f_r	100[kHz]
C_1, C_2	140[nF]	f_{sw}	100[kHz]

그림 4는 각 스위치의 게이트 구동파형을 나타내고 있으며, 그림 5는 양 스위치가 교대로 온 되는 데드타임을 고려한 스위치 S_1 과 보조스위치 S_{1a} 의 구동파형을 보여주고 있다. 그림 6은 용량성일 때의 공진전류와 스위치 S_1 및 S_2 의 양단의 파형을, 그림 7은 저항성 일

때를 나타낸다. 그림 8은 공진탱크회로에 흐르는 공진 전류와 메인 스위치 S_1 과 S_2 의 정현파상의 전압을 나타내고 있는데, 이는 곧 스위치의 전압스트레스를 말해주고 있다.

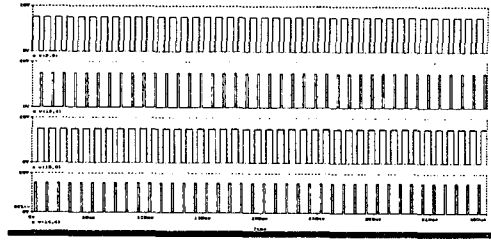


그림 4. 각 스위치의 구동펄스 파형
Fig 4. Gate pulse waveforms of each part switches

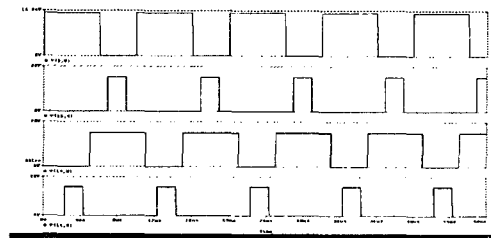


그림 5. 주 스위치 S_1 과 S_{1a} 의 구동파형
Fig 5. Gate pulse waveforms of S_1 and S_{1a}

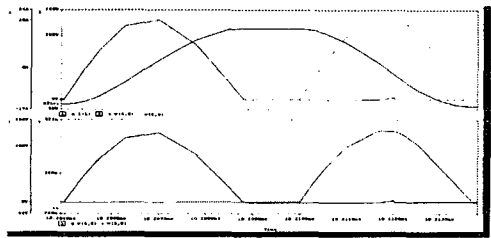


그림 6. 공진전류 i_L 과 S_1, S_2 의 전압 파형
Fig 6. A voltage waveforms of S_1, S_2 and resonant current i_L ($f_{sw} < f_r$)

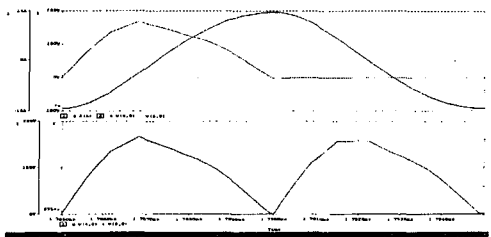


그림 7. 공진전류 i_L 과 S_1, S_2 의 전압 파형
Fig 7. A voltage waveforms of S_1, S_2 and resonant current i_L ($f_{sw} = f_r$)

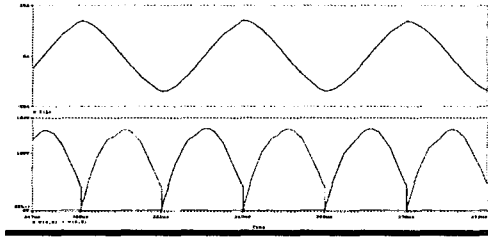


그림 8. 땁크회로의 공진전류와 스위치 양단의 정현파상의 전압 파형
 Fig 8. A Sinusoidal waveforms of S_1, S_2 and i_L

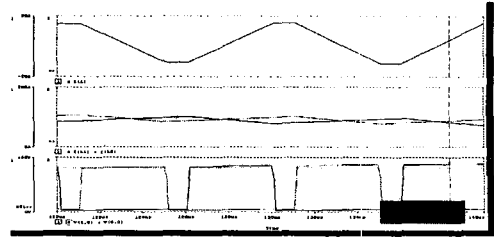


그림 12. 땁크회로의 공진전류와 스위치 양단의 정현파상의 전압 파형
 Fig 12. A Sinusoidal waveforms of S_1, S_2 and i_L ($C_{c1}, C_{c2} : 50\mu F$ 적용)

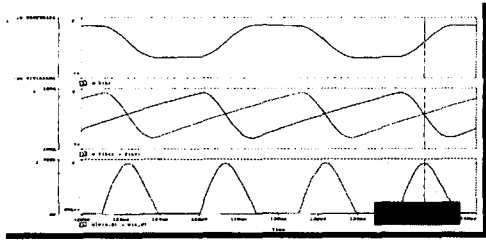


그림 9. 땁크회로의 공진전류와 스위치 양단의 정현파상의 전압 파형
 Fig 9. A Sinusoidal waveforms of S_1, S_2 and i_L ($L : 1.34\mu H$ 적용)

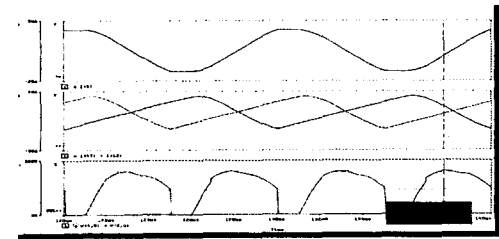


그림 10. 땁크회로의 공진전류와 스위치 양단의 정현파상의 전압 파형
 Fig 10. A Sinusoidal waveforms of S_1, S_2 and i_L ($L : 13.4\mu H$ 적용)

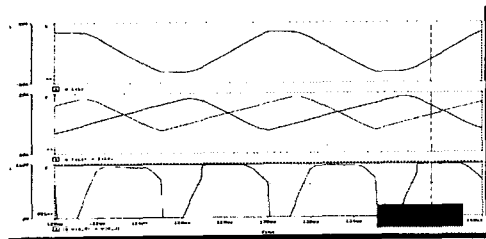


그림 11. 땁크회로의 공진전류와 스위치 양단의 정현파상의 전압 파형
 Fig 11. A Sinusoidal waveforms of S_1, S_2 and i_L ($C_{c1}, C_{c2} : 2,000nF$ 적용)

그림 9에서 12는 클램프 커패시터 용량을 ($C_{c1}, C_{c2} = 140nF$)으로 고정시키고, 직류 정전류용 리액터 L_{d1}, L_{d2} 를 변화시켰을 때의 전압스트레스를 나타내고 있다. 그림 9는 $L_{d1}, L_{d2} : 1.34\mu H$ 일때 (공진 리액터 $18\mu H$) 스위치양단의 전압스트레스가 약 $358V$ 로 나타나며, 공진전류가 왜곡된 파형을 나타낸다. 또, 그림 10은 $L_{d1}, L_{d2} : 13.4\mu H$ 일 때는 스위치양단의 전압스트레스가 약 $160V$ 로 나타나며, 공진전류가 정상임을 나타낸다. 그림 11은 $L_{d1}, L_{d2} : 13.4\mu H$ 로 고정 하고, 클램프 커패시터 용량을 ($C_{c1}, C_{c2} = 2,000nF$)로 변환 시 스위치양단의 전압스트레스가 약 $146V$ 로 나타나며, 전압스트레스가 경감되었다. 그림 12는 $L_{d1}, L_{d2} : 13.4\mu H$ 고정, 공진 리액터 $18\mu H$ 고정), 클램프 커패시터 용량을 ($C_{c1}, C_{c2} = 50\mu F$)변환 시 스위치양단의 전압스트레스가 2배 이하(약 $130V$)로 전압스트레스가 상당히 경감되었음을 확인하였다.

3. 결론

상기의 시뮬레이션을 통하여 제안회로에서 직류리액터비($a_0 = L_{d1}, L_{d2}/L$)를 변화시키거나, 능동클램프회로를 부가하여 능동클램프의 용량비($b_3=b_4=C_{c1}, C_{c2} /C$)를 변화시키면 스위치양단에 나타나는 정현파상의 전압스트레스를 상당량 경감할 수 있음을 확인하였다.

참고 문헌

- (1) R. Watson and F.C. Lee, " a Soft-Switched, Full-Bridge Boost Converter Employing an Active-Clamp-Circuit", IEEE PESC 1996, Rec., pp. 1948~1954
- (2) T. Ninomiya, Nakahara, T. Higashi, K. Harada : " A Unified Analysis of Resonant Converter" IEEE Trans. Power Electronics, Vol.6, No.2, pp.260~270(Apr, 1991)