

수율 향상을 위한 반도체 공정에서의 불량 유형 자동 분류

한 영 신, 최 성 윤, 김 상 진, 황 미 영, 이 철 기
성균관대학교 정보통신공학부 컴퓨터공학과,
전화 : 031-290-7235 / 핸드폰 : 011-354-9502

Automatic classify of failure patterns in semiconductor fabrication
for yield improvement

Young Shin Han, Sung Yun Choi, Hwang Mi Young, Chill Gee Lee
Information & communication engineering Sungkyunkwan University
E-mail : yshan@ece.skku.ac.kr

Abstract

Yield enhancement in semiconductor fabrication is important. Even though DRAM yield loss may be attributed to many problems, the existence of defects on the wafer is one of the main causes. When the defects on the wafer form patterns, it is usually an indication for the identification of equipment problems or process variations. In this paper describes the techniques to automatically classify a failure pattern using a fail bit map.

I. 서론

반도체 수율은 FAB의 생산력을 평가하는 가장 중요한 척도로써 신제품의 수율을 조기에 확보하고 양산제품의 수율을 고수율로 유지하는 것이 생산 활동의 주된 목적이 되고 있다. 이에 대다수의 엔지니어들이 수율 향상 및 안정적인 수율 확보를 위한 업무를 수행하고 있으며, 수율을 하락 시키는 불량을 확인하고 원인을 분석하는데 많은 시간을 투자하고 있다. 또한 불량 분석 전문팀을 구성하여 발생한 불량을 정확히 파악하고 불량 원인을 빠르게 규명할 수 있도록 체계를 구축하고 있다. 그러나, 불량분석을 수행하기 위

해서 기본이 되는 불량유형 확인을 위해 많은 엔지니어들이 매일 발생하는 웨이퍼 맵을 확인하여 수작업으로 불량 패턴을 분류하고 요약하고 있으며, 수율관련 여러 부서에 걸쳐 한 디바이스에 대한 개별적인 불량 유형 확인작업을 진행하고 있는 실정이다. 또한, 불량 확인 작업이 수작업으로 이루어지므로 발생한 불량 유형 및 불량 원인에 대한 효율적인 관리가 불가능하다.

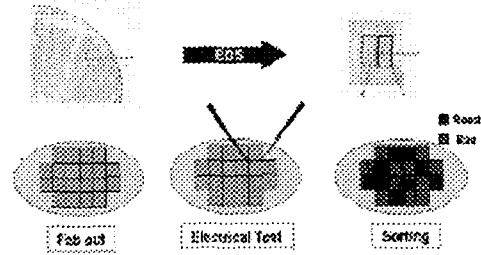
따라서, 디바이스에 맞게 Fail 특성을 정의하고 fail유형에 따라 웨이퍼를 분류하여 FAB에서 발생한 불량원인을 찾을 수 있도록 하는 일련의 작업을 자동화할 수 있다면 기존보다 효율적인 불량 분석 업무를 진행할 수 있으며 수율 및 품질 향상에 기초가 될 수 있을 것이다. 이를 위한 방법으로 본 연구에서는 칩의 fail 유형을 정의하고 자동으로 유형을 분류하는 SVM알고리즘을 제시하고 자동적인 분석을 위한 환경 구축 방안을 제시하고자 한다.

II. EDS (Electrical Die Sorting)공정

반도체 제조 과정 중 FAB공정이 끝난 웨이퍼에 전기적 신호를 인가하여 웨이퍼를 구성하고 있는 각 칩의 전기적 특성검사를 실시하여 정상적으로 동작하는지의 상태에 따라 양, 불량을 가려 내는 것을 EDS(Electrical Die Sorting) 테스트라고 한다.

< 그림 1 > EDS 공정

EDS 테스트의 목적은 웨이퍼를 구성하는 있는 각 칩의 양, 불량 선별과 불량 칩 중에서 수리 가능한 칩의 재생을 위한 것이며 또



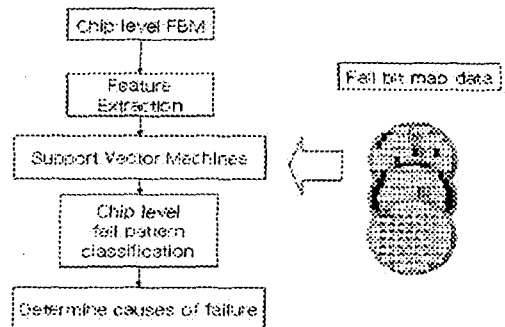
한 FAB의 이상 Lot의 조기 피드백을 위하고 불량 칩의 조기 제거로 조립의 패키징 비용 및 PKG(Package)검사 라인의 테스트 비용을 절감하기 위한 것이다.

반도체 제조 공정에 있어 불량분석은 EDS 테스트 결과 발생하는 칩의 불량 데이터를 분석하여 공정상 발생하는 결함을 관찰하고 제거하기 위해 수행된다. 따라서, EDS 테스트 결과 발생하는 data는 매우 중요한 의미를 갖는다.

III. Chip 불량 유형 분석

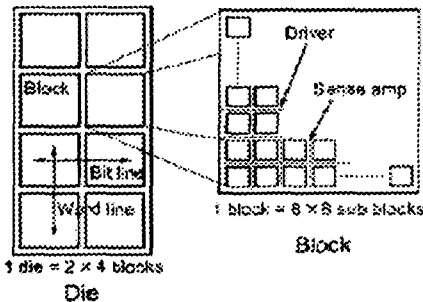
3.1 입력 및 전처리

EDS wafer test 결과로 fail bit map 및 measure data file이 발생하며 이 data를 이용하여 불량 유형을 파악할 수 있다.



< 그림 2 > 불량패턴분류 및 분석시스템

양산 device의 fail bit map data는 wafer test시 bit 단위의 Test 결과를 저장하여 분석할 수 없기 때문에 Test 결과를 활용할 수 있는 단위로 축적하여 cell의 unit block 단위로 결과가 구성된다.



<그림3>unit block으로 구성된 chip

3.2 불량 유형 정의

불량 유형 분류 중 패턴 분석에 의한 분류에서는 chip의 불량 유형에 대한 정의가 우선적으로 실시 되어야 한다. Chip의 unit block의 분포에 따른 불량 유형을 분류하기 위하여 device의 fail 특성에 따라 chip의 유사 원인별 유형으로 정의한다. Unit block의 분포의 모양에 따른 유형은 분포의 특성만 다른 Random형, Block형, Area형(영역 특성형)이 있으며, fail test pattern과 모양을 함께 고려한 Special형이 있다. special형은 device의 특성에 따라 다르게 정의될 수 있다. Random형으로는 분포의 밀집도에 따라 Random형, 군집형, Column_Row형으로 세분되며, block이 존재하는 Block형은 block의 크기에 따라 부분 Block형과 Block형으로 구분된다. 또한 가로, 세로의 fail이 존재하는 분포 특징에 따라 CSL(Column Select Line)

형과 NWE(New Word Line Enable)형으로 분리된다.

3.3 SVM(Support Vector Machines)

SVM은 n차원 공간 위에서 두 부류간의 거리를 최대화하는 것과 동시에 같은 부류에 속하는

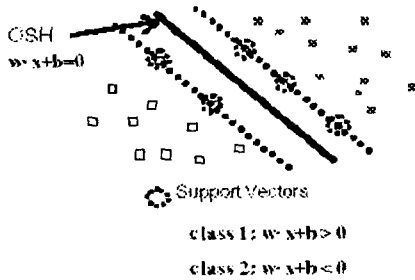
데이터들을 같은쪽에 위치하게 만드는 n-1차원의 hyperplane를 찾아 가면서 학습이 수행된다. 학습과정에서 생성되는 hyperplane을 Optimal

Separating Hyperplane(OSH)이라고 부르며 아래식과 같은 hyperplane 방정식의 형태를 갖는다. 학습된 SVM은 입력 패턴 x가 주어졌을때 OSH의 방정식의 부호($f(x)=\text{sign}((w, x)+b)$)로서 어느 부류에 속하는지 결정한다.

$$(w, x) + b = 0, \quad w \in R^n, \quad b \in R \quad (1)$$

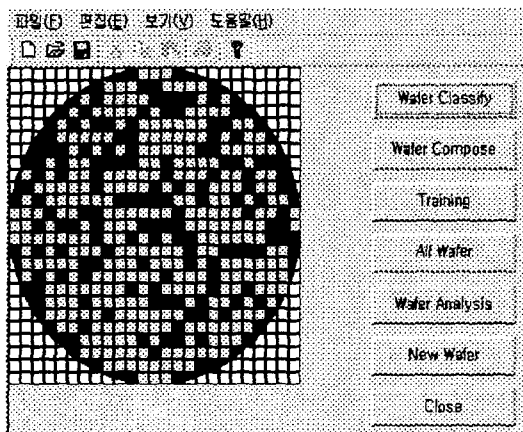
생성된 OSH를 기억하기 위해서 두 부류의 모든 데이터가 필요한 것은 아니다. 단지 OSH 근처의 몇 개의 데이터와 각 데이터에 해당하는 가중치만 유지하고 있으면 된다. 이때에 OSH를 기억하기 위해 필요한 데이터들을 Support Vector(SV)라고 부른다.

그림 4는 n차원 공간에서 n-1차원 hyperplane으로분류할 수 있는 경우에 OSH와 SV들을 보여 주고 EDS wafer test 완료 후 fail bit map file과 wafer file이 생성되면 기존에 잘 알려진 200여종의 Fail Pattern Type을 학습하고 고속 인식 알고리즘인 SVM 분류기를 이용하여 분류한다.



<그림4> OSH와 Support Vectors

IV. 시스템 구현



<그림5> SVM 분류기 구현

시스템 환경으로는 Window 2000, 프로그래밍은 MATLAB 5.2, VC++6.0으로 구현했다. EDS 웨이퍼 테스트 완료 후 fail bit map 파일과 웨이퍼 파일이 생성되면 기존에 잘 알려진 200여 종의 Fail Pattern 유형을 학습하고 고속 인식 알고리즘인 SVM 분류기를 이용하여 식별한다. 인식된 결과와 출력은 Top1 ID, Top3 ID 들간의 Correlation 값을 출력하고 새로운 패턴이 자동 추가 등록하게

된다. 엔지니어는 저장된 결과를 통하여 연계 분석이 가능하며 불량 유형을 자동 summary 하여 효율적인 불량 분석 업무를 수행할 수 있고 동일 불량 유형을 신속하게 찾아 FAB 연계분석 및 불량 지수 관리가 용이해져 고수율 확보 및 수율 안정화에 기여할 수 있을 것이다.

V. 결론

EDS공정의 불량 패턴 인식 자동화로 인해 예상되는 인건비 절감 액수는 30억 (= 3000 만원 /명 *100명) 으로 추정된다. EDS공정에서 발견되는 불량 유형을 고속 패턴인식을 이용하여 정확하게 분석하고 그 결과를 자동으로 FAB공정에 Feedback 시킴으로써 FAB공정과의 연계공정을 효과적으로 개선할 수 있으며 이는 획기적인 수율 증가로 이어질 것이다.

참고문헌(또는 Reference)

- [1] Randall S. Collica, "SRAM Bitmap Shape Recognition and Sorting Using Neural Networks", *IEEE Transaction on Semiconductor Manufacturing Vol.8 No.3, August 1995*
- [2] Michael W. Cresswell, "A Directed-Graph Classifier of Semiconductor Wafer-Test Patterns", *IEEE Transaction on Semiconductor Manufacturing, 1992*
- [3] Yuji Sakai, "A Wafer scale fail bit analysis system for VLSI Memory Yield improvement", *International Conference on*

Mircoelectronics Test Structures Vol.3,
1990

[4] Steve Gunn. Support Vector Machines for Classification and Regression. ISIS Technical Report. 1998.

[5] Corinna Cortes and Vladimir Vapnik. Support Vector Networks. Machine Learning Vol.20, pp.273-297. 1995.