



## II. 본 론

본 문서의 모사 시험에서는 FR-4 재질을 사용하여 백프레인 프로세서 버스 전송의 특성을 알아보았다. 이 시험 방법은 통신장비, 전자장치 및 컴퓨터 등에 응용될 수 있으며 PCB제작 시 시행 착오에 따른 경비 및 시간을 줄일 수 있다. 프로세서 버스의 전송 및 수신 특성을 개선하려면 스텐브 길이와 수를 줄이는 것이 매우 중요하다.

본 시험에서는 100Mbps, 50Mbps, 20Mbps LVDS 신호원인 400mVp-p 구형파가 첫 번째 노드에 입력될 경우 나머지 세 노드와 일곱 노드에서 출력을 측정하며, 다음에 두 번째, 세 번째, 네 번째 노드에 입력을 줄 경우 다른 노드에서 출력을 측정한다. 입력 신호원 출력저항 12Ω, 출력 노드에는 1MΩ의 저항을 연결하였다. 이 시험 방법은 응용성이 좋아 거의 대부분의 백프레인 프로세서 버스 구성 가능 한계 속도를 확인 할 수 있다.

## III. 모사 시험결과

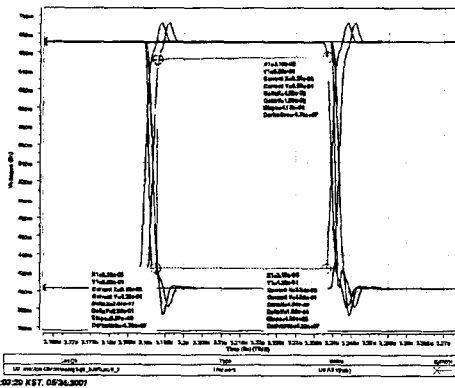


그림 3. 데이터 속도가 20Mbps일 경우 수신단 입력 파형(Bus 구조)

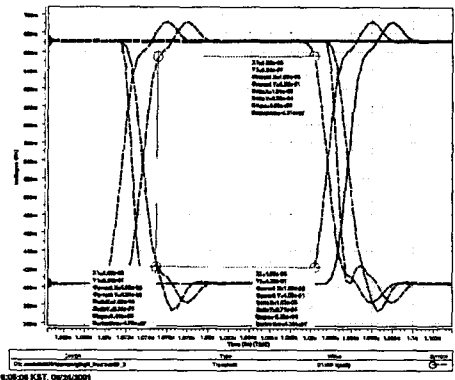


그림 4. 데이터 속도가 50Mbps일 경우 수신단 입력 파형(Bus 구조)

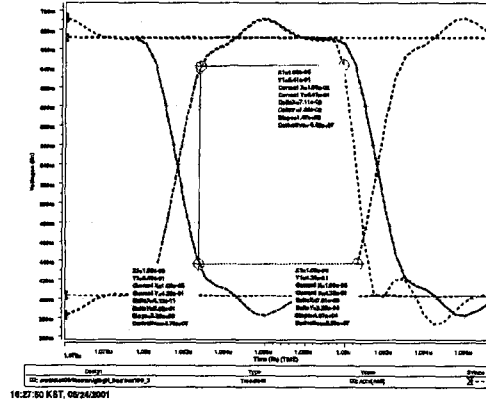


그림 5. 데이터 속도가 100Mbps 일 경우 수신단 입력 파형(Bus 구조)

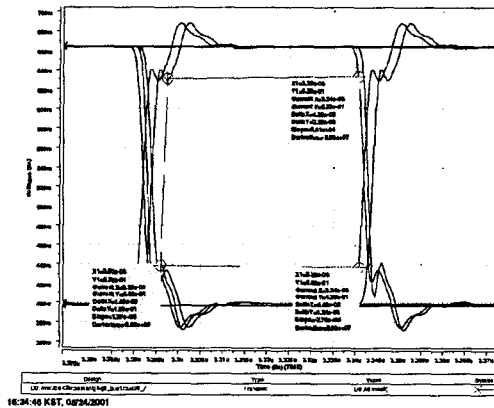


그림 6. 데이터 속도가 20Mbps 일 경우 수신단 입력 파형(확장 Bus 구조)

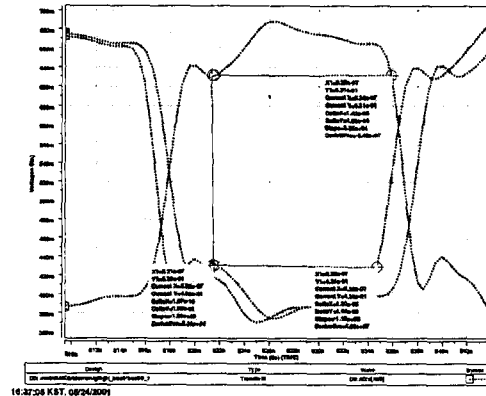


그림 7. 데이터 속도가 50Mbps일 경우 수신단 입력 파형(확장 Bus 구조)

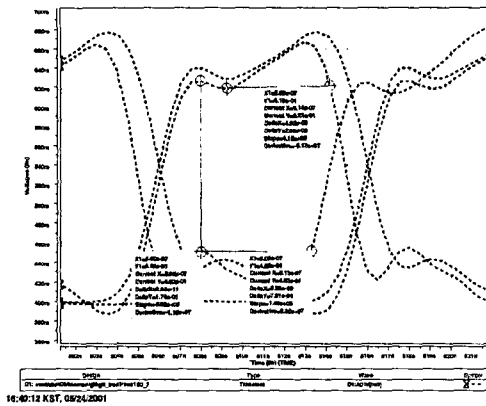


그림 8. 데이터 속도가 100Mbps일 경우 수신단 입력 파형(확장 Bus 구조)

#### IV. 결 론

본 논문은 ETRI IP 스위칭팀에서 실행하고 있는 신호 Level의 특성분석 측정의 한 과정이며 백프레인(backplane)에서 프로세서 버스 및 확장 버스 구조에서의 데이터 전송 및 수신특성을 알아보기 위해 HSPICE를 사용하여 얻은 시뮬레이션 결과이다.

LVDS 한쪽 400mVp-p 입력이 100Mbps, 50Mbps, 20Mbps로 인가할 경우 수신 노드에서 얻어지는 파형 특성은 데이터 전송속도가 큰 100Mbps 경우에 Bus 구조에서는 좋은 수신 특성을 보였으나 확장 Bus 구조에서는 전송속도가 큰 경우 약간 나쁜 특성을 보였다.

Bus 구조의 스테브의 길이를 12cm에서 5cm로 변화시킨 결과 버스의 전송 가능한 속도가 100Mbps까지 확대되는 것을 모사시험을 통해 확인할 수 있었다.

확장 bus 구조에서는 스테브 길이가 12cm에서 5cm로 변경 된 경우 시뮬레이션을 통해 전송 특성이 매우 향상되는 것을 확인할 수 있었다. 다소 무리이지만 버스 구성 조건이 좋고 스테브 길이가 매우 짧으면 100Mbps 전송도 가능 할 것 같다. 프로세서 버스의 전송 및 수신 특성을 개선하려면 스테브 길이와 수를 줄이는 것이 매우 중요하다.

#### 참고문헌

[1] HARLAN HOWE, JR. Stripline Circuit Design, AH.  
 [2] Charles S. Walker, Capacitance, Inductance

and Crosstalk Analysis, AH, INC.  
 [3] David M Pojar, Microwave Engineering, Addison Wesley.  
 [4] Brain C, Wadell, Transmission Line Design Handbook, Artech House, INC.  
 [5] Howard W, Johnson, Martin Graham, High-Speed Digital Design, PTR Prentice Hall.  
 [6] David A. Weston Electromagnetic Compatibility, Marcel Dekker, INC.  
 [7] 김석환, 최익성, 허창우, LVDS interface logic 을 이용한 신호전달 특성 분석, 한국해양정보통신학회. 2002.11.