

콘벌루션 부호를 사용한 대역확산 통신시스템의 VHDL 설계

이재설 · 정운용 · 강병권 · 김선형
 순천향대학교 정보통신공학과

VHDL Design for spread spectrum communication system with convolutional code

Jae-Sung Lee · Woon-Yong Jung · Byeong-Gwon Kang · Sun-Hyung Kim
 Dept. of Information Communication Engineering, Soonchunhyang University

요약

본 논문에서는 콘벌루션 부호를 사용한 대역확산 방식의 디지털 통신모뎀을 FPGA를 이용하여 설계 및 검증을 하였다. 대역 확산 방식에서의 콘벌루션부호기(K=3, R=1/2), PN code(128chip) generator와 비터비 디코더를 Xilinx사의 FPGA 디자인 툴인 Xilinx Foundation3.1을 사용하여 VHDL simulation과 timing simulation을 수행하였고, FPGA 회로설계 검증 장비인 EDA-Lab 3000 장비를 사용하여 Xilinx사의 SPARTAN2 2S100PQ208칩에 configuration 한 후 Agilent사의 1681A logic analyzer를 사용하여 설계된 회로의 동작을 검증하였다.

1. 서론

최근 고도의 정보화사회로 현대사회가 변화하면서 사회 전분야에 대한 응용분야가 다양하게 개발되고 있다. 따라서 디지털 통신을 위한 시스템의 개발 필요성이 대두되고 있다. 본 논문에서는 디지털통신을 위한 대역확산방식의 통신모뎀 기저대역부를 설계, 검증하였다. 송신부에서는 길쌈부호기(K=3, R=1/2)를 거치고, PN code(128 chip)를 생성하여 데이터에 곱함으로써 대역확산하였고, 수신부에서는 송신부에서 사용했던 PN code(128 chip)와 비터비 디코더를 사용하여 역확산 후 source data를 확인하였다. 송수신부 설계는 FPGA공급 업체인 Xilinx사의 Foundation3.1을 사용하여 VHDL 시뮬레이션 하였고, SPARTAN2 2S100PQ208에 configuration하여 Agilent사의 1681A logic analyzer를 사용하여 설계된 회로의 동작을 검증하였다.

2. 본론

2.1 길쌈부호기

이동통신 시스템에서 대기 중으로 신호를 전송하고 수신하기 때문에 채널에 매우 민감하다. 또한, 전송되는 신호는 많은 왜곡과 간섭을 받게된다. 따라서 올바른 통신을 하기 위해서 신호의 에러를 보상해 주어야하는데, 이러한 방법중의 하나가 길쌈부호이다. 길쌈부호는 메모리 소자를 이용하여 이전의 저장된 정보가 현재의 데이터에 일정한 규칙을 가지고 영향을 미치는 방식이다. 길쌈 부호는 기타 다른 채널부호보다 오류 정정 효율이 우

수하여 채널 부호에 주로 사용한다.

표1은 본 논문에서 설계한 시스템의 설계 파라미터를 보여주고 있다.

ENCODER	
Rate (k/n)	1/2
Constranint Length(K)	3
PN (chip/bit)	128
Polynomial	7 _a 3 _a
DECODER	
Rate (k/n)	1/2
Constraint Length(K)	3
PN (chip/bit)	128
Distanace measurement	Hard Decision (Hamming Distance)

표 1. 설계 파라미터

2.2 비터비 복호기

비터비 복호 알고리즘은 채널을 통하여 수신된 데이터들의 여러 경로를 탐색한 후, 그 중에 유사성(likelihood)이 가장 높은 경로를 선택함으로써 선택된 경로의 데이터를 복호하는 알고리즘으로써 경로 탐색 시에 유사성이 적은 경로를 제거하고 가장 최적의 유사성을 갖는 경로만을 찾는데 중점을 둔 방식으로, 주로 구속장이 짧은 길쌈부호의 복호 알고리즘으로 사용된다. 본 논문에서는 hamming distances를 이용한 경판정 (Hard Decision)을 사용하였다. 그림1에서는 trellis도에서 본 비터비 알고리즘 적용 예를 보여주고 있다.

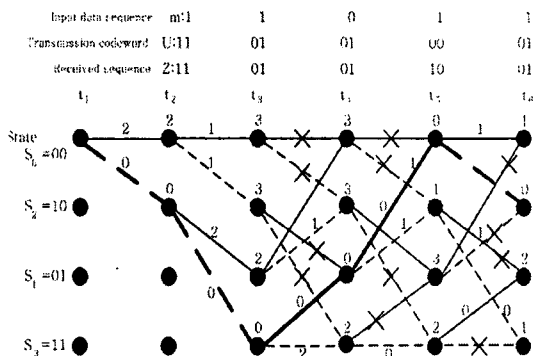


그림 1. trellis도에서 본 비터비 알고리즘 적용예

그림2는 비터비 복호기의 기능 블록도를 보여주고 있다. 수신된 신호는 Buffer에 저장되어 수신된 신호와의 hamming distances블록, ACS(Add, Compare, Select)연산블록, Traceback 블록을 통해 복호된다.

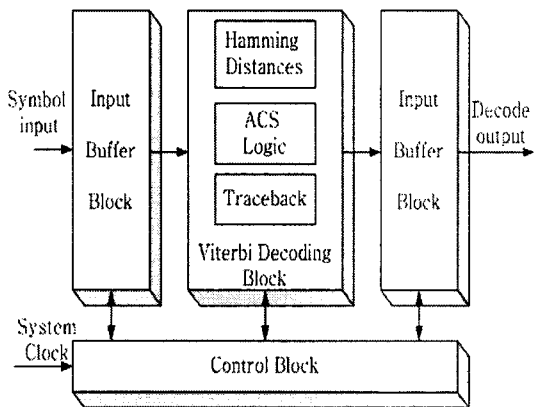


그림 2. 비터비복호기의 기능 블록도

3. 실험 및 결과

아래 그림3은 선형배한 시프트 레지스터(linear shift register)에 의하여 생성된 PN sequence의 timing 시뮬레이션 결과파형이다.

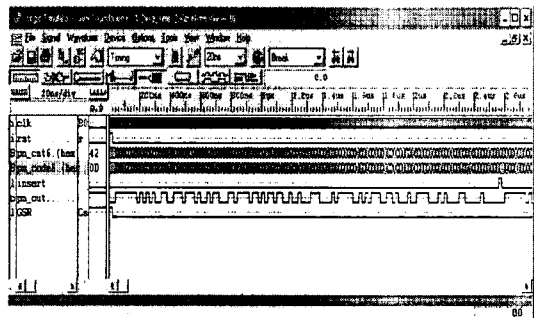


그림 3. PN code timing 시뮬레이션

그림4는 길쌈부호기 블록을 보여주고 있고, 그림 5는 길쌈부호기의 timing 시뮬레이션을 보여주고 있다.

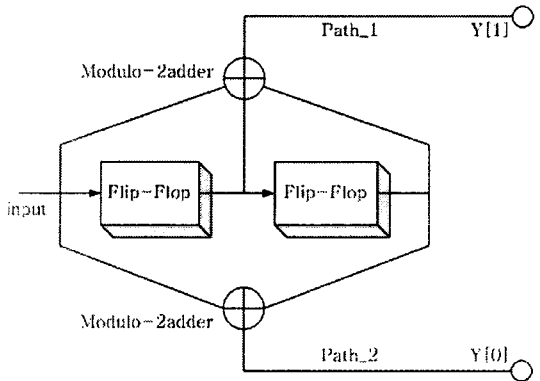


그림 4. 길쌈부호기의 블록도

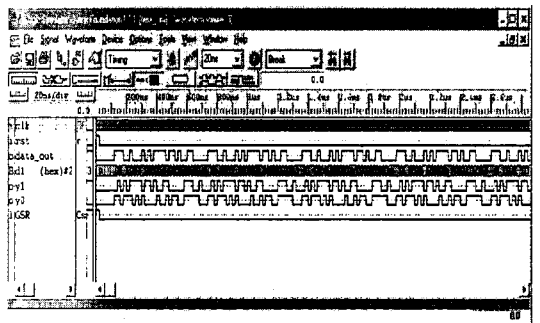


그림 5. 길쌈부호기의 timing 시뮬레이션

송신부에서는 랜덤하게 발생하는 데이터에 채널의 왜곡과 간섭을 보상하기 위한 길쌈부호기를 거쳐, pn code generator에 의해 생성된 PN code(128chip)를 곱하여, 대역확산후 전송한다.

그림 6은 송신부의 대역확산된 timing 시뮬레이션 결과를 보여주고 있다.

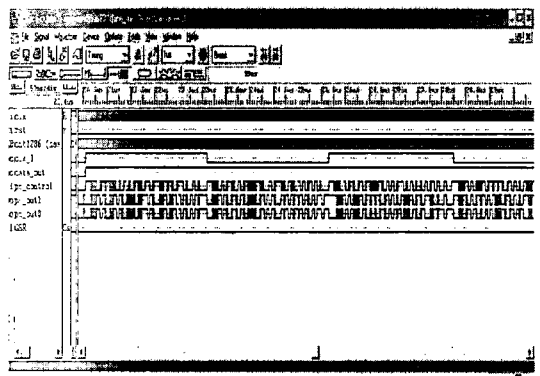


그림 6. 송신부의 timing 시뮬레이션

본 논문에서 사용한 Xilinx사의 SPARTAN2 2S100PQ208의 사양은 표 2과 같다.

표 2. 디바이스 사양

Device	Logic Cells	System Gates	CLB Array	Total CLBs	Maximum User I/o	TotalBlock RAM Bits
XC2S100	2,700	100,100	20×30	600	196	40K

그림 7은 디바이스에 configuration한 결과를 Agilent사의 1681A logic analyzer를 사용하여 출력한 결과파형이다.

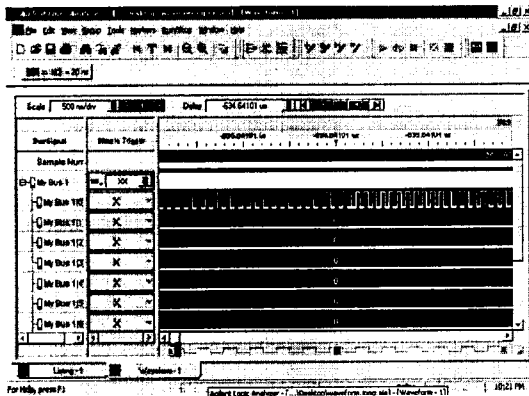


그림 7. logic analyzer 출력 파형

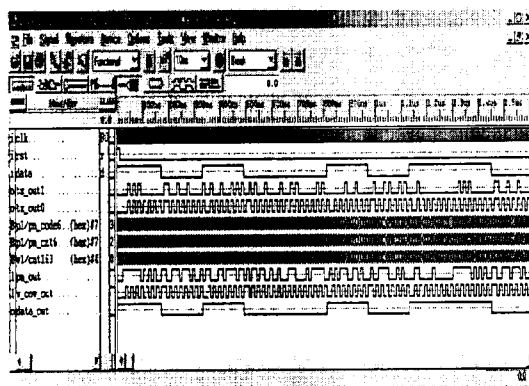


그림 8 수신부의 역확산 시물레이션

4. 결론

본 논문에서는 대역확산 방식으로 제안되고 있는 CDMA 방식의 디지털 통신모뎀의 기저대역부를 FPGA를 이용하여 설계 및 검증 하였다. 송신부에서는 랜덤하게 입력되는 source data에 길쌈부호기(K=3, R=1/2)를 거치고 PN code(128chip)를 곱하여 대역확산 시켰고, 수신부에서는 송신부에서 사용했던 PN code(128chip)와 비터비 디코더를 사용하여 역확산 후 source data를 확인하였다. 송수신부의 설계는 Xilinx사의 FPGA 디자인 툴인 Xilinx Foundation3.1을 사용하여 PN code 발생기, 길쌈부호기, 비터비복호기의 각 블록별 VHDL timing simulation을 수행하였고, FPGA 회로설계 검증 장비인 EDA-Lab 3000 장비를 사용하여 Xilinx사의 SPARTAN2 2S100PQ208칩에 configuration 한 후 Agilent사의 1681A logic analyzer를 사용하여 설계된 회로의 동작을 확인하였다. 앞으로 송신부에서 PN code generator을 컨트롤 함으로써 동일한 대역에서의 point-multipoint 통신이 가능한 근거리 무선 모뎀으로써의 설계가 추후 과제이다.

[참고 문헌]

- [1] Bernard Sklar, Digital communications, Prentice Hall, 1988.
- [2] Jhon G. Proakis, Digital communication, McGraw-Hill, 1995.
- [3] Jhong Sam Lee, Leonard E. Miller, CDMA system Engineering hand book. Artech House Publishers, 1998.
- [4] Vijay K. Garg, PhD, PE, IS-95 CDMA and cdma2000, 2000
- [5] 김재석, 조용수, 조중휘 공저, 이동통신용 모뎀의 VLSI설계