

유도형 한류기를 위한 FPGA를 이용한 전력변환 제어기의 One Chip 설계

박근태, 이양주, 이창열, 김동준
프리컴시스템(주)

One Chip design of Electric Power Conversion Controller that use FPGA for SFCL(Superconducting Fault Current Limitter)

K.T.Park, Y.J.Lee, C.Y.Lee, D.J.Kim
Freecomsystem co., LTD.

keuntae612@hotmail.com

Abstract - Inductivity Superconducting Fault Current Limitter is the Magnet that uses high temperature Superconductivity Coil. It is an important work that it controls Electric Power Converter of Inductivity SFCL.

So, we wish to design the point part FPGA by One-Chip. Design of that can divide as following.

One part that generate clock that offer to thyristor. One part that set 60Hz voltage to input Clock and do count. One part that change the value that require in CPU to the integer. And finally, there is part that send output(the fixed Clock) to the thyristor

1. 서 론

고온초전도한류기는 계통에서 사고가 발생할 경우 막대한 사고전류를 줄임으로써 고온초전도한류기의 계통에서의 설치 위치에 따라 발전단을 보호할 수 있으며, 변압기의 보호 및 용량 증대 효과, 기타 여러 가지 전력기기들의 보호에 탁월한 성능을 발휘할 수 있는 점이 입증되어 다른 고온초전도 전력기기들에 비해 개발 속도가 상당히 빠른 고온초전도 응용 기기이다. 이러한 초전도한류기는 다른 전력기기로서 대체할 수 없는 초전도 고유의 기기라는 점과 구조가 간단하고 동작시간이 짧을 뿐만 아니라 수명이 반영구적이라는 점 등 다른 전력기기들과 구별되는 초전도한류기만이 갖는 특성 때문에 세계적으로 활발하게 연구가 진행되고 있다.

유도성 고온 초전도 한류기의 주요한 장치는 고온초전도 코일을 이용한 고온 초전도 마그넷이다. 기존의 저온 초전도 마그넷이 가지는 모든 장점 즉 대전류, 고자장 고밀도 와 같은 모든 장점을 초과 하여 가지고 있으면서도 저온 초전도체의 난점이 절대 0도에 가까운 온도 조건을 필요로 하지 않는다는 점에서 그것의 개발이 가지는 장점이 매우 크다.

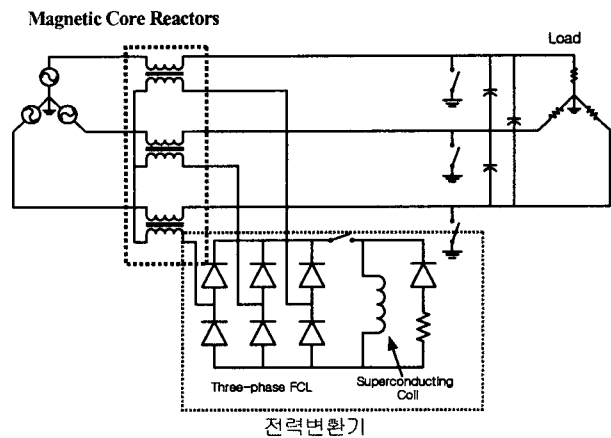


Fig. 1. 유도형한류기의 구조

이러한 유도형고온초전도한류기 개발에서 가장 핵심이 되는 부분 중에 하나가 전력변환기를 제어하는 것이다. 전력변환기의 정확한 제어를 위해 Performance가 높은 FPGA를 사용하여 One Chip 구현을 하려고 한다.

2. 전력변환기

2.1 전력변환기의 개요

유도형 한류기의 핵심 장치라고 할 수 있는 전력 변환장치는 그 기능을 두 가지로 나누어 볼 수 있다. 첫째는 정상 상태에서 교류 전원을 직류 전원으로 바꾸어 초전도 코일에 공급하는 것이다. 이렇게 순차적으로 전원을 공급할 경우 그 전류가 변압기의 발생 임피던스를 상쇄 시켜 전압 강하를 막는 것이다. 그리고 사고가 발생하였을 경우 초기 1/2 cycle 동안 전류를 소탕시킨 후 thyristor를 통해서 계통으로부터 Zero Crossing Current에 전원에서부터 전력을 차단하는 것이다. 따라서 계통을 순간적으로 분석하는 제어 회로가 필요하고, 초기 8msec 동안 필요한 모든 연산이 되어야 한기 때문에 초고속 연산 장치기 필요하다. 그리고

Thyristor를 작동하는 것이 매우 중요하다 만약 매우 짧은 시간동안 만이라도 작동하지 않을 경우 계통에 전력 공급이 중단되는 최악의 상황이 발생 될 수 있는 것이다. 따라서 매우 안정적인 제어 기술의 확보가 필요하다. 국내에서 이러한 기술을 보유 하고있는 기관이 많이 있지만, 아직 고전압 대전류에 대한 인식이 충분하지 않아서 주관 기관과의 연계를 통해 국내에 들어와 있는 기술의 접목이 필요하다고 볼 수 있다.

2.2 전력변환기의 특징

전력변환기란 <Fig.1>에서 보듯이 Superconducting Coil에 원하는 전압을 공급하기 위해서 Thyristor에 Trigger Signal을 보내는 회로다. 변환기 회로의 특징은 다음과 같다.

3 Phase Full Bridge Rectifier은 DC Voltage의 경우 최고값이 6000V이고 AC Current의 경우 최고값은 500A이다. Voltage Drop은 최고가 6V 이고 AC-DC 변환 효율은 96%이상 이 되어야 한다.

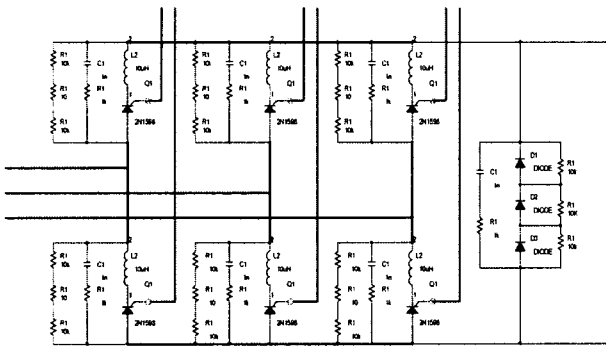


Fig .2. Rectifier Main Circuit

2.3 전력변환 제어기의 구성

전력변환기는 크게 세부분으로 나눌수 있다. 첫 번째는 위상을 검출하는 부분이다. Thyristor의 상황에 관계없이 안정된 위상을 검출하기 위해서는 전원부에서 바로 Detection해야 한다. 특히 정밀한 위상제어($\pi/500$ Radian)를 위해서는 안정된 위상을 검출하는게 필수적이다.

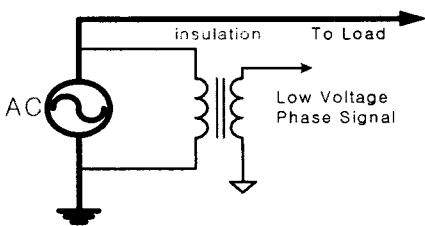


Fig. 3. Phase Detection Circuit

두 번째는 Trigger Signal을 내보내는 부분이다. 여기서는 60Hz 입력전압의 정확한 신호와 Main

Controller에서 요구하는 값을 받아서 Thyristor에 Trigger Signal을 보낸다. 회로도 는 아래와 같다.

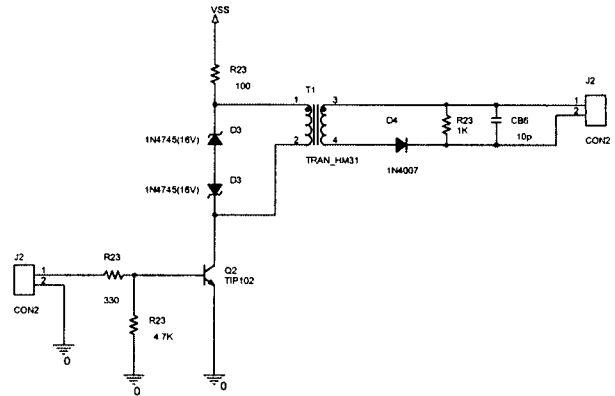


Fig. 4. Trigger Module

마지막으로 세 번째 부분은 Fault Detection하는 부분이다. 전원과 한류기, 부하는 직렬로 연결되어 있고 사고각 제어기가 부하에 병렬로 연결되어 있다. 검출부에서는 계통의 위상을 검출하고 A/D 컨버터를 통해 신호를 변환한 다음 프로세싱부에서 사고각과 사고시간을 결정하여 스위칭부를 제어하게 된다.

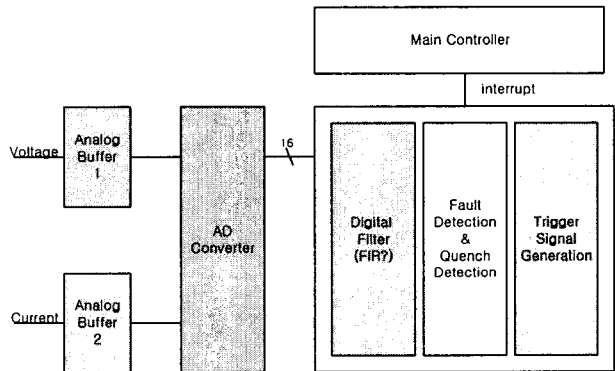


Fig. 5. Fault Detection Module

3. FPGA를 이용한 전력변환 제어기의 One Chip 설계

3.1 제어 회로

제어 회로의 효율성과 안정성을 높이기 위해서는 회로를 Digitalization 시킬수록 좋다. Phase Control Trigger와 Fault Detection 부분을 각각 Chip으로 만드는 방법과 두개의 회로를 하나로 통합하여 One Chip으로 만드는 방법 2가지가 있다. 좀더 높은 효율성과 비용을 고려하면 후자의 방법이 더욱 효과적이라 할 수 있다.

모든 회로를 통합하여 하나의 Chip으로 만들기 위해서 필요한 핵심부는 Main Controller, UART (Universal Asynchronous Receiver/Transmitter), Temperature sensor, 6개의 Trigger Module, 2개의 Fault Detection Module, User Interface 이다.

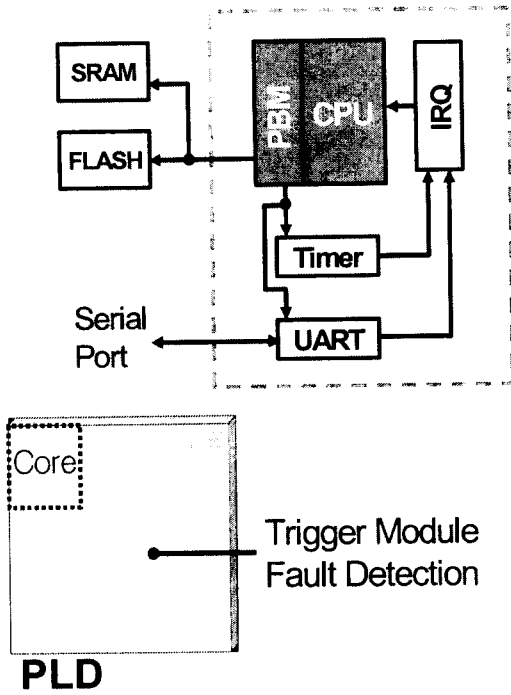


Fig. 6. Implementation Target

3.2 System on Chip Integration

전력변환기를 제어하는 Chip의 입출력은 같다. 입력은 위상 검출 변압기로부터 나오는 Source Voltage(16bit), Thyristor에서 발생한 Thyristor Voltage(16bit), Main Controller에서 주는 Control Phase Data(8bit), Coil Voltage and Current(16bit), 온도센서로부터 나오는 Temperature Data(8bit) 등이다. 전력변환기의 Controller는 위의 입력을 받아서 Trigger Signal과 Fault Signal을 내보내게 된다.

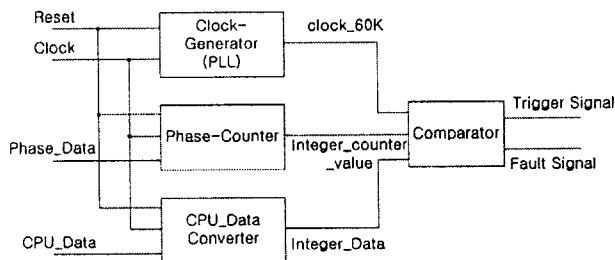


Fig. 7. Controller의 구성도

3.3 PLL 기법

PLL이란 Phase Locked Loop의 약어이며, 출력의 신호 주파수를 항상 일정하게 유지하도록 구성된 주파수 부귀한 회로이다.

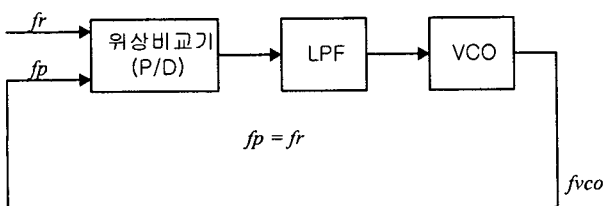


Fig. 8. PLL회로의 기본 블록.

PLL의 기본 구성을 그림1에 나타낸다. 여기서 위상 비교기는 기준 주파수 f_r 과 비교 주파수 f_p 의 위상차에 따른 펄스폭을 가진 펄스를 출력한다.

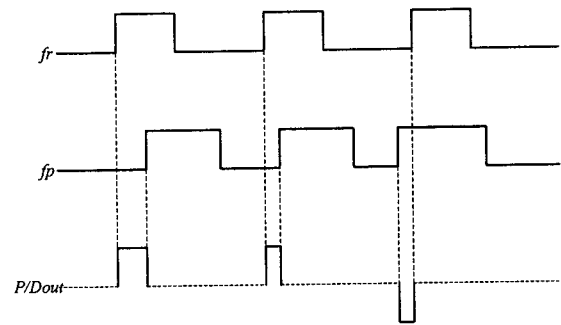


Fig. 9. 위상 비교기의 타임 차트.

위상비교기(PD)는 Multiplier로 구성되어 일종의 Mixer라 할 수 있다. PD의 Output은 fifo이고 Locking PD의 Output은 DC(Zero frequency)가 된다. Unlock일때 $f_i + f_o$ 는 LPF에 의해 Reject되고, $f_i - f_o$ 의 Beat(맥놀이) 성분만이 제어 전압으로 VCO에 공급된다. f_i 와 f_o 의 차가 너무 크면 $f_i - f_o$ 가 커져서 LPF에서 감쇄되어 버리기 때문에 올바른 VCO의 제어 전압이 나오지 못해 Locking이 되지 않는다. $f_i - f_o$ 가 작아지면 Beat성분이 LPF를 통과하여 VCO를 제어, Locking이 된다. Locking되고 있지 않은 상태에서 Locking State로 들어가는 과정은 매우 복잡해서 간단히 설명할 수 없지만 다음 구조로 생각할 수 있다. PD의 주파수차($f_i - f_o$)를 f 라 하면 위상의 시간변화와 f 의 관계는 다음과 같다.

$$2\pi\Delta f = \frac{d\theta}{dt} \dots\dots\dots(1)$$

f_i 와 f_o 가 가까운 Frequency로 되어 있으면 Beat 성분은 LPF를 통해 VCO의 제어 단자에 나타나 VCO의 f_o 는 주파수 변조가 되어 f 자체가 시간의 함수로 된다. 변조과정에서 VCO의 f_o 가 f_i 에 접근하는 방향으로 되어 있을 때(f 감소) $\frac{d\theta}{dt}$ 는 감소되고, V_e 는 시간에 대해 서서히 변화한다.

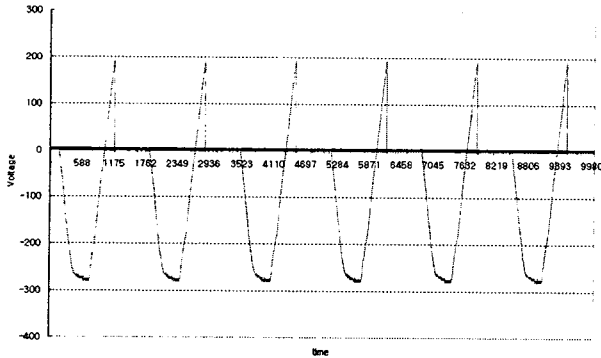
f 가 증가하는 방향으로 되어있을 때는 $\frac{d\theta}{dt}$ 는 증가하고, V_e 는 시간에 대해 급격히 변화하게 된다. Beat성분 V_e 의 파음은, 다음과 비대칭으로 되고 f 를 감소시키는 방향으로 평균 직류 성분을 변화 시킨다. Beat 주파수 f 는 "0"에 접근 Lock이 된다.

한류기의 교류 신호는 모두 60Hz이어야 하며 같은 주파수에서 일정한 Phase 차를 가지고 있다. 정확한 트리거 신호를 발생하기 위해 정확한 신호 포착이 필요하다. 따라서 계측기의에서 측정하는 신호를 PLL에 넣을 경우 정확한 60Hz 신호 측정이 가능하다. PLL 특징은 노이즈에 매우 강하고(Peak pulse) Stability가 뛰어나다.

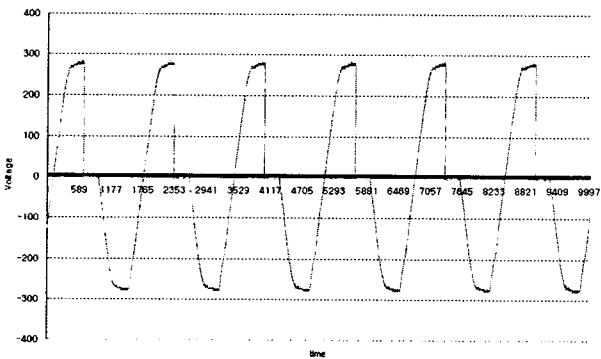
3.4 VHDL Design 및 Test

〈Fig.7〉에서와 같이 Controller는 4개의 프로세서를 VHDL 이용하여 설계하고 QuartusII 2.0을 통해 합성한다. CPU에서 Enable 신호가 있을 때만 반응하고 CPU의 Data값이 "1111 1111" 일 때 위상을 최고로 하며 "0000 0011" 일 때 최저의 값이 된다. ("0000 0001"은 너무 작아서 Noise의 영향을 크게 받게 된다.) 한류기의 Coil에 걸리는 전압은 다음과 같이 조절할 수 있다.

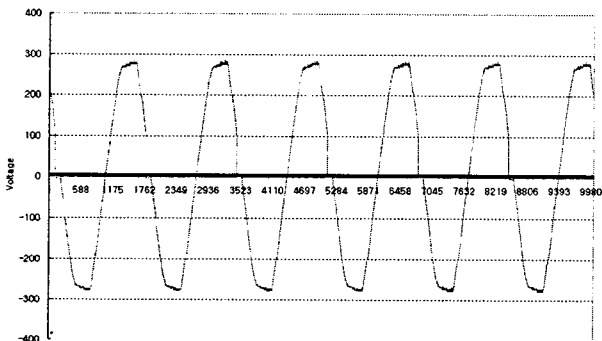
가. 45°에서의 위상제어



나. 90°에서의 위상제어



다. 160°에서의 위상제어



4. 결 론

유도형고온초전도한류기에서 가장 핵심이 되는 전력변환기를 VHDL언어를 사용하여 설계하고 QuartusII 2.1을 통해 합성하여 만들어진 Chip은 실제적으로 $\pi/500$ Radian까지 미세하게 제어할 수 있었다. 하지만 정밀한 제어를 위해 입력단의 신호들을 Digital Filter를 사용하여 여파 시키기 때문에 사용되어지는 많은 Gate(LE)들이 아쉬움으로 남는다.

[참 고 문 헌]

- [1] Leung, E. Burley, B. Chitwood, N. Gurol, H. Miyata, G. Morris, D. Ngyuen, L. O'Hea, B. Paganini, D. Pidcoe, S. Haldar, P. Gardner, M. Peterson, D. Beonig, H. Cooley, J. Coulter, Y. Hults, W. Mielke, C. Roth, E. Smith, J. Ahmed, S. Rod, "Design and development of a 15 kV, 20 kA HTS fault current limiter", IEEE Transactions on Applied Superconductivity, Vol 10, March 2000
- [2] James R. Armstrong, F. Gall Gray, Virginia Polytechnic Institute and State University Blacksburg, "Structured Logic Design with VHDL", Prentice Hall PTR Upper Saddle River, Aug. 2000
- [3] Seung-ho Lee, Yong-su Park, Kun-jong Park, and Ju-hyun Lee, "Digital Logic Circuit Design with Max-plusII of Altera", Bogdoo, Aug. 2002
- [4] Eung-ro Lee, Min-cheol Ahn, Seung-je Lee, Chan-joo Lee, Tae-kuk Ko, "Design and Manufacture of Fault Controller using Microprocessor", 대한전기학회 하계학술대회 논문집, 제7권, pp. 7.19-21, 2000