

ATM 기반 MPLS 시스템의 가입자 채널 확장을 위한 출력 방향 패킷 처리 장치 설계

박완기* 최창식* 최병철* 광동용* 김대영**
한국전자통신연구원 네트워크 연구소* 충남대학교 정보통신공학과**
wkpark@etri.re.kr

An Implementation of outgoing Packet Processor increasing of Subscriber Channel in ATM based MPLS System

Wan-Ki Park* Chang-sik Choi* Byeong-cheol Choi* Dong-yong Kwak*
Dae-Young Kim**

Network Labs. ETRI, Dept. of Info. & Comm. Eng. Chungnam Nat' Univ.

요 약

ACE2000 MPLS 시스템은 대용량 ATM 교환 시스템인 ACE2000 ATM 교환시스템에 MPLS 기능을 부가함으로써 사용자들에게 차별화 된 서비스를 제공할 수 있는 시스템이다. MPLS 시스템에서는 채널 사용의 유연성과 채널 자원의 효율적인 사용을 위해 VC 머징 기능을 요구하고 있다. 이를 위해 ACE2000 MPLS 시스템에서는 출력 방향 패킷 처리기에 VC 머징 기능을 구현하여 적용하고 있다. 구현된 VC 머징 장치는 고성능 SAR 소자를 이용하였다. VC 머징 장치는 ATM 셀 구조로 입력되고, 입력된 ATM 셀은 고성능 SAR 소자에 의해 AAL-5 유형의 패킷으로 변환되어 VC 머징 제어기로 입력된다. VC 머징 제어기에서는 패킷 입력부로부터 패킷을 받아들여 채널 연결 설정 정보에 따른 VC 머징 기능을 수행하도록 패킷을 처리한다. 이 VC 머징 제어기에서의 패킷 처리 시 스위치 포트의 Full Mesh 연결로 인해 발생하는 채널 자원의 감소 문제를 해결하고, 채널 자원을 증대시키기 위해 2 단계의 룩업 과정을 거치는 패킷 제어 기능을 수행한다. 패킷 제어기에 의해 처리된 패킷은 또 하나의 고성능 SAR 소자로 구성되어 있는 패킷 출력부로 전달되어 셀 분할(Segmentation) 과정을 거쳐 ATM 형태로 다음 레이블 스위치 라우터로 전달 되도록 물리층 보드로 전달된다. 본 논문에서는 ATM 교환 시스템을 기반으로 MPLS 시스템에서 채널 자원의 증대를 위한 출력방향 패킷 처리장치에 대하여 제안한다.

1. 서 론

계속적인 인터넷 트래픽의 증가뿐만 아니라 인터넷 서비스에 있어서 VPN(Virtual Private Network) 및 QoS(Quality of Service)와 같은 부가 기능을 요구함에 따라 기존의 hop-by-hop 개념의 인터넷 라우팅 패러다임은 한계에 부딪히게 되었다. 그래서, 이러한 문제점의 해결책으로 등장하게 된 것인 바로 MPLS(Multi-Protocol Label Switching)^[1]이다. MPLS 시스템을 직접 적용하는 가장 현실적인 방법중의 하나가 ATM 교환기의 L2 스위칭 기능을 활용하는 것이다.^{[1][2][3]}

ACE2000 MPLS 시스템은 대용량 ATM 교환 시스템인 ACE2000 ATM 교환시스템에 MPLS 기능을 부가함으로써 사용자들에게 차별화 된 서비스를 제공할 수 있는 시스템이다. MPLS 시스템에서는 채널 사용의 유연성과 채널 자원의 효율적인 사용을 위해 VC 머징 기능을 요구하고 있다.^{[1][2][3]} 이를 위해 ACE2000 MPLS 시스템에서는 출력 방향 패킷 처리기에 VC 머징 기능

을 구현하여 적용하고 있다. 구현된 VC 머징 장치는 고성능 SAR 소자를 이용하였다.^{[4][5]}

[4][5]에서 언급하였던 바와 같이 VC 머징 장치는 패킷 수신부, VC 머징 제어부, 패킷 송신부 및 머징 테이블로 구성되어 있다. 그러나, [4][5]에서 언급했던 ATM 교환 시스템을 기반으로 하여 만들어진 ACE2000 MPLS 시스템은 스위치 각 포트인 2.5Gbps 급의 16 포트가 각각 포트간에 Full-Mesh의 구조로 연결되어 있고 2.5Gbps 급의 스위치 포트는 다시 622Mbps 급의 4개의 포워딩 엔진 단위로 분리되는 구조를 갖는다. 따라서, 실제 사용될 수 있는 채널 연결 수에 있어 제한을 받게 된다. 본 논문에서는 [4][5]에서 언급하였던 VC 머징 제어기에서 채널 확장 기능을 부가한 출력방향 패킷 처리 장치 설계에 대하여 논한다.

본 논문의 구성은 제 2 장에서 [4][5]논문에서 언급하였던 시스템에서 해결해야 될 문제점을 중심으로 시스템 구성 및 요구사항에 대하여 언급하고, 제 3 장에

서는 VC 머징 기능을 중심으로 전체적인 포워딩 엔진 구조에 대하여 하드웨어 구성에 대하여 언급한다. 여기서는 VC 머징 장치의 동작을 위해 FPGA 로 구성되어 있는 패킷 제어기의 설계 내용 및 동작 매커니즘에 대하여 언급한다. 그리고, 마지막으로 제 4 장에서는 결론이 이어진다.

2. 시스템 구성 및 요구 사항

[4][5]에서 언급한 ACE2000 ATM 교환 시스템을 기반으로 하여 개발된 MPLS 시스템은 2.5Gbps 급의 16 개 스위치 포트를 갖는 40Gbps 용량의 ATM 교환시스템으로 구성되어 있다. 또한, LER(Label Edge Router)로 동작하는 시스템은 이 16 개의 포트들이 Full Mesh 형태로 연결되는 구조로 구성된다. 이로 인하여 구현된 시스템에서는 하나의 포트가 연결 설정을 위해 사용할 수 있는 레이블 자원이 1/16 로 줄어들고, 또한, 2.5Gbps 용량의 스위치 포트와 연결되는 포워딩 엔진 부분의 622Mbps 처리 용량의 VC 머징 기능이 포함된 4 개의 하드웨어 포워딩 엔진으로 구성되어 있다. 따라서, 각 포워딩 엔진에서 제공하는 연결 설정 자원은 다시 1/4 로 줄어드는 결과를 초래한다. 그림 1.은 이러한 시스템의 구성을 갖는 시스템 형상을 보여준다.

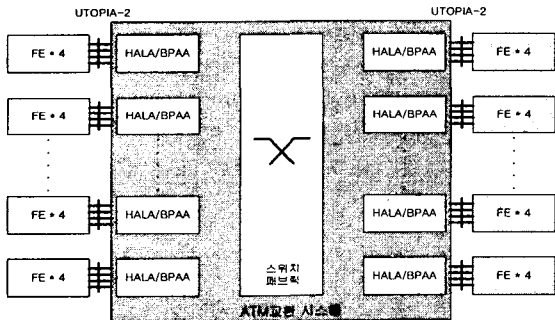


그림 1. ACE2000 기반 MPLS 시스템의 형상

[4][5]에서 언급한 VC 머징 장치는 622Mbps 처리 능력을 갖는 고성능 SAR 소자를 이용하여 구현되었다. 또한, 이 SAR 소자는 MPLS 레이블을 위해 사용되는 VPI/VCI 값을 16 비트의 채널 식별자(Channel Identifier) 라는 값으로 맵핑(mapping)하여 동작한다. 따라서, 이 SAR 소자를 이용한 ATM 기반 MPLS 시스템은 16 비트에 해당하는 64K 개의 연결 자원만을 제공한다. 따라서, 위에서 언급한 바와 같이 궁극적으로 하나의 포워딩 엔진에 대하여 1K 개의 연결 자원이 사용될 수 있는 구조를 갖는다. 따라서, 이 연결 자원의 수를 증가시키는 방안이 필요하다. 그리고, [4][5]에서 언급한 바와 같이 이 MPLS 시스템은 ATM 교환기를 기반으로

한 MPLS 시스템이므로 Ship-in-night 모드로 ATM 셀을 처리할 수 있도록 동작하여야 하고, 또한 포워딩 엔진에서 각 가입자로 연결되는 라우터들과 프로토콜 정보 교환을 위해 사용되는 라우팅 제어 패킷(RCP, Routing Control Packet)도 동시에 처리 가능하여야 한다.

3. 패킷 처리 장치 설계

출력방향 패킷 처리 장치는 크게 보드 레벨에서의 설계 및 머징 제어기로서의 기능을 담당하는 FPGA 설계로 구분할 수 있다.

3.1 보드 레벨에서의 설계

VC 머징 장치는 그림 2.에서 보여주는 구조를 갖는다. UTOPIA-2(Universal Test & Operations PHY Interface dor ATM Level-2) 셀 모드 인터페이스를 통해 그림 1.에서 보여준 HALA/BPAA 로부터 수신되는 ATM 셀이 고성능 SAR 소자를 이용하여 구성된 패킷 수신부로 전달된다. 패킷 수신부에서는 VPI/VCI 값에 따라 AAL-5 타입의 입력되는 ATM 셀을 패킷 프레임으로 재조립(Reassemble)하고, 상위 라우팅 소프트웨어가 동작하는 라우팅 프로세서(Routing Processor)와의 프로세서간 통신(IPC, Inter-Processor Communication) 프레임과 일반 데이터 프레임으로 구분한다. 이때 IPC 프레임은 그림 2.에서의 PCI 인터페이스를 통해 로컬 프로세서인 MPC860 CPU 에 전달되어 처리하게 되고, 일반 데이터 프레임은 UTOPIA 패킷 모드 인터페이스를 통해 패킷 제어기로 전달된다. 패킷 제어기로 전달된 패킷은 패킷 종류에 따라 구분 처리되어 패킷 송신부로 전달된다. 패킷 송신부로 전달된 패킷은 VC 머징 기능에 의해 처리된 패킷이다. 이 패킷은 패킷 송신부의 고성능 SAR 소자의 동작에 의하여 AAL-5 타입 패킷에서 ATM 셀로 분할(Segmentat ion)되어 물리층 인터페이스 보드로 보내진다.

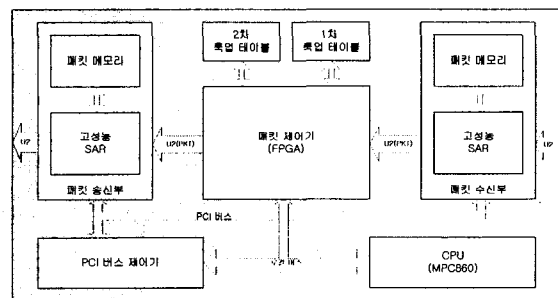


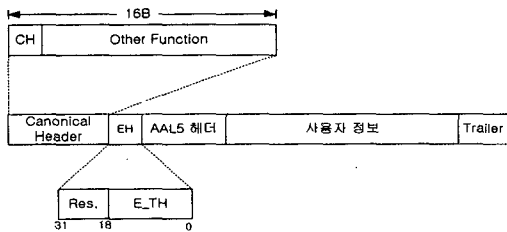
그림 2. 출력방향 패킷 처리장치의 구조

3.2 제안 패킷 제어기

제안된 패킷 제어기는 Xilinx FPGA 를 이용하여 설계되었다. 패킷 제어기에서는 입력되는 패킷을 일반 데이터 패킷, 순수 ATM 셀, RCP 패킷으로 구분하여 처리한다. 일반 패킷에 대해서는 [4][5]에서 언급하였던 VC 머징기능이 제공되도록 처리하여야 한다. 또한, [4][5] 및 제 2 장에서 언급하였던 바와 같이 고성능 SAR 소자의 이용 및 시스템의 Full mesh 구조에 따른 연결 설정 자원의 부족 문제를 해결하기 위해 연결 설정 자원을 증대시킬 수 있도록 하였다. 즉, 이를 위하여 그림 2 에서 보여주는 것처럼 입력되는 패킷은 2 차에 걸친 메모리 룩업 과정을 거쳐 처리된다.

그림 3. 연결설정 증대를 위한 일반 데이터 패킷 구조

패킷 제어기에서는 그림 3 에서 보여준 패킷을 받아들여 Canonical Header 필드중 16 비트로 구성된 채널 핸들(CH) 값을 이용하여 64K 엔트리를 갖는 1 차 룩업 테이블을 통해 룩업한 값 및 Canonical Header 필드의 PKT(Packet Type) 값을 이용하여 입력되는 패킷의 유형을 일반 패킷, RCP 패킷, 순수 ATM 셀로 구분하여



처리한다.

패킷 처리기에서는 그림 4 에서 보여주는 바와 같이 패킷 수신부로부터 패킷이 수신되면, 그림 3 의 CH 값을 이용하여 1 차 룩업 후 그 값에 따라 패킷의 유형을 식별한다. 순수 ATM 셀일 경우 룩업된 값에서 VPI/VC1 값을 추출하고, 대표 TCID 값으로 TCID 필드를 입력 후 패킷을 송신한다. 일반 데이터 패킷일 경우에는 그림 3 에서 보여준 EH(Extension Header) 필드의 E_TH(Extension Tag Header)값을 이용하여 2 차 룩업 테이블을 룩업하여 TCID 값으로 입력하고, 입력된 패킷의 EH 필드의 삭제 처리 후 패킷을 송신한다. 마지막으로 RCP 패킷을 경우에는 [4][5]에서와 같이 RCP_ID(Routing Control Packet Identifier)값을 이용하여 TCID 필드를 입력하고, 입력된 RCP_ID 필드를 삭제 처리 후 송신한다.

이런 구조로 구성된 시스템은 기존 패킷 처리기에서와 같이 64K 엔트리(Entry)를 갖고 있는 1 차 룩업 테이블 및 확장 헤더(EH) 필드 내에 256K 확장 태그(E_TH) 필드에 의한 룩업 테이블을 갖는다. 이를 이

용 2 차 룩업시 이 확장 태그 필드를 이용하여 256K 개까지의 연결 설정을 제공할 수 있다. 즉, 기존 패킷 제어기 보다 4 배 증가된 채널 연결 설정 능력을 제공한다.

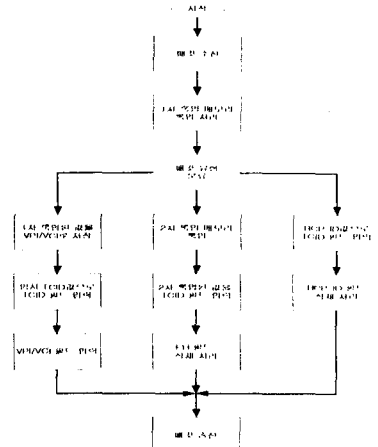


그림 4. 패킷 처리기에서의 패킷 처리 절차

4. 결론

새로운 부가 기능을 요구함에 따라 기존의 hop-by-hop 개념의 인터넷 패러다임의 가장 효율적인 대안중의 하나가 MPLS를 적용하는 것이다. 그리고, MPLS 시스템을 직접 적용하는 가장 현실적인 방법 중 하나는 ATM 교환기의 L2 스위칭 기능을 활용하는 것이다. ACE2000 MPLS 시스템은 ATM 교환시스템에 MPLS 기능을 부가함으로써 사용자들에게 차별화 된 서비스를 제공할 수 있다. 본 논문에서는 ATM 기반 MPLS 시스템에서 필수적으로 요구되는 VC 머징기능이 포함하고, 채널 연결 설정 수를 증대시킬 수 있는 출력방향 패킷 처리장치에 대하여 제안하였다.

참고문헌

- [1] B. Davie, J. Lawrence, K. McCloghrie, E. Rosen, G. Swallow, Y. Rekhter, P. Doolan, "MPLS using LDP and ATM VC Switching," IETF RFC3035, Jan. 2001.
- [2] Indra Widjaja, "Performance Issues in VC-Merge Capable Switches for Multiprotocol Label Switching," IEEE Journal on selected area in communications, Vol. 17, No. 6, pp. 1178-1189, June 1999.
- [3] Peifang Zhou, "Reducing buffer requirement for VC-merge capable ATM switches," GLOBECOM'99, Vol. 1a, pp.44-8, 1999.
- [4] 박완기 외 3명, "ACE2000 MPLS 시스템을 위한 VC 머징 제어기 설계", 2001년도 한국정보과학회 가을 학술대회 논문집(III) pp304-306, 10, 2001.
- [5] 박완기 외 3명, "ATM 기반 MPLS 시스템의 VC 머징 제어기 구현 및 검증", 2001년도 대한 전자공학회 통신 Society 추계학술대회 논문집, 11, 2001.