

UTOPIA-L3/CSIX-L1 변환모듈 설계

김광옥* 최창식* 박완기* 광동용*
한국전자통신연구원 네트워크핵심기술연구부 NP라우팅팀*
kwangok@etri.re.kr

A Design of Converter Module between UTOPIA-L3 and CSIX-L1

Kwang-Ok Kim* Chang-Sik Choi* Wan-Ki Park* Dong-Young Kwak*
Network Labs. ETRI, Dept. of Info.

요 약

NP Forum에서는 다양한 벤더의 네트워크 프로세서와 스위치 패브릭간에 물리적 인터페이스를 제공하기 위해 CSIX-L1(Common Switch Interface-Level1)인터페이스를 표준화하였다. IBM 네트워크 프로세서는 MPLS 및 VPN, VLAN, Security, Ipv6와 같은 다양한 어플리케이션과 TBI, SMII, GMII, POS bus 등 다양한 가입자 인터페이스를 지원하며, L2 기반에서 2.5Gbps 이상의 패킷 처리를 수행하기 때문에 많은 시스템에 사용된다. 그러나 IBM 네트워크 프로세서는 스위치 인터페이스로 DASL 인터페이스를 사용한다. 따라서 DASL 인터페이스와 CSIX-L1 인터페이스를 정합하기 위해서는 IBM UDASL 칩을 이용해 DASL 인터페이스를 UTOPIA-L3 인터페이스로 변환해야 하며, 이것을 다시 CSIX-L1 인터페이스로 변환해야 한다.

따라서 본 논문에서는 UTOPIA-L3 인터페이스 패킷과 CSIX-L1 인터페이스 프레임을 상호 변환하는 모듈을 설계하였으며, 32비트 데이터 버스와 최대 125MHz로 클럭을 사용해 최대 4Gbps의 패킷 처리를 제공하도록 구현하였다. 또한 스위치 패브릭의 특정 포트에서 과잉 트래픽 전달로 인해 발생할 수 있는 블로킹을 방지하기 위해 네트워크 프로세서에게 3개의 Priority/최대 64개 포트수의 VOQ(Virtual Output Queue)를 제공하는 기법에 대해서 기술한다.

1. 서 론

네트워크 프로세서는 다양한 멀티미디어 서비스 및 어플리케이션을 빠른 시간에 구현 가능하고, 높은 대역의 패킷 프로세싱 파워를 낼 수 있어 많이 요구된다. 현재 Agere, Intel, Motorola, Vitesse, AMCC, IBM 등 많은 벤더들이 2.5Gbps급 네트워크 프로세서를 개발 중이거나 이미 상용화를 시작하였다. 특히 IBM 네트워크 프로세서는 MPLS 및 VPN, VLAN 등 다양한 서비스와 TBI, SMII, GMII, POS bus 등 다양한 가입자 인터페이스를 지원하며, L2 기반에서 2.5Gbps 이상의 패킷을 처리할 수 있어 많이 사용된다. 그러나 IBM 네트워크 프로세서는 표준화된 CSIX-L1 인터페이스 대신에 고유의 DASL 인터페이스를 사용한다. 따라서 IBM 네트워크 프로세서를 IBM 스위치가 아닌 표준 CSIX-L1 인터페이스를 지원하는 스위치와 정합하기 위해서는 DASL 인터페이스를 CSIX-L1으로 변환하는 과정이 요구된다. 직접 FPGA를 사용하여 DASL/CSIX-L1 상호 변환모듈을 구현할 수 있겠지만, DASL 인터페이스는 400~500MHz의 클럭에 데이터를 처리하므로 현재 FPGA 기술로는 구현이 불가능하다. 따라서 DASL 인터페이스는 ASIC으로 구현되어야 한다. DASL 인터페이스를 CSIX-L1으로 정합하기 위해 IBM의 UDASL 칩의 DASL ASIC 인터페이스를 사용한다^{[1][2]}.

본 논문에서는 UDASL 칩을 통해 출력되는 UTOPIA-

L3 패킷을 CSIX-L1 프레임으로 또는 CSIX-L1 프레임을 UTOPIA-L3 패킷으로 변환하는 UTOPIA-L3/CSIX-L1 변환모듈을 FPGA를 이용해 구현하였다. 또한 스위치 출력포트에서 발생하는 블로킹을 방지하기 위해 네트워크 프로세서에게 최대 64개 포트수의 VOQ를 제공하도록 구현하였다. 본 논문의 구성은 2장에서 DASL 인터페이스와 CSIX-L1 인터페이스 정합 구조에 대해서 논의하고, 3장에서는 본 논문에서 제안한 UTOPIA-L3/CSIX-L1 변환모듈 FPGA 구조 및 VOQ 지원 구조에 대해서 고찰한다. 그리고 마지막으로 결론을 맺는다.

2. IBM DASL/CSIX-L1 인터페이스 정합구조

시스템 개발에 IBM 네트워크 프로세서를 사용하는 경우 DASL 인터페이스를 표준화된 CSIX-L1 인터페이스와 정합하기 위해 IBM 상용 UDASL 칩과 UTOPIA-L3/CSIX-L1 변환모듈을 이용해 구성한다. UDASL 칩은 IBM에서 고안된 연결방식과 달리 DASL 인터페이스가 스위치 패브릭이 아닌 네트워크 프로세서와 연동되어 사용되고, UTOPIA-L3 인터페이스를 네트워크 프로세서가 아닌 UTOPIA-L3/CSIX-L1 변환모듈에 정합 되도록 구성한다. 상용 UDASL 칩은 DASL 인터페이스를 통해 입력된 네트워크 프로세서 셀을 UTOPIA-

-L3 패킷으로 변환하여 FPGA 모듈에 전달하는 기능을 수행하며, 또한 FPGA로부터 입력되는 UTOPIA-L3패킷을 DASL인터페이스 셀 포맷으로 변환하여 네트워크 프로세서에 전달한다. DASL인터페이스는 8비트의 Differential 데이터 버스를 이용하여, 스위치로부터 50~62.5MHz 클럭을 받아 8배로 분주해 400~500MHz의 속도로 패킷을 전송한다. DASL/CSIX-L1 정합구조는 그림 1과 같다¹³⁾.

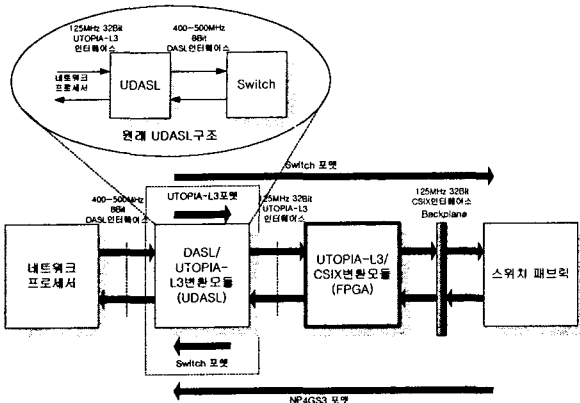


그림 1. IBM NP4GS3 DASL/CSIX-L1 스위치 정합구조.

3. 제안한 UTOPIA-L3/CSIX-L1 변환모듈 구조

본 논문에서는 제안한 UTOPIA-L3/CSIX-L1 변환모듈은 UDASL칩에서 출력되는 UTOPIA-L3 패킷을 CSIX-L1 프레임으로 변환하는 Ingress Path기능과 CSIX-L1 프레임을 UTOPIA-L3 패킷으로 변환하는 Egress Path 기능을 수행한다. 고속 패킷 처리를 수행하기 위해 4단 파이프라인 구조로 설계되었으며, 내부 모듈 구조는 그림 2와 같다¹⁴⁾¹⁵⁾¹⁶⁾.

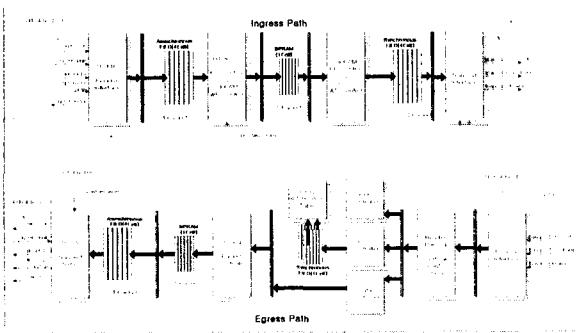


그림 2. 제안한 UTOPIA-L3/CSIX 내부 변환 모듈구조.

송/수신 UTOPIA-L3인터페이스는 모두 Slave 모드로 동작하며, 32비트 데이터버스를 사용한다. 송/수신 UTOPIA-L3 인터페이스를 위한 클럭은 UDASL칩에서 제공되며, 100~125MHz를 사용한다. UDASL칩이 URXPV 신호를 보고 패킷을 받을 준비가 될 때, N_URXENB 신호를 UTOPIA-L3/CSIX-L1변환모듈에 인가한다. 이 신호를

받은 UTOPIA-L3/CSIX-L1변환모듈은 패킷 시작을 나타내는 URXSOP와 4바이트의 패킷 스트림 데이터를 전송하게 된다. 반면에 UDASL칩에 패킷이 입력되면, 패킷을 전송하기 위해 N_UTXFULL신호를 보고 Full이 아니면 UTXSOP와 4바이트의 패킷 스트림 데이터를 전송한다. 송신 UTOPIA-L3인터페이스를 통해 입력된 패킷은 Packet-level Handshaking을 위해 Asynchronous FIFO에 저장되어 패리티 비트를 체크한 후 정상적인 64바이트 패킷이 입력되었는지 확인하게 된다. 정상적인 패킷이 입력되면 64바이트 패킷을 CSIX-L1 프레임 포맷으로 변형하기 위해 Synchronous FIFO에 저장되어 그림 3과 같이 CSIX-L1 제어 정보에 따라 프레임을 전송한다.

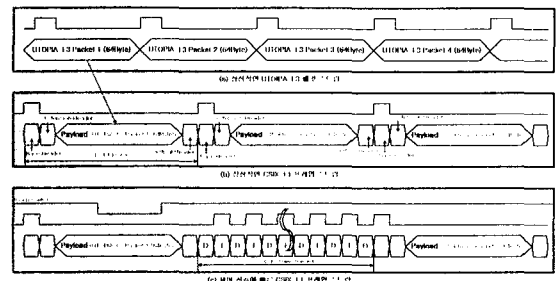


그림 3. UTOPIA-L3/CSIX-L1 패킷 변환 구조.

그림 3-(a)에서 정상적으로 입력된 패킷은 3-(b)와 같이 Base Header와 Extension Header를 생성해 패킷과 함께 CSIX-L1 프레임으로 생성해 스위치로 전송한다. 만약 그림 3-(c)에서처럼 스위치가 프레임 받을 수 없을 때 현재 전송중인 프레임은 모두 전송하고 그 다음 프레임부터 Pause하게 된다. 비 정상적인 64바이트 패킷이 입력되면, 이 패킷은 CSIX-L1프레임으로 변환되지 않고 Asynchronous FIFO에서 Discard 된다. 또한 64바이트 패킷 전송 중에 새로운 패킷이 입력되면 앞에 받은 패킷을 버리게 된다. 이 처리는 그림 4와 같이 DPRAM을 이용하여 수행된다.

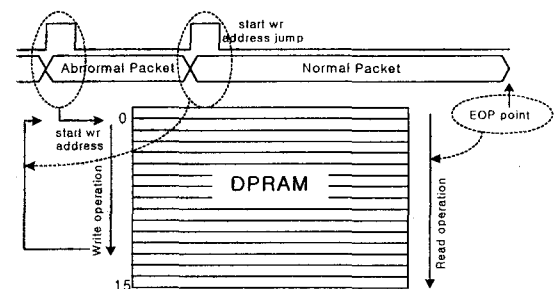


그림 4. 비 정상 UTOPIA-L3 패킷 처리구조.

SOP신호와 패킷 스트림이 입력되면 순서대로 DPRAM에 저장된다. 만약 EOP가 들어오지 않고 새로운 SOP가 입력되면 패킷은 읽혀지지 않는다. EOP가 입력될 때만 하나의 패킷을 읽어 프레임으로 변환할

수 있도록 CSIX-L1 제어블록에 전송한다.

CSIX-L1 인터페이스는 32비트 데이터 버스와 125MHz 클럭을 사용한다. CSIX-L1 프레임 제어는 Base Header 안에 있는 Ready Bit(1:0)를 이용해 수행된다. 그림 3-(c)에서처럼 Ready Bit가 "0"이면 스위치로 패킷을 전송할 수 없게 된다. 스위치는 전송할 데이터가 없으면 IDLE 프레임 전송하게 되는데, 이 프레임 정보를 이용해 현재 스위치가 프레임 받을 수 있는지 체크를 수행하며, UTOPIA-L3/CSIX-L1 변환모듈에서 IDLE 프레임 전송할 때 해당 정보로 사용한다. 또한 스위치 제어 프레임 정보는 각 스위치 출력 포트의 상태를 프레임 제어를 수행하게 한다. 본 논문에서는 이 제어 프레임 정보를 이용해 네트워크 프로세서가 VOQ를 수행할 수 있도록 지원하고 있다. 그 구조 및 전송방법은 그림 5와 같다.

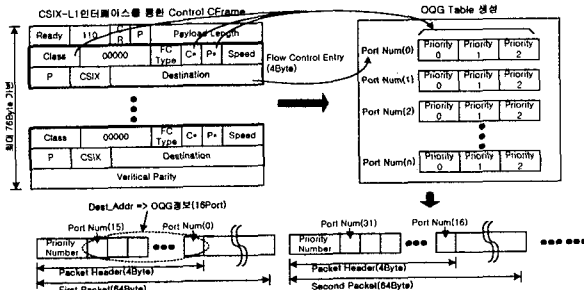


그림 5. VOQ 지원을 위한 OQG 매핑구조 및 전송방법.

HOLB(Head-of-Line Blocking)을 제거하고 전체 시스템 전송 효율성을 증가시키기 위해 VOQ를 사용한다. Destination 어드레스는 스위치 입력 단에서 라우팅 정보로 사용되며 출력 단에서는 의미 없는 필드가 된다. 따라서 이 필드를 이용하여 각 포트의 OQG 정보를 전송한다. IBM 네트워크 프로세서가 3개의 Priority만을 지원하기 때문에 UTOPIA-L3/CSIX-L1 변환모듈은 3개의 Priority에 따른 포트정보 테이블을 가지고 있다. CSIX-L1 인터페이스를 통해 입력되는 제어 프레임은 OQG 테이블에 다음과 같이 매핑된다.

- ① C*='1'이면 Dest_Addr에 해당하는 포트의 모든 Priority를 '0'으로 만든다. '0'은 패킷 전송이 불가능함을 표시한다.
 - ② C*='0'이고 P*='0'이면 Class비트와 Dest_Addr 필드를 이용해 해당 포트와 해당 Priority만 '0'으로 만든다.
 - ③ C*='1'이고 P*='1'이면 모든 포트와 Priority를 '0'으로 만든다.
 - ④ C*='0'이고 P*='1'이면 모든 포트에서 Class 필드에 지정된 Priority만 '0'으로 만든다.
- IBM 네트워크 프로세서는 64바이트 패킷 전송마다 2비트의 Priority 필드와 16비트의 Dest_Addr 필드 통해 OQG 정보를 전송한다. 또한 IDLE 패킷을 통해 모든 포트에 대한 모든 Priority의 OQG 정보를 전송한다. CSIX-L1 인터페이스를 통해 입력되는 데이터는 DPRAM을 통해 Base Header와 Extension Header를 제거하고 페이로드에서 UTOPIA 패킷을 추출한다.

UTOPIA-L3/CSIX-L1 변환모듈의 Ingress/Egress 패킷 변환 과정은 그림 6과 같다.

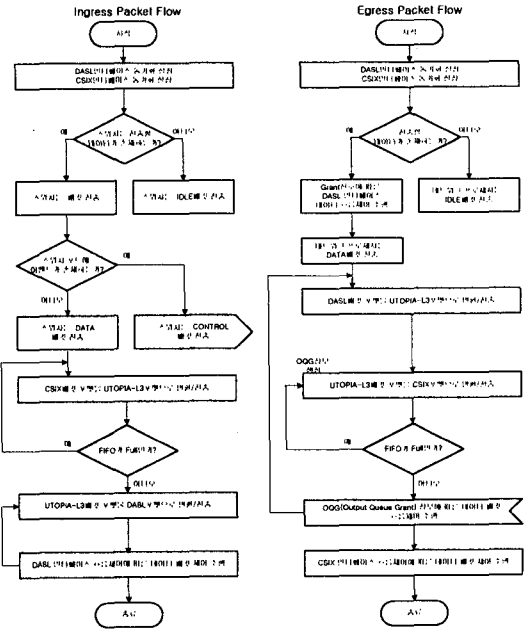


그림 6. UTOPIA-L3/CSIX-L1 패킷 변환 흐름도.

4. 결론

본 논문에서는 UDASL 칩을 사용하여 IBM 네트워크 프로세서가 CSIX-L1 인터페이스의 스위치와 정합하는 구조에서 UDASL 칩의 UTOPIA-L3 패킷을 CSIX-L1 프레임으로 변환하는 모듈을 설계하였다. UTOPIA-L3/CSIX-L1 변환모듈은 고속 패킷 처리를 수행하기 위해 파이프라인 구조로 설계되었으며, 125MHz/32Bit 데이터 버스를 통해 최대 4Gbps까지의 패킷을 처리할 수 있다. 또한 네트워크 프로세서가 최대 64개의 출력 포트 당 3개의 Priority의 VOQ를 제어할 수 있도록 OQG 정보를 제공한다. 또한 스위치 인터페이스로 UTOPIA-L3 인터페이스를 사용하는 네트워크 프로세서에도 구현된 모듈이 사용될 것으로 예상된다.

참고문헌

- [1] IBM Doc. "Packet Routing Switch Serial Interface Converter Datasheet", Jan 14, 2002.
- [2] IBM Doc. "IBM Power Network Processor NP4GS3 Datasheet", Feb 25, 2002.
- [3] IBM Doc. "Packet Routing Switch PRS28.4G Version 1.7 Datasheet", Feb 6, 2001.
- [4] NP Forum. "Common Switch Interface Specification-L1", Aug 5, 2000.
- [5] ATM Forum. "UTOPIA-L3 Physical layer Interface", af-phy-0136.000, Nov, 1999.
- [6] 김기민 외 3명. "CSIX와 스위치 인터페이스를 위한 프로토콜 변환기 설계, NCS2000, 2000.