

ATM망에서의 UPC 알고리즘 구현

이요섭 조태경* 최명렬

한양대학교 전자전기제어계측공학과
*한양사이버대학교 컴퓨터공학과
(remnant, choimy)@asic.hanyang.ac.kr
*computer@hycu.ac.kr

Implementation of UPC algorithm in ATM network

Yo-Seop Tae-Kyung Cho* Myung-Ryul Choi
Dept. of EECL, Hanyang University

*Dept. of Computer Science, Hanyangcyber University

요 약

본 논문에서는 ATM 망의 트래픽 제어 기능 중의 하나인 UPC(Usage Parameter Control) 알고리즘을 제안하고 VHDL을 이용하여 칩(chip)을 구현하였다. 제안한 알고리즘은 우선순위가 높은 셀의 손실을 최소화 하고, 트래픽의 다중화 및 역다중화 과정에서 발생하는 트래픽의 군집성을 해소할 수 있다는 장점을 갖고 있다. 구현한 칩은 입력 모듈과 UPC 모듈, 출력 모듈의 3부분으로 이루어지며, 편의상, UPC 모듈에서는 커넥션 테이블의 index를 VCI(Virtual Channel Identifier)와 동일하게 할당하였다. 또한 UPC 모듈의 VSA(Virtual Scheduling Algorithm)블럭에서 셀의 도착시간을 계수하는 카운터가 랩-어라운드(wrap-around)할 때 생기는 VSA의 오류를 보정하여 구현하였다.

1. 서 론

ATM은 다양한 트래픽 종류들을 수용하며, 사용자와 망이 요구하는 사항들을 만족시키기 위하여 트래픽 제어 기능을 제공해야 한다. 트래픽 제어는 체증이 일어난 후에 처리하는 대응 제어보다는 체증이 일어나지 않게 미리 예방하는 예방 제어가 더 바람직하다. ITU-T의 권고안 I.371에는 예방적 트래픽 제어 방법으로 호 수락 제어, 사용 변수 제어(UPC: Usage Parameter Control), 자원 관리, 우선순위 제어 및 트래픽 정형화 등을 정의하고 있다. 예방적 제어가 추구하는 기본 목표는 QoS(Quality of Service)의 보장하는 것으로서 연결 수락 제어와 사용 변수 제어가 있다. 사용 변수 제어는 망이 사용자의 트래픽량과 셀 경로 유효성의 측면에서 감시하고 조처하는 것으로서 사용자의 트래픽 변수가 호 설정 시 협정했던 대로 잘 지켜지고 있는지의 여부를 감시하여 상응하는 조치를 취하는 것이다[1, 2].

본 논문에서는 셀 손실 우선 순위를 고려하여 우선 순위가 높은 셀(cell loss priority 비트가 0인 셀)의 손실을 최소한으로 하는 개선된 UPC 알고리즘[4]을 제안하고 그것을 VHDL로 구현하였다. 본 논문의 구성은 다음과 같다. 2장에서는 ITU-T의 권고안에서 소개한 기존의

UPC 알고리즘에 관해 논한다. 3장에서는 본 논문에서 제안한 알고리즘에 대해 기술하고, 4장에서는 제안한 알고리즘을 3개의 모듈로 나누어 VHDL을 이용하여 하두 웨어로 구현한 결과들을 나타내었다. 마지막으로 5장에서는 결론을 맺고 향후 연구과제에 관해 논하였다.

2. 기존의 UPC 알고리즘

기존의 ITU-T 권고안에 의한 셀 손실 우선 순위 기반의 UPC 알고리즘에 대한 내용이 그림 1에 나타나 있다. ITU-T 권고안에 의한 UPC 알고리즘은 $VSA(T_{0+1}, \tau_{0+1})$ 을 수행하는 시점에 따라 $CLP = 0$ 셀의 손실률이 차이가 날 수 있다. 즉 $VSA(T_{0+1}, \tau_{0+1})$ 을 수행하는 과정에서는 $CLP = 0$ 셀과 $CLP = 1$ 셀에 대한 구분이 없기 때문에 $VSA(T_0, \tau_0)$ 을 통과한 적합한 $CLP = 0$ 셀이 $VSA(T_{0+1}, \tau_{0+1})$ 을 수행하는 과정에서 적합치 못한 셀로 판단되어 폐기되는 경우가 발생한다. 그림 2에서와 같이 셀이 유입되는 경우에 $CLP = 0$ 셀들은 $VSA(T_0, \tau_0)$ 에 의해 모두 적합한 셀로 판단되었으나 $VSA(T_{0+1}, \tau_{0+1})$ 에서는 적합치 않은 셀로 판단되어 모두 폐기되어 진다. 즉, ITU-T UPC 알고리즘은 사용 변수 제어를 시작하는 위치에 따라 $CLP = 0$ 셀에 대한 손실률이 높게 나타나 는 경우가 발생하게 된다.

그림 1에서 사용한 기호의 정의는 다음과 같다.

- T_0 : CLP = 0 셀에 대한 셀 도착 간격, VSA에서 1과 동일.
- T_{0+1} : CLP = 0 셀과 CLP = 1 셀의 합에 대한 셀 도착 간격.
- $VSA(x, y)$: 셀 도착 간격 x , 허용 오차 y 로 VSA 수행.
- τ_0 : CLP = 0 셀에 대한 허용오차, VSA에서 r 와 동일.
- τ_{0+1} : CLP = 0 셀과 CLP = 1 셀의 합에 대한 허용오차.

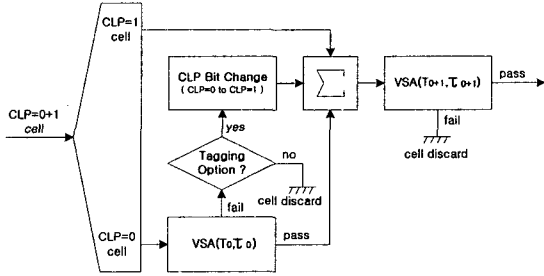


그림 1. ITU-T 권고안의 UPC 알고리즘

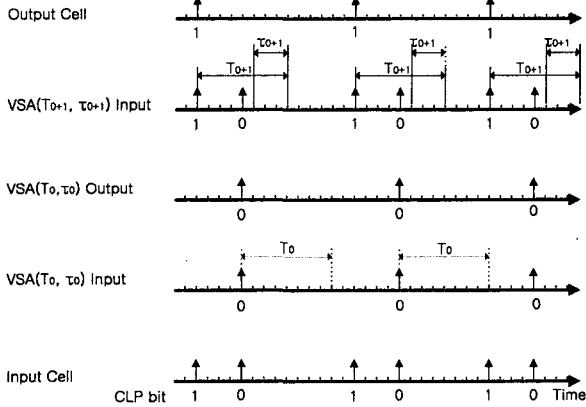


그림 2. ITU-T UPC 알고리즘의 문제점 ($T_0=T_{0+1}=8$ cell slots, $\tau_0=\tau_{0+1}=3$ cell slots의 경우)

3. 제안한 UPC 알고리즘

본 논문에서 제안한 알고리즘은 그림 3에 나타내었다. 구현한 알고리즘은 손실 우선 순위가 낮은 CLP = 0 셀의 손실을 최소로 하기 위해 UPC 출력단에 1개의 셀을 저장할 수 있는 버퍼를 사용하였으며, $VSA(T_0, \tau_0)$ 을 통과한 CLP = 0 셀이 $VSA(T_{0+1}, \tau_{0+1})$ 을 거치면서 적합치 못한 셀로 판단된 경우에 해당 셀을 버퍼에 저장하고, $VSA(T_{0+1}, \tau_{0+1})$ 을 만족할 수 있도록 일정 시간을 지연한 후에 전송하는 것이다.

그림 4에 제안한 UPC 알고리즘을 적용했을 경우의 예를 보였다. 이것은 그림 2와 동일한 조건 즉 CLP = 0 셀에 대해서 최악의 조건을 가정한 것이다. CLP = 1 셀과 CLP = 0 셀이 모두 통과하였고, 트래픽의 균집성이 향상되었다.

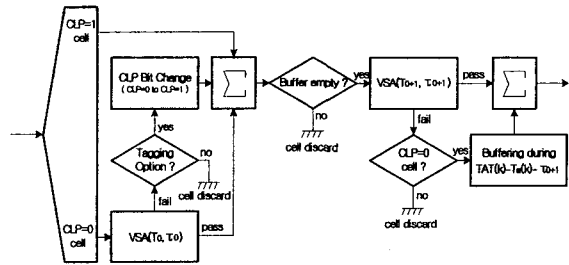


그림 3 셀 손실 우선순위 기반의 UPC 알고리즘

CLP = 0 셀 중에서 $VSA(T_{0+1}, \tau_{0+1})$ 를 만족하지 못한 셀은 $TAT(k) - T_a(k) - \tau_{0+1}$ 시간 동안 버퍼에 저장된 후 전송된다. 이러한 시간 지연은 입력 트래픽의 균집성을 해소시키는 이점이 있다.

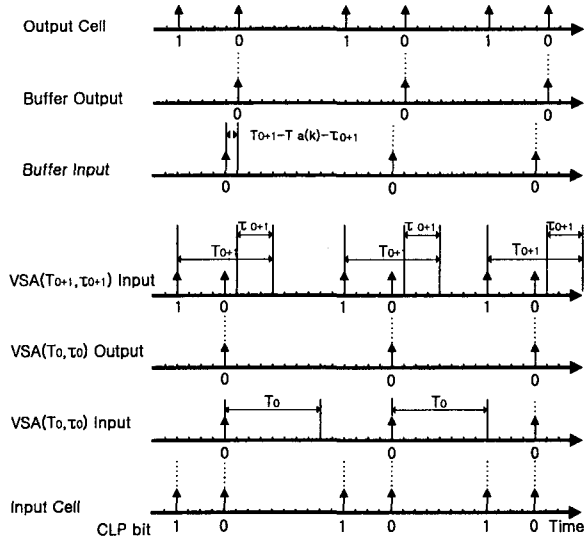


그림 4. 제안한 UPC 알고리즘의 예 ($T_0=T_{0+1}=8$ cell slots, $\tau_0=\tau_{0+1}=3$ cell slots의 경우)

4. 제안한 알고리즘의 하드웨어 구현

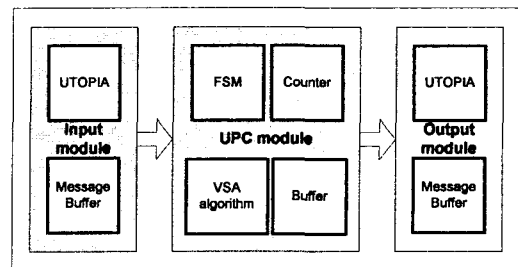


그림 5 구현한 칩의 전체 구조.

그림 5에 구현한 칩의 전체 구조를 도시하였다. 구현한 칩은 크게 입력 모듈, UPC 모듈, 출력 모듈의 3부분으로 나누어진다.

입력 모듈은 물리적인 계층과 구현한 UPC칩과의 인터페이스를 담당하는 UTOPIA(Universal Test & Operations PHY interface for ATM) 블록과 셀 버퍼로 구성된다.

UPC 모듈은 크게 3가지 기능을 가지고 있다. 주요 3가지 기능은 ATM 헤더의 VCI 값을 이용하여 변수들을 액세스하는 것과 VSA를 실행하는 기능, 마지막으로 처리가 끝난 셀을 출력 모듈로 보내는 기능이다. 따라서 UPC 모듈은 필요한 각 기능을 수용하기 위해서 헤더 레지스터와 FSM, VSA 블록과 메모리, 그리고 다중화기(MUX)로 구성된다. 그림 6은 UPC모듈의 세부 블록도를 나타내고 있다. VSA 알고리즘을 실행하기 위해서는 무한 카운터가 필요하게 되는데 이를 하드웨어로 구현하기 위해서 가상 클럭을 이용하여 램-어라운드가 일어나는 시점을 분산시켜서 구현하였다.

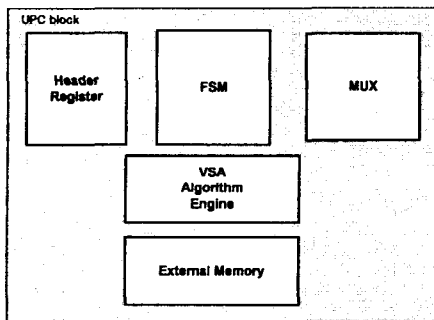


그림 6. UPC 모듈의 설계

출력 모듈은 입력 모듈과 유사한 구조로서, 전송할 셀은 메시지 버퍼에 쌓였다가 UTOPIA를 통해 물리적 계층으로 보내진다.

4. 제안한 알고리즘의 합성 결과

제안한 알고리즘의 구현을 위해서 아남 0.25 μm 라이브러리(library)를 이용하였다. Synopsys사의 VHDL 어넬라이저(analyzer)를 이용하여 외부메모리를 제외한 회로의 합성결과로 2,387개의 게이트가 소요되었다. 그림 7에서는 디자인 어넬라이저(design analyzer)를 이용한 회로 합성을 통하여 얻어진 실제 칩으로 제작될 회로를 도시하였다.

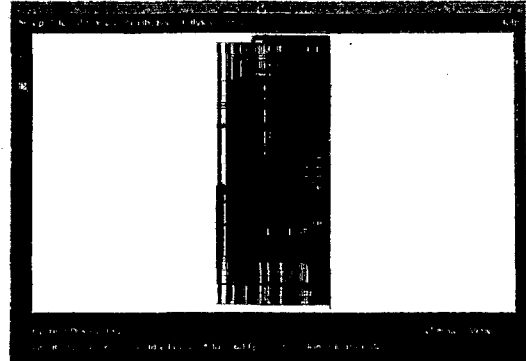


그림 7. 합성 결과

5. 결론

본 논문에서는 ATM 망의 트래픽 제어를 위한 UPC 알고리즘을 제안하고 VHDL로 구현하였다. 구현한 칩은 셀손실 우선순위가 낮은 CLP=0 셀의 손실을 최소화 하기 위해 출력 모듈에서 하나의 셀을 저장할 수 있는 셀 버퍼를 사용하여, 기존의 ITU-T I.371에서 제안한 UPC 알고리즘의 문제점을 개선하였다. 또한, 셀 버퍼를 거치는 CLP=0 셀은 일정 시간 지연 후에 전송되므로 셀 간 시간간격(time between cells)이 커지게 되고, 따라서 트래픽의 균집성을 해소하는 효과를 얻을 수 있다.

* 참고 문헌

- [1] ITU-T Recommendation I.371, "Traffic Control and Congestion Control," Frozen Issue-Paris, Mar. 1995.
- [2] ATM Forum Technical Committee, "Traffic Management," Raleigh, NC. Mar. 1994.
- [3] 조태경, 최병욱 "셀 손실 우선순위 기반의 사용 변수 제어," 한국통신학회 논문지 '99-2 Vol. 24 No.2A
- [4] Weng Fook Lee, "Coding and Logic Synthesis with SYNOPSIS, Academic Press, pp.57-225, 2000.
- [5] Tae-kyung Cho, "Usage parameter control algorithm based on cell priority," Electronics Letters, Vol.36, No.20, pp. 1750-1752, Sep. 2000.