

이진결정 그래프를 이용한 비동기 회로의 초기화

김수현* 이정근*
 광주과학기술원 정보통신공학과*
 광주광역시 광산구 쌍암동 572
 E-mail : {shkim,eulia,dilee}@galchi.kjist.ac.kr

최호용** 이동익*
 충북대학교 전기전자 공학부**
 충북 청주시 흥덕구 개신동 산48
 hychoi@cbucc.chungbuk.ac.kr

An Initialization Issue of Asynchronous Circuits Using Binary Decision Diagram

Soohyun Kim*, Jeonggun Lee*, Ho-Yong choi*, and Dong-Ik Lee*
 *Dept. of Information & Communications, K-JIST 572 Ssangam-Dong Kwangsan-Gu, Kwang-Ju E-mail : {shkim,eulia,dilee}@galchi.kjist.ac.kr
 *School of Electrical & Electronics Eng. Chungbuk National Univ., Cheong-Ju hychoi@cbucc.chungbuk.ac.kr

Abstract

We present a method for initialization of asynchronous circuits using Binary Decision Diagram(BDD) which can be used more efficient state space representation. From State Transition Graph(STG) which is given as a specification a circuit, the BDD is generated to solve the state space explosion problem which is caused by concurrency of STG. We suggest an initialization algorithm using BDD. At the first step, we construct the necessary information as a form of K-map from BDD, then find an initial state on the K-map by assignment of don't care assignment.

1. 서론

비동기 회로(asynchronous circuit)는 동기 회로(synchronous circuits)와 달리 성능면에서 많은 장점을 갖고 있어 최근 관심이 증대되어[1], 비동기 회로의 설계와 이에 대한 합성법에 관한 연구가 최근 활발히 연구되고 있다[2]. 그러나, 초기화를 포함한 테스트 용이성(testability)을 고려한 연구는 아직 초기 단계에 있다[2].

초기화란 순차 회로를 초기 임의의 상태에서 특정 상태(known state)로 유도해 나가는 과정이다. 이 초기화는 순차 회로의 테스트 생성에 중요한 단계로, 주어진 회로의 테스트가 불가능하다면 테스트 생성 시간이 길어지고 테스트의 효율성이 떨어지게 된다. 따라서 설계 단계나 합성 단계에서 초기화를 고려하는 것이 효율적이다.

비동기 설계의 초기화를 위한 합성법이 몇몇 연구자에 의해 제안되었다[3,4,5,6]. Chakradhar 등은[3] 적절한 don't care 할당을 통해 초기화 합성을 하는 방법을 제안하였다. 이 방법은 합성 과정에서 상태 전이 그래프(STG)로부터 K-map을 구성하여, (1)적절한 don't care 할당 (2)조합적 초기화(combinational

initialization)를 통해 초기화 벡터를 구한다. 그러나, 신호전이그래프의 병행성에 기반해서 탐색 공간이 많아짐에 따라 계산량이 방대해지는 문제점을 가진다. 만약 초기화가 불가능한 경우에는 주어진 신호전이그래프를 변형하여 초기화 벡터를 찾는 방법도 제안하였다[4]. 한편, Nowick 등은[5] 적절하지 못한 상태 할당으로 인해 발생하는 문제를 해결하기 위해 상태 할당 과정을 합성 과정에 포함시키는 방법을 제안하였다. 그러나, 이 방법은 단일 초기화 벡터에만 적용 가능하다는 문제점을 갖는다.

본 논문에서는 회로의 명세가 신호전이그래프로 주어진 비동기 회로의 초기화를 고려한다. 이때, 주어진 신호전이그래프의 병행성에 기인하여 상태공간 폭발문제가 발생한다. 이에 대해 본 논문에서는 초기화 과정에서 사용되는 알고리즘에 상태공간표현에 이진결정그래프(BDD)[7]를 사용하여 더욱 효과적으로 초기화를 수행할 수 있는 방법을 제안한다. 즉, 주어진 신호전이그래프를 이진결정그래프로 변환하고, 초기화 과정을 수행하기 위해 필요한 정보를 얻기 위해 이진결정그래프로부터 각각의 출력신호에 대한 K-map을 구성한다. 얻어진 K-map에 대해 Chakradhar 등에 의해 제안된 조합적 초기화 방식을 적용해 초기화 상태와 초기화 벡터를 구한다.

2. 관련 연구

이 장에서는 초기화 방법을 수행하기 위해 필요한 기본 연구들에 관해 간략하게 알아본다.

2.1 신호전이그래프의 이진결정그래프 모델링

페트리넷 $N = \langle P, T, F, m_0 \rangle$ 은 4-튜플로서 $P = \{p_1, p_2, \dots, p_n\}$ 는 장소(place)들의 유한 집합이며, $T = \{t_1, t_2, \dots, t_m\}$ 는 전이(transition)들의 유한 집합이다. P 와 T 는 $P \cap T = \emptyset$ 와 $P \cup T \neq \emptyset$ 조건을

만족한다. $F \subseteq (P \times T) \cup (T \times P)$ 는 아크(flow relation)들의 집합이며, $m_0 : P \rightarrow N$ 는 초기 마킹이다. 페트리 넷의 구조는 넷의 움직임을 결정하는 전이 규칙(firing rule)의 집합을 정의한다. 전이 t 는 각 장소 $p \in \bullet t$ 가 최소한 하나의 토큰을 가질 때 발생 가능 상태(enabled)가 된다. 페트리넷은 전이발생가능상태에 있는 전이(transition)들을 발생(fire)함으로써 상태를 변화시켜 나간다. 신호전이그래프는 전이가 신호의 변화를 나타내는 페트리넷이다

[정의 2.1 신호 전이 그래프(STG)] 신호 전이 그래프 D 는 3-튜플 $\langle N, S_A, \lambda \rangle$ 로 이루어지며, N 은 신호 전이 그래프의 행동(behavior)을 나타내는 페트리넷이며, S_A 는 입력 신호 S_I , 출력 신호 S_O 와 내부 신호 S_H 의 합집합인 신호들의 집합이다. 그리고 $\lambda : T \rightarrow S_A \times \{1, 2, \dots\} \times \{+, -\}$ 는 라벨링(labeling) 함수이다.

명세로 주어진 신호전이그래프로부터 각 전이들을 발생시킴으로써 전상태공간을 생성해나갈 수 있다. 이때 사용되는 전이 함수는 $\delta : 2^{M_P} \times T \rightarrow 2^{M_P}$ 로 정의된다. M_1 에서 새로운 마킹 집합 M_2 를 $\delta(M_1, t) = \{m_2 \in M_P : \forall m_1 \in M_1, s.t. m_1(t) > 0, m_1(t) > m_2(t)\}$ 를 이용하여 계산한다. 이 전이함수의 보다 효율적 구현을 위해 이진결정그래프로서 구현된 전이에 대한 정보를 이용하여 새로운 마킹 집합을 찾는 위상 이미지 계산을 이용한다 [8]. 이를 위해 다음과 같은 4개의 특성 함수가 필요하다.

$$E_t = \prod_{p \in \bullet t} p_i \quad (t \text{ enabled}),$$

$$NPM_t = \prod_{p \in \bullet t} \bar{p}_i \quad (\text{no predecessor of } t \text{ is marked}),$$

$$ASM_t = \prod_{p \in t \bullet} p_i \quad (\text{all successor of } t \text{ are marked}),$$

$$NSM_t = \prod_{p \in t \bullet} \bar{p}_i \quad (\text{no successor of } t \text{ is marked})$$

위의 특성 함수가 주어지면, t 에 대한 제한적 이미지 계산은 $\delta(M, t) = (M \cdot E_t \cdot NPM_t)_{NSM_t} \cdot ASM_t$ 와 같이 계산된다. 다음 그림 1은 전이 정보를 통한 넷 순회 알고리즘이다.

2.2 비동기 회로의 초기화

Chakradhar 등이 제안한 방법은 신호전이그래프에서 유도된 비동기 상태 그래프(Asynchronous State Graph)에서 시작한다. 이 방식은 ASG로부터 K-map을 구성하여 적절한 don't care 할당을 통해 초기화 벡터를 찾아나간다[3].

알고리즘은 초기화 되지 않은 상태 비트를 초기화 도구인 INIT 함수를 계속적으로 호출해서, 현재 부분적으로 할당된 sub-cube 안에서 1 또는 0의 값으로 상태 비트의 값을 결정하도록 한다. 그림 2의 K-map을 예로 들면, f와 g를 다음 상태를 나타내는 각각의 상태 변수라고 하고, a와 b를 입력 벡터라고 했을 때, fg = XX에서 입력 ab = 10으로 g가 1로 결정될 수 있다. 즉 abfg = 10X1으로 부분적인 값이 결정되고, 이렇게

```

traverse_Petry_net(N = <P,T,F, m_0>) {
/*
  Let Δ be the transition function of N */
  Reached = From = m_0;
  repeat {
    To = Δ(From);
    New = To - Reached;
    Reached = Reached ∪ New;
    From = New;
  } until ( New = Φ );
  return Reached;
}
    
```

그림 1 넷 순회를 통해서 도달가능 마킹집합을 이진 결정 그래프로 변환하는 알고리즘.

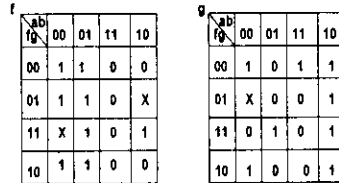


그림 2 : K-map

부분적으로 결정된 상태에서 f를 결정하기 위해 10X1로 이루어진 sub-cube를 찾아 don't care를 1로 할당함으로써 f가 1로 결정될 수 있다. 이 때, f를 먼저 결정하면, g의 값은 어느 값(1 또는 0)으로도 결정될 수 없다. 이 방식은 이따 상태 할당이 이루어진 다음에 초기화 작업을 수행함으로써 발생하는 문제점을 가진다. 즉, 기능적 초기화(functional initialization)가 가능한 회로에 대해 주어진 상태 할당이 적절하지 못한 경우, 논리적 초기화(logical initialization)이 가능하지 않은 경우가 발생할 수 있다는 것이다.

이런 문제점을 해결하기 위해 Nowick 등은 상태 할당 과정을 위한 초기화물 합성 과정에 포함시키는 초기화 방법을 제안하였다[5]. 상태 할당 과정은 동기 회로에서 쓰이던 방법[10]을 확장하여 사용한 것으로 동기트리(Synchronization tree)를 사용해 심플릭 수준에서 모든 상태가 하나의 상태로 수렴되는 동기 순차열(synchronization seequene)를 구한다. 동기 순차열이 구하여지면 전체 상태 할당이 이루어진다. 상태 할당 과정은 동기 회로에서 쓰이는 방식을 그대로 사용한다. 즉, 상태 그룹 순서열(state group sequence)를 열거하고, face-embedding 조건에 따라 상태 인코딩을 한다. 그림 3의 동기 트리를 예로 들면, 초기화 벡터 '1'을 인가함으로써 모든 상태가 s_3 으로 수렴되고, 위의 조건에 따라 인코딩되는 상태 할당은 다음과 같다.

$$(s_1:0, s_2:01, s_3:11, s_4:10)$$

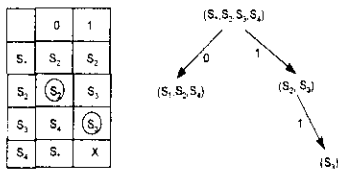


그림 3 : 호류표와 그에 따른 동기 트리

3. BDD를 사용한 초기화

본 장에서는 이진 함수를 표현하는데 있어 효과적인 자료구조를 가지는 이진결정그래프와 [3]에서 제안된 INIT 함수의 초기화 과정을 사용하여 비동기 회로의 초기화 알고리즘을 제안한다.

3.1 K-map 구성

명세가 신호전이그래프로 주어지는 회로를 합성하기 위해서는 주어진 신호전이그래프를 입력으로 상태공간을 생성한다. 이때 주어진 신호전이그래프의 병행성 기인하여 발생하는 상태공간 폭발문제를 해결하기 위해 보다 효과적인 자료구조로서 이진결정그래프를 사용하여 상태공간을 생성한다. 다음으로, 초기 상태를 찾기 위해 필요한 정보를 추출하도록 한다. [3]에서 제안된 INIT 함수는 회로의 상태 비트, 즉 각각의 비입력 신호(non-input signal)에 대해 k-map을 구성하여 적절한 don't care 할당을 통해 값을 결정하는 과정을 따른다. 다음은 생성된 상태공간에서 각 비입력신호의 K-map에 해당하는 이진결정그래프를 생성하는 알고리즘을 보여준다.

```

Input STG
Output K-map for each non-input signal

INIT_BddProc(SignalTransitionGraph STG)
  STG_BDD = (BDD *)traversal_STG(STG);

  for each non-input signal si do
    /* distinguish region of '1' and '0' and
    'don't care' */
    On-set( si)= STG_BDD( si==0 ∧ si+*
      ∨ si==1 ∧ ¬ si-*);
    Off-set( si)=STG_BDD( si==1 ∧ si-*
      ∨ si == 0 ∧ ¬ si+*);
    DC-set( si)=1-(On-set( si) ∪ Off-set( si));
  
```

그림 4 : K-map 생성 알고리즘

traversal_STG는 [9]에서 제안된 위상 이미지 계산 (topological image computation)을 사용하여 회로의 명세로 주어진 신호전이그래프가 생성하는 상태공간을 컴팩트한 자료구조로서 표현하는 이진결정그래프를 생성한다. 이후 각 비입력 신호들에 대하여 K-map에 해당하는 이진결정그래프를 구성하는 작업을 수행한다. 임의의 신호에 대해서 K-map의 구성은 On-set 상태들의 집합과 Off-set 상태들의 집합 그리고 don't Care의 상태 집합으로 이루어진다. 따라서 임의의 한 신호에 대한 K-map의 이진결정그래프의 구성은 각각의 On-set,

Off-set, DC-set을 이진결정그래프로 구성함으로써 이루어지게 된다.

$$s_i \text{ K-map} = s_i \text{ On-set} \cup s_i \text{ Off-set} \cup s_i \text{ DC-set}$$

비동기회로 논리합성시 On-set, Off-set, DC-set의 정의는 [1]을 따른다.

3.2 초기화 벡터 생성

3.1에서 구성된 각 비입력신호에 대한 K-map으로 초기 벡터를 찾는다. 초기 벡터를 찾는 과정은 INIT 함수[3]의 과정을 따르도록 한다. 다음은 초기화 벡터를 찾는 알고리즘을 보여준다.

```

Input K-map for each non-input signal
Output Initialization Vector Sequence IVS
MarkTable[for all non-input signals] = F;
IV[No. of Input signal] = given Initial input value;

while( for all non-input signal's K-map ;
  until all non-input signals are initialized)
  if(MarkTable[ sj]==F ∧ ( sj K-map[IV]!=N,I)
  then
    vj = sj K-map[IV];
    initialize signal sj with value vj;
    BDD_Restrict( sj K-map[IV], sj = vj);
    MarkTable[ sj] = T;
  else
    check other signal's K-map with IV;
  endif;
  append IV into IVS; update IV;
endwhile;
  
```

그림 5 : 초기화 벡터 생성 알고리즘

초기에 F(False)로 초기화된 MarkTable은 초기화 되어야 하는 신호들에 대하여 초기값을 할당받았는지를 검사할 때 사용된다. IV(Input Values)는 입력 신호 값의 벡터로서, 임의의 상태집합에 대해서 특정 기지 상태(Known State), 즉 초기상태로 유도하는 단일 스텝 초기벡터(one step initialization vector)이다.

$$S \xrightarrow{F} S', |S| \geq |S'|,$$

$$S \xrightarrow{F, S} S^F,$$

$$\text{where } |S^F| = 1, IV^S = IV_1 IV_2 \dots IV_n$$

s_j K-map[IV]의 값은 다음과 같이 구해진다.

$$s_j \text{ K-map}(IV) = \begin{cases} 1, & \text{On-set}(IV) \neq 0 \wedge \text{Off-set}(IV) = 0 \\ 0, & \text{Off-set}(IV) \neq 0 \wedge \text{On-set}(IV) = 0 \\ N.I, & \text{On-set}(IV) \neq 0 \wedge \text{Off-set}(IV) \neq 0 \\ D.C, & \text{otherwise} \end{cases}$$

신호 s_j 에 대하여 초기화되어질 값은 IV를 각각 On-set과 Off-set에 인가하여 계산되어진 값을 이용하여 결정되며, 이때 On-set과 Off-set의 값과 비교되는 '0' 값은 0-BDD를 의미한다. 이와 같이 결정된 값을 이용하여 신호 s_j 를 초기화 한 후에는 각각의 신호 K-map에 대해서 결정된 s_j 의 값 v_j 를 이용하여 제약을 가함으로써 축소된 새로운 K-map을 얻게 된다. 이와 같은 방법으로 모든 출력신호들이 특정값을 할당받게 될 때까지 IV를 변화시켜 나가게되고 IVS 결정짓게 된다.

이와 같은 초기 할당된 IV에 대해 위의 알고리즘을 만족하면 현재의 IV가 초기화 벡터가 된다. 현재 IV에 대해 상태 비트의 값 결정이 실패하면, 가능한 모든 입력 신호값의 조합에 대해 같은 과정을 반복하는 과정을 거치게 된다.

이때, 아직 할당되지 않은 don't care의 값이 결정된다. 일반적으로 기존의 로직 합성 틀에 의해 결정되는 don't care의 값이 회로의 영역최적화(Area Optimization)를 고려한 것인데 반해, 위의 과정에 의해 결정되는 don't care의 값은 회로의 초기화를 고려해 결정된다. 그러므로, 초기화를 위해 don't care 할당을 한 회로는 literal의 수에서 차이를 보이는 경우가 발생한다.

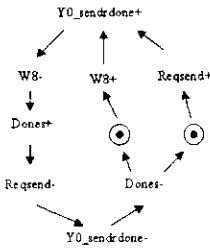


그림 6 : STG 예제

그림 6의 신호전이그래프는 입력 신호로 W8과 reqsend를 갖고, 비입력신호로 Y0_sendrdone과 dones를 갖는다. 다음으로 주어진 초기 마킹을 가지고 상태 공간을 생성한다. 그림 7은 각 비입력신호에 대해 이진결정그래프를 이용해 구성된 K-map을 보여준다.

	00	01	11	10
00	0	0	0	0
01	X	1	0	X
11	1	1	X	X
10	0	X	X	X

< Dones >

	00	01	11	10
00	0	0	1	0
01	X	1	1	X
11	0	1	X	X
10	0	X	X	X

< Y0-Sendrdone >

그림 7 : 각 비입력신호에 대한 K-map

IV가 11로 주어지고 그 입력열에 don't care를 0으로 할당하면 Dones의 값이 0으로 결정된다. 즉, s_j 가

Dones이고 그 값이 0으로 결정되었으므로, MarkTable[Dones]는 T가 되고, 이진결정그래프의 restriction operation을 수행하여 축소된 K-map을 얻는다. 새로이 생성된 비입력 신호 Y0_sendrdone에 대한 BDD_K-map(W8 = 1, Reqsend = 1)에서 don't care의 값을 1로 할당하면 Y0_sendrdone의 값이 1로 결정된다. 즉, 초기화 벡터 IVS는 '11'로 IV와 같다 (단일 초기화 벡터).

4. 결론 및 향후과제

본 논문에서는 회로의 명세가 신호전이그래프로 주어졌을 때 초기화 알고리즘을 제안하였다. 신호전이그래프의 병행성으로 인한 상태공간 폭발의 문제를 해결하기 위해 이진합수를 보다 효율적으로 표현하는 이진결정그래프의 자료 구조를 이용한다. 각 비입력신호에 대해 K-map에 해당하는 이진결정그래프를 생성하고, 입력 신호의 값에 대해 적절한 don't care의 할당을 통해 각 상태 비트의 값을 결정해나간다.

본 논문에서 제안된 알고리즘은 현재 신호전이 그래프를 이진결정 그래프로 변환하는 부분까지 구현되어 있다. 향후 과제로는 위의 알고리즘을 완전히 구현하여 자동화하고, 나아가 비동기 회로에 대해 완전한 테스트 생성기(Automatic Test Pattern Generator)를 만드는 것이다.

참고문헌

- [1]T.A.Chu, "Synthesis of self-timed VLSI circuits from graph-theoretical specifications," Ph.D dissertuin, M.I.T., 1987
- [2]P.A. Beerel, "CAD tool for synthesis, verification, and testability of robust asynchronous circuits," Ph.D dissertation. Stanford University, 1994
- [3]S.T. Chakradhar, S. Banerjee, R.K. Roy, and D.K.Pradhan, "Synthesis of Initializable Asynchronous Circuits," IEEE Transaction on VLSI Systems, Vol. 4, No.2, June 1996
- [4]S. Banerjee, R. K. Roy, S. T. Chakradhar, and D. K. Pradhan, "Initialization Issue in the Synthesis of Asynchronous Circuits," in Proc. ICCD, 1994
- [5]M. Singh, and S. Nowick, "Synthesis for Initilziability of Asynchronous Circuits," in Proc. ITC, pp.232-241, October, 1998
- [6]김수현, 최효용, 이동익, "비동기 회로의 초기화를 위한 합성," In Proc. of KITE Fall Conf. Vol. 20, No. 2, 1997
- [7]R. E. Bryant, "Graph-Based Algorithms for Boolean Function Manipulation," IEEE Transactions on Computer, Vol. c-35, No.8, August 1986
- [8]M. A. Pena, E. Pastor, and J. Cortadella, "Symbolic Techniques for The Automatic Test Pattern Generation for Speed-Independent Circuits," UPC/DAC Report No. RR-97/4 January 1997
- [9]E. Pastor, O. Roig, J. Cortadella, and R. M. Bandia, "Petri Net Analysis Using Boolean Manipulation," in Proc. Application and Theory of Petri Nets, 1994.
- [10]K.Cheng, and V. Agrawal, "Initialization Consideration in Sequential Machine Synthesis," IEEE Transaction on Computer, Vol.41, No.3, pp.374-379, Mar. 1992