

저전력 소모와 테스트 용이성을 고려한 회로 설계

이종원^o, 손윤식, 정정화, 임인철
한양대학교.
서울시 성동구 행당동 산 17번지
jwlee@shira.hanyang.ac.kr

A Study on Low Power and Design-For-Testability Techniques of Digital IC

Jong-won Lee^o, Yoon-sik Son, Jong-wha Chong, In-chil Lim
Hanyang University
Haengdang-dong, Seongdong-Gu, Seoul, Korea
jwlee@shira.hanyang.ac.kr

요 약

In this thesis, we present efficient techniques to reduce the switching activity in a CMOS combinational logic network based on local logic transforms. But this techniques is not appropriate in the view of testability because of deteriorating the random pattern testability of a circuit.

This thesis proposes a circuit design method having two operation modes. For the sake of power dissipation(normal operation mode), a gate output switches as rarely as possible, implying highly skewed signal probabilities for 1 or 0. On the other hand, at test mode, signals have probabilities of being 1 or 0 approaching 0.5, so it is possible to exact both stuck-at faults on the wire. Therefore, the goals of synthesis for low power and random pattern testability are achieved.

The hardware overheads of proposed design method are only one primary input for mode selection and AND/OR gate for each redundant connection.

I. 서 론

CMOS 회로가 등장한 초기에는 낮은 집적도와 낮은

동작 주파수 등으로 인하여 회로의 손실 전력량은 집적 회로의 설계 과정에서 크게 고려해야 하는 요소가 아니었다. 최근 들어서 저전력(low power) 설계가 주목을 받게 된 중요한 이유로, 이동 전화나 노트북 컴퓨터와 같은 휴대용 기기 사용의 증가 때문이다.

CMOS회로의 대부분 전력의 손실은 동적 전력에 해당하며 VLSI회로의 전체 동적 전력 손실량의 감소는 공급 전압과 동작 주파수, 그리고 신호선의 로직 값이 0에서 1로 상승하거나, 1에서 0으로 하강하는 천이 확률(transition probability)을 낮게 함으로써 가능하다[1].

그러나 임의의 신호선의 천이 확률이 감소하면 고장 stuck-at-1(s-a-0)에 대해 0(1)으로 고정하는 입력 패턴 생성에 더 많은 시간이 필요하다. 저전력 회로의 구현을 위해서는 천이 확률이 0에 가까울수록 용이하며, 고장 검출 용이도의 향상을 위해서는 천이 확률이 최대값에 가까이 갈수록 고장의 검출이 용이하다. 따라서 고장 검출의 향상을 위한 천이 확률과 저전력 회로의 구현을 위한 천이 확률의 경우가 상반되어, 위의 방식으로 저전력 회로를 구현할 경우, 테스트 용이성은 떨어진다[2].

본 논문에서는 저전력 소모를 위한 회로로 변환한 후, 제어도와 관측도가 변환 전에 비해 떨어지는 노드가 발생할 경우, 테스트 용이성을 높이기 위하여 회로에 부가적인 게이트와 테스트 모드 선택을 가능하게 하는 입력을 저전력 회로에 구성함으로써, 회로의 테

스트 용이성을 높인다. 이러한 방법은 회로의 면적이 나 주입력의 수를 거의 변화시키지 않으면서, 비교적 간단한 방법으로 저전력 VLSI 회로의 고장 검출 용이도를 높일 수 있다.

II. 전력 소모 모델과 고장 모델

2.1 CMOS에서의 전력 손실

동적 전력(dynamic power)은 회로 내의 신호선이 0에서 1로 또는 1에서 0으로 천이하는 과정에서 풀-업 트랜지스터와 풀-다운 트랜지스터가 동시에 도통인 상태로 인하여 발생하는 단락 전류(short-circuit current)에 의한 전력과 로드 커패시턴스의 충전과 방전 동작시에 손실되는 전력등이 있다.

가장 많은 전력의 손실을 발생시키는 원인은 로직 값의 변화에 따라 발생하는 로드 커패시턴스의 충전 및 방전에 의한 전력 손실이다. 로직 신호 x 의 1에서 0으로 천이 확률과 0에서 1로 천이 확률을 각각 λ_x, μ_x 라고 하면 매 단위 시간 동안의 신호 천이 기대값은 다음과 같이 나타낼 수 있다[1].

$$E(x) = \frac{2}{\frac{1}{\lambda_x} + \frac{1}{\mu_x}} \quad (1)$$

2.2 Stuck-at 고장 모델

Stuck-at 고장 모델은 일찍이 제시되어 가장 널리 쓰이는 고장 모델로서, 실제 회로의 제조 공정상의 물리적 결함이나 고장이 결과적으로 회로의 논리 게이트 레벨에서 신호선이 영구적으로 논리값 0이나 1을 갖도록 표현된다는 개념을 이용하고 있다. 따라서 stuck-at 고장은 stuck-at-0(s-a-0)와 stuck-at-1(s-a-1)으로 구분되며, 어떤 신호선의 값이 논리값 0으로 고착될 경우에는 stuck-at-0 고장, 신호선의 값이 논리값 1로 고착될 경우에는 stuck-at-1 고장이라고 한다[3].

III. 저전력 회로 설계와 테스트 용이도

3.1 소스와 타겟의 설정

저전력 회로의 구현을 위해서는 그림 3.1과 같이 적은 천이의 확률을 갖는 게이트의 출력(소스)을 높은 게이트의 출력(타겟)에 연결을 함으로써 타겟게이트의 천이 확률을 줄일 수 있다. 소스로 선택 가능한 게이트의 출력으로서는 가급적 주출력에 가까이 있으며 적은 수의 천이를 보여야 한다. 소스가 어떤 값을 가지

고 적은 천이 확률을 가지고 있음에 따라 타겟 게이트의 타입이 정해지며, 소스의 선택의 절차로서는 주입력에 주어진 천이 확률을 갖는 입력 벡터를 생성하고 로직 시뮬레이션을 수행한 후, 각각의 노드의 평균 천이 확률을 구한다. 천이 확률에 따라 각 게이트는 오름차순으로 소트되어 순서대로 시도되고 가장 효과가 좋은 게이트의 출력을 소스로 정한다.

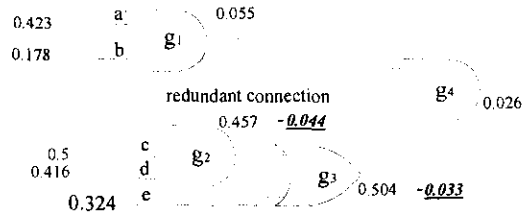


그림 3.1 저전력 회로의 구현을 위한 연결

3.2 천이 확률과 테스트 용이도

소스와 타겟을 선택하여 연결을 한 후, 회로에 대하여 천이 확률을 측정하면, 타겟에서 주출력까지 이르는 경로의 천이 확률 값이 감소하는 신호선이 발생한다. 천이 확률이 감소한 만큼 로드 커패시턴스의 충전과 방전의 횟수는 감소하여 저전력 회로의 구현이 가능하다. 그러나 이러한 결과는 고장 검출의 관점에서는 적절하지 못한 결과를 가져온다. 즉, 천이 확률이 감소한 신호선의 경우, s-a-0과 s-a-1의 고장을 검출하기 위하여 1 또는 0으로 위치시키기 위해서는 더 많은 입력 벡터가 필요하게 된다. 그림 3.2는 신호선 a가 1이 될 확률을 신호 확률이라고 할 때, 천이 확률과 고장 검출 용이도와의 상관 관계를 나타낸다.

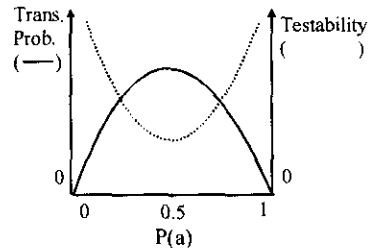


그림 3.2 신호 확률에 따른 천이 확률과 고장 검출 용이도

IV. 제안하는 저전력 회로 설계 방식

4.1 저전력 소모와 테스트 용이성을 고려한 설계

본 논문에서는 저전력과 고장 검출이 용이한 설계 방식을 제안한다.

그림 4.1은 소스 게이트의 출력이 long-run of 0을 보이는 경우, 저전력과 고장 검출 용이도를 동시에 고려하기 위한 설계 방식이다.

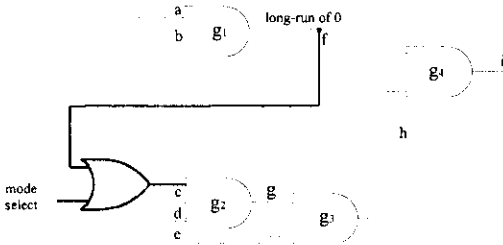


그림 4.1 제안하는 저전력 설계 방식(long-run of 0)

그림 4.1에서와 같이 소스 게이트의 출력이 long-run of 0을 보이면서 낮은 전이 확률을 보인다고 할 때, 타겟 게이트에서도 낮은 전이 확률을 갖기 위해 AND 게이트로 선택되며, 직접 연결되는 것이 아니라 테스트 모드의 선택을 위하여 OR 게이트를 통하여 연결된다. 즉, 정상 동작일 경우에는 모드 선택 핀을 0으로 하여 소스 게이트의 출력이 그대로 타겟 게이트에 전파되도록 한다. 이와 반대로, 테스트 동작일 경우에는 모드 선택 핀을 1로 하여 소스 게이트의 값에 상관없이 타겟 게이트에는 항상 1의 값이 입력된다. 즉 소스 게이트와 타겟 게이트의 연결을 끊어준다.

표 4.1 대상회로의 mode select에 따른 내용

| | mode select off | mode select on |
|----|------------------------|--------------------------------|
| 동작 | 소스와 타겟의 연결을 유지(저전력 회로) | 소스와 타겟의 연결을 끊어준다. (테스트 용이성 향상) |

다음 그림은 타겟 게이트의 출력이 long-run of 1의 경우 저전력과 고장 검출 용이도를 동시에 고려한 설계이다.

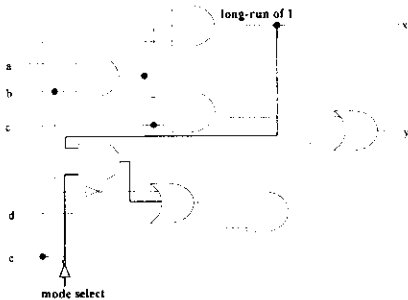


그림 4.2 제안하는 저전력 설계 방식(long-run of 1)

long-run of 1의 경우, 타겟 게이트는 낮은 전이를 주력까지 전파할 수 있도록 타겟 게이트의 제어값 1을 갖는 OR/NOR 게이트를 선택한다. 마찬가지로 직접 연결되는 것이 아니라, AND 게이트를 통하여 연결된다. 이때 AND 게이트의 다른 입력은 모드 선택을 위하여 반전된 모드 선택 핀의 입력이 된다.

4.2 제안하는 회로의 오버헤드

일반 회로에 대해서 저전력 회로의 구현을 위해 소스와 타겟의 연결이 하나 이상일 수 있다. 이러한 경우 소스 게이트와 타겟 게이트가 n개로 확장시, 전체 회로에서의 구현은 그림 4.3과 같다.

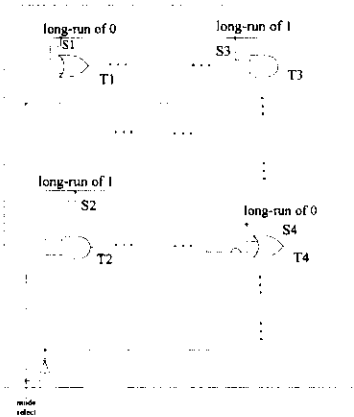


그림 4.3 일반 회로에서 테스트를 고려한 저전력 회로

부가되는 회로의 구성 요소로는 소스 게이트의 출력과 타겟 게이트의 연결마다 AND 또는 OR 게이트와 모드 선택 입력, 그리고 모드 선택 입력을 반전시키기 위한 하나의 NOT 게이트이다.

하드웨어 오버헤드를 수식으로 나타내면 식(2)와 같다. n은 소스 게이트의 출력에서 타겟 게이트로의 연결의 개수이다.

$$H/W \text{ Overhead} = n(\text{OR/AND gate}) + \text{inverter} + \text{mode select input} \quad (2)$$

V. 실험 및 결과

제안한 설계 알고리즘은 SUN SPARC Workstation 상에서 C 언어를 사용하여 구현하였으며, ISCAS'85 벤치마크 회로를 대상으로 LFSR(Linear Feedback

Shift Register)에서 생성된 의사 랜덤(pseudo random) 패턴을 입력원으로 사용하여 시뮬레이션을 수행함으로써 그 타당성과 효율성을 입증하였다[4][5].

표 5.1 c432에 대한 제안한 설계방식의 적용

| | $E(x)*fanouts$ | detected fault | dropped fault | FC(%) |
|-----------|----------------|----------------|---------------|-------|
| c432 | 41.41 | 1348 | 36 | 97.40 |
| 기존의 방법[1] | 34.5 | 1355 | 60 | 95.76 |
| 제안한 방법 | 35.7 | 1380 | 38 | 97.32 |

표 5.2 c880에 대한 제안한 설계방식의 적용

| | $E(x)*fanouts$ | detected fault | dropped fault | FC(%) |
|-----------|----------------|----------------|---------------|-------|
| c880 | 71.61 | 1748 | 12 | 99.30 |
| 기존의 방법[1] | 59.23 | 1750 | 26 | 98.54 |
| 제안한 방법 | 60.26 | 1765 | 19 | 98.93 |

표 5.3 c5315에 대한 제안한 설계방식의 적용

| | $E(x)*fanouts$ | detected fault | dropped fault | FC(%) |
|-----------|----------------|----------------|---------------|-------|
| c5315 | 504.41 | 10248 | 36 | 97.41 |
| 기존의 방법[1] | 430.54 | 10256 | 60 | 95.76 |
| 제안한 방법 | 441.13 | 10312 | 38 | 97.32 |

대상회로 내부의 소스 게이트의 출력과 타겟 게이트의 입력을 연결한 결과, 천이의 기대값에 팬아웃을 곱한 값이 감소하므로 예상되는 전력소모는 감소함을 알 수 있으며, 고장 검출률 또한 추가 게이트 없이 연결한 회로에 비하여 향상됨을 알 수 있다.

VI. 결론

제안한 설계 방식은 회로가 두 가지 동작 모드 즉, 정상 동작 모드에서는 천이 확률이 낮은 저전력회로의 특성을 나타내고, 테스트 모드에서는 고장 검출 용이도를 향상시키도록 함으로써 저전력 회로의 구현시 고장 검출이 저하되는 것을 방지하였다.

제안하는 설계 방식의 하드웨어 오버헤드는 모드 선택을 위한 입력과 저전력 회로 설계를 위한 리던던트한 연결마다 1개의 AND 또는 OR 게이트가 전부이므로 기존 회로에 큰 영향을 주지 않는다.

참고문헌

- [1] Qi Wang, Sarma B. K. Vrudhula, "Multi-Level Logic Optimization for Low Power using Local Logic Transformations." Proceedings of ICCAD, 1996, pp. 270-277.
- [2] L. H. Goldenstein and E. L. Thigpen, "SCOAP: sandia controllability/observability analysis program," 17th DAC, pp.190-196, june 1980.
- [3] S. L. Hurst, Custom VLSI Microelectronics, Prentice Hall, 1992.
- [4] A. Shen, S. Devadas, A. Ghosh, and K. Keutzer. "On Average Power Dissipation and Random Pattern Testability of Combinational Logic Circuits." Proceedings of ICCAD, 1992, pp. 402-407.
- [5] F. Brglez, P. Pownall, and R. Hum, "Application of testability analysis: from ATPG to critical delay path tracing," Proc. Int. Test Conf., pp. 705-712, Oct. 1984.