

Weighted-Capacitor와 Multi-Path를 이용한 고속 승압 회로

김 동환, 오 원석, 권 덕기, 이 광엽*, 박 종태, 유 종근
인천대학교 전자공학과, *서경대학교 컴퓨터과학과

High-Speed Charge Pump Circuits Using Weighted-Capacitor and Multi-Path

D. H. Kim, W. S. Oh, D. K. Kwon, K. Y. Lee*, J. T. Park, C. G. Yu
University of Incheon, Electronics Eng., Seokyeong University, Computer Science

Abstract

In this paper two quick boosting charge pump circuits for high-speed EEPROM memory are proposed. In order to improve initial charge transfer efficiency, one uses weighted capacitors where each stage has different clock coupling capacitance, and the other uses a multi-path structure at the first stage. SPICE simulation results show that these charge pumps have improved rising-time characteristics, but their V_{DD} mean currents are increased a little compared with conventional charge pumps. The rising time up to 15V of the proposed charge pumps is 3 times faster than that of Dickson's pump at the cost of 1.5 times more V_{DD} mean current.

I. 서론

최근 휴대용 시스템 시장의 확대 등의 경향으로 hard disk대용으로 비휘발성(nonvolatile) 메모리인 EEPROM 또는 Flash 메모리의 사용이 증가되고 있다. 단일 지전원으로 동작하는 EEPROM을 programming하기 위해서는 칩내부에서 높은 전압의 생성이 필요하다. EEPROM의 programming 시간은 전체 시스템의 속도에 큰 영향을 미치며, programming에 필요한 고전압을 발생해주는 승압 회로(charge pump circuit)의 속도가 전체 programming 시간을 좌우한다. 따라서 고속 시스템을 위해서는 전압 상승시간이 빠른 고속 승압회로가 필요하다.

기존에 발표된 대부분의 승압회로들^[1-5]은 1976년 John F. Dickson^[1]에 의해 제안된 승압회로에 근간

을 두고 있다. 기존의 Dickson에 의해 제안된 승압 회로는 전하전달효율(charge transfer efficiency)이 좋지 않기 때문에 상승시간이 느린 편이어서 고속 시스템에는 적합하지가 않다. 본 논문에서는 비접촉식 RFID(Radio Frequency Identification)용 Tag chip에 필요한 EEPROM의 programming전압을 공급하기 위한 고속 승압회로들을 설계하였다. 승압회로의 초기 전하전달효율을 향상시키기 위해 각 단의 커패시턴스 값을 일률적으로 같게하는 대신 weight를 주어 다르게 하는 방법과, 처음 단의 커패시턴스 값을 크게 하고 multi-path구조를 사용하여 초기 전하전달 효율을 향상시키는 방법을 제안하였다. 그리고 다이오드로 사용되는 MOS 트랜지스터의 bulk와 drain을 서로 연결하여 body effect에 의한 문턱전압(threshold voltage)상승 효과를 방지하였다. 제안된 승압회로들의 성능을 기존의 승압회로들과 비교하였다.

II. 기존의 승압회로

2-1. Dickson의 승압회로^[1]

그림 1은 John F. Dickson에 의해 제안된 승압회로이다. 다이오드로 사용되는 NMOS 트랜지스터와 커패시턴스가 한 단(stage)을 구성하며, 이 단들의 직렬연결로 승압회로가 구성된다. 이 승압회로는 증첩되지 않는 클럭 ϕ 와 $\bar{\phi}$ 에 의해 동작하며, ϕ 동안은 홀수단 전하가 우측 짝수단으로 이동하고, $\bar{\phi}$ 동안은 짝수단 전하가 우측 홀수단으로 이동하여 출력에 V_{DD} 보다 큰 전압을 공급하게 된다. 단 수는 n (그림 1에서 $n=8$)이고 각 단의 커패시턴스는 C 이다. 따라서, 전체 커패시턴스는 nC 가 된다.

본 연구는 1997년 정보통신부 대학기초연구지원사업의 지원으로 수행되었음.

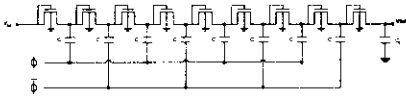


그림 1. Dickson의 승압회로

2-2. Body effect를 제거한 승압회로^[2]

Dickson의 승압회로에서는 다이오드로 사용되는 MOS 트랜지스터가 body effect에 의해 문턱전압이 상승하여 전하전달효율이 감소하게 된다. 이런 문제를 해결하기 위해 그림 2에서처럼 floating well을 사용하여 PMOS 트랜지스터의 bulk와 drain을 서로 연결함으로써 문턱전압의 상승효과를 방지할 수 있고, MOS 트랜지스터를 실질적인 다이오드로 사용할 수가 있게 된다.

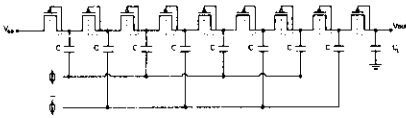


그림 2. Body effect를 제거한 승압회로

2-3 Parallel path를 갖는 승압회로^[3]

그림 3의 승압회로에서는 전하전달 트랜지스터들과 클럭이 인가되는 커패시터들로 구성되며 두 개의 전하전달 경로를 갖는다. 이 승압회로에서도 body effect에 의한 문턱전압 상승효과를 방지하기 위해 다이오드로 사용되는 PMOS 트랜지스터의 bulk와 drain이 서로 연결되어 있다. 두 개의 전하 전달 경로를 갖기 때문에 전하가 두 클럭 phase 동안 연속적으로 출력에 공급된다. 클럭 coupling 커패시턴스는 $C/2$ 이고, 따라서 전체 커패시턴스는 단수가 n 일 때 nC 가 된다.

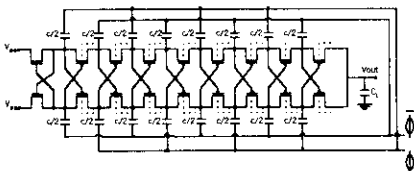


그림 3. Parallel path를 갖는 승압회로

III. 제안된 승압회로

본 연구에서는 초기 전하 전달 효율을 증가시키고, 따라서 전압상승 시간을 줄이기 위해 다음과 같은 두 가지 변형된 승압회로를 제안하였다.

3-1. Weighted Capacitor를 사용한 승압회로

기존의 승압회로에서처럼 각 단의 커패시터 값을 일률적으로 같게 하는 대신 그림 4에서처럼 각 단의 커패시터에 weight를 주어 커패시턴스 값을 다르게 하였다. 초기 단의 커패시턴스 값을 가장 크게 하고, 점차 그 값을 줄임으로서 초기 전하전달 효율이 증가하여 rising time을 줄일 수 있다. 단, 단 수를 결정하고 각 단의 커패시터에 weight를 줄 때, 전체 커패시턴스가 nC 가 되는 조건을 만족하도록 설계하여 기존의 승압회로들과 성능을 비교할 수 있도록 하였다. 그림 4에서 단 수는 $n-2$ 이다.

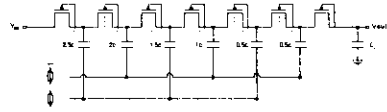


그림 4. Weighted Capacitor를 사용한 승압회로

3-2. Multi-Path를 갖는 승압회로

그림 5의 승압회로에서는 초기 전하 전달 효율을 향상시키기 위해 첫 번째 단의 커패시턴스 값을 크게 하고 병렬(multi-path)로 연결하였다. 첫 번째 단

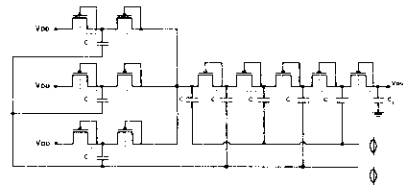


그림 5. Multi-Path를 갖는 승압회로

에 병렬로 연결된 path의 수가 m 인 경우, 전체 단의 개수는 $n-m+1$ 이 되며, 클럭 coupling 커패시턴스가 C 일 때 전체 커패시턴스 값은 nC 로 앞의 승압회로들과 같게 된다. 그림 5에서 $m=3$ 이고 단의 개수는 $n-2$ 가 된다.

IV. 모의실험 결과 및 고찰

승압회로에 필요한 클럭 ϕ 와 $\overline{\phi}$ 을 발생하기 위해 그림 6의 Enable 가능한 링오실레이터(ring oscillator)^[6]를 사용하였다. 링오실레이터 중간에 연결된 커패시턴스들은 $0.1pF$ 이며, 승압회로의 커패시턴스에 충분한 전하를 저장하기 위해 delay를 증가시키고 오실레이터의 주파수를 낮추는 역할을 한다. 또한 버퍼를 사용하여 승압회로의 커패시턴스를 충

분히 구동할 수 있도록 하였다. 설계된 링오실레이터의 simulation결과를 그림 7에 보였다. 발생하는 클럭의 주파수는 대략 250MHz임을 알 수 있다.

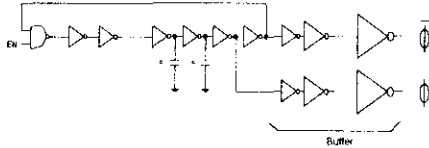


그림 6. Ring oscillator

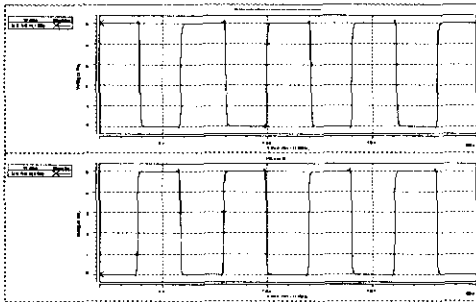


그림 7. Ring oscillator의 simulation결과

제안된 승압회로들의 성능을 기존의 승압회로들과 비교하기 위해 같은 조건하에서 HSPICE simulation 하였다. 공급전압 $V_{DD}=5V$, 부하 커패시턴스 $C_L=20pF$, 부하 저항 $R_L=1M\Omega$, 클럭 coupling 커패시턴스 $C=1pF$, 각 승압회로 입력단의 NMOS/PMOS 트랜지스터의 크기는 $W/L=(10\mu m/0.8\mu m)$, 단(stage)의 트랜지스터 크기는 $W/L=(20\mu m/0.8\mu m)$ 로서 simulation 조건을 같게 하였다. Dickson, No Body Effect, Parallel Path 승압회로의 단 수 $n=8$ 이며, 총 커패시턴스를 같게 해주기 위해 Weighted Capacitor와 Multi-Path 승압회로의 단 수는 6으로 하였다. $0.8\mu m$ 2-poly 2-metal CMOS 공정 parameter를 사용하여 각각의 승압회로에 대한 rising time simulation 결과를 그림 8에 나타내었다.

각 승압회로의 출력 전압에 대한 상승시간(rising time)과 V_{DD} 에서 공급된 평균전류(mean current)를 그림 9과 10에 보였다. 제안된 Weighted Capacitor 승압회로와 Multi-Path 승압회로의 상승시간은 20V 까지 기존의 승압회로들보다 빠르지만, 평균 V_{DD} 전류는 Dickson이나 Parallel Path 승압회로에 비해 크다는 것을 알 수 있다. 출력전압이 15V까지 상승하

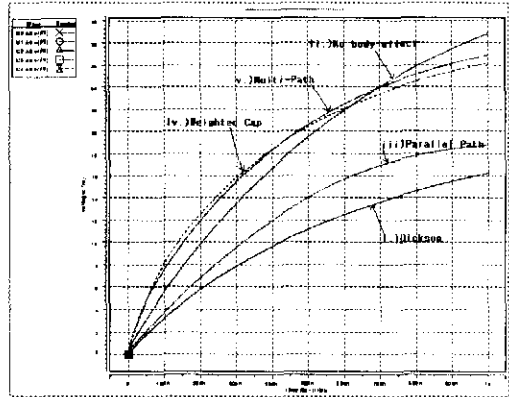


그림 8. Rising time simulation 결과

는데 걸리는 시간은 Dickson의 승압회로에 비해 3배 정도 감소하지만, 평균전류는 약 1.5배 증가한다. 따라서, 제안된 승압회로들은 전류 소모는 약간 크지만 빠른 상승시간이 필요한 고속 시스템에 적합함을 알 수 있다.

승압회로들의 성능을 비교하기 위해 다음과 같은 Figure of merit (F)을 사용하였다.

$$F = \frac{1}{T_r \cdot I_m}$$

여기서 T_r 은 상승시간을 나타내며, I_m 은 오실레이터를 포함한 전체 승압회로의 평균 V_{DD} 전류이다. 출력전압에 대한 각 승압회로의 Figure of merit를 그림 11에 나타내었다. 출력전압이 15V일 때 제안된 Weighted Capacitor 승압회로와 Multi-Path 승압회로의 F는 각각 $0.39(1/\mu s \cdot mA)$ 와 $0.36(1/\mu s \cdot mA)$ 로 기존의 승압회로보다 좋으며, Dickson의 승압회로의 F $0.19(1/\mu s \cdot mA)$ 보다 약 2배 정도 향상됨을 알 수 있다. 설계된 승압회로들은 현재 $0.8\mu m$ 2-poly 2-metal CMOS 공정으로 제작 중이다. 그림 12은 Multi-Path 승압회로의 레이아웃이다.

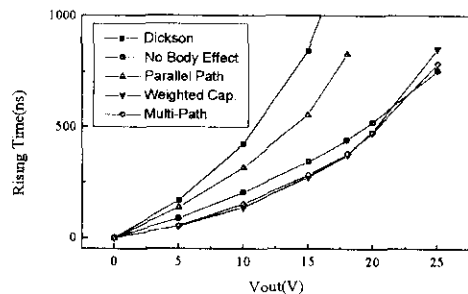


그림 9. 출력전압에 따른 rising time

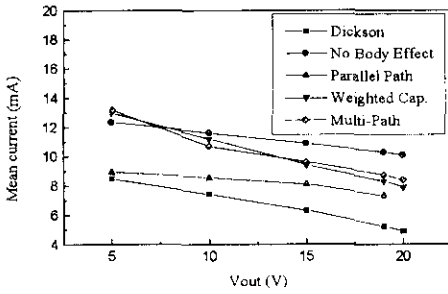


그림 10. 출력전압에 따른 평균전류

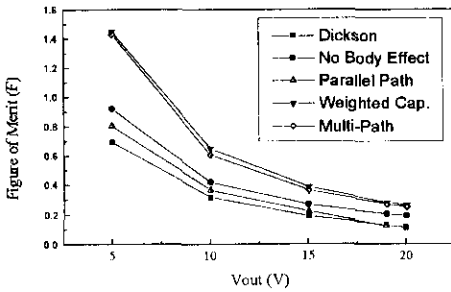


그림 11. 출력전압에 따른 Figure of merit (F)

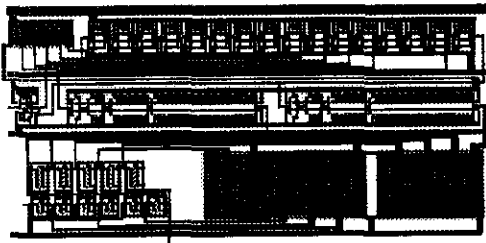


그림 12. Multi-Path 승압회로의 layout

Weighted Capacitor 승압회로와 처음 단의 커패시턴스 값을 크게 하고 multi-path구조를 사용한 Multi-Path 승압회로를 제안하였다. 시뮬레이션 결과 제안된 승압회로들은 기존의 승압회로들에 비해 평균 V_{DD} 전류는 약간 증가하지만 승압시간이 크게 향상됨을 확인하였다. Dickson의 승압회로와 비교시 15V까지의 승압시간은 3배 감소, 평균전류는 1.5배 증가하였고 Figure of merit은 약 2배 증가하였다. 제안된 승압회로들은 전류 소모는 약간 크지만 빠른 승압시간이 필요한 고속 시스템에 적합함을 알 수 있다.

참고문헌

- [1] J. F. Dickson, On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique, *IEEE J. Solid - State Circuits*, vol. 11, pp.374-378, June 1976.
- [2] K.-H. Choi, J.-M. Park, J.-K. Kim, T.-S. Jung, and K.-D. Suh, Floating-well charge pump circuits for sub-2.0V single power supply Flash memories, *Symp. VLSI Circuits Dig. Tech. Papers*, pp.61-62, June 1997.
- [3] 왕종현, 조경록, Parallel 전하 전달 경로를 갖는 승압회로의 설계, *IDEC MPC1*, pp. 7-12, 1996.
- [4] Toru Tanzawa et al, A quick boosting charge pump circuit for high density and low voltage flash memories, *Symp. VLSI Circuits Dig. Tech. Papers*, pp.65-66, June 1994.
- [5] Jieh-Tsornng Wu, Kuen-Long Chang, MOS charge pumps for low-voltage operation, *IEEE J. Solid - State Circuits*, vol. 33, pp.592-597, April, 1998.
- [6] R. Jacob Baker, Harry W. Li, David E. Boyco, CMOS Circuit Design, Layout, and Simulation, *IEEE PRESS*, 1997.

V. 결 론

본 논문에서는 EEPROM 메모리를 포함한 고속 시스템용 승압회로를 제안하고 기존의 승압회로와 성능 비교를 하였다. 승압회로의 초기 전하 전달효율을 향상시키기 위해 각 단의 커패시턴스 값을 일률적으로 같게하는 대신 weight를 주어 다르게 한