

Rail-to-Rail CMOS 증폭회로의 오프셋 보상 방법

이 경일, 오 원석, 김 정규, 박 종태, 유 중근
 인천대학교, 402-749, 인천광역시 남구 도화동 177번지

An Offset Compensation Scheme for Rail-to-Rail CMOS Op-amps

K. I. Lee, W. S. Oh, J. K. Kim, J. T. Park, C. G. Yu
 University of Incheon, 177 Tohwa-dong, Namgu, 402-749, Korea

Abstract

An offset compensation scheme for rail-to-rail CMOS op-amps with complementary input stages is presented. Two auxiliary amplifiers are used to compensate for the offsets of NMOS and PMOS differential input stages, and ping-pong control is employed for continuous-time operation. Simulation and measurements results show that offsets are reduced about 20 times by this scheme.

I. 서론

최근 집적회로에 공급되는 전원전압의 감소추세에 있기 때문에 증폭회로가 주어진 공급 전압 내에서 최대의 동작범위를 얻기 위해서는 입력단과 출력단의 동작 범위가 공급 전원 전압 전 범위가 되도록 rail-to-rail(R-R) 구조를 가져야 한다. R-R 입력단으로는 NMOS 차동쌍과 PMOS 차동쌍을 함께 사용한 복합입력단^[1] 구조가 저전압 응용분야에 많이 사용되고 있다. 공통모드(common-mode) 입력전압 V_{cm} 이 V_{SS} 에 가까울때는 PMOS 쌍만 동작하고, V_{DD} 에 가까울때는 NMOS 쌍만 동작한다. V_{cm} 이 V_{DD} 와 V_{SS} 사이의 중간 영역에 있을때는 PMOS 쌍과 NMOS 쌍이 동시에 동작하여 V_{cm} 이 V_{DD} 와 V_{SS} 사이의 어떠한 값을 갖더라도 차동쌍중 적어도 하나는 동작하기 때문에 R-R 동작이 가능하다.

이 복합입력단은 NMOS 차동쌍의 오프셋전압과 PMOS 차동쌍의 오프셋전압이 다르기 때문에 총 오프셋전압이 공통모드 입력전압 (V_{cm})에 따라 변한다는 문제

점을 가지고 있다. V_{cm} 에 따른 오프셋전압 변화는 신호 왜곡을 증가시키고, 공통모드제거비(CMRR)의 심한 감소를 초래한다. 기존의 오프셋보상 방법들 중에, MOS 스위치와 커패시터를 사용하는 auto-zero방법은 간단하기는 하나 오프셋을 보상하기 위한 여분의 시간이 필요하기 때문에 연속시간 동작이 필요한 경우에는 적당하지 않으며, MOS 스위치에서 발생하는 전하주입(charge injection) 현상에 의해 오프셋보상 정도가 제한이 된다는 고유의 단점을 가지고 있다. 또한 오프셋 저장 커패시터가 signal path에 존재하는 경우는 이 오프셋 저장 커패시터에 의해 증폭회로의 phase margin이 감소하고 settling time이 증가한다는 단점이 있다.

본 논문에서는 두 개의 보조증폭회로를 사용하여 NMOS 차동쌍과 PMOS 차동쌍의 오프셋을 각각 보상하고, ping-pong control을 사용하여 연속시간 동작이 가능한 R-R CMOS 증폭회로를 설계하였다.

II. 보조 증폭회로를 사용한 오프셋 보상 방법

그림 1에서 G_{m1} 과 R이 주 증폭회로를 구성하며, G_{m2} 는 오프셋보상을 위한 보조 증폭회로이다.^[2] ϕ_2 (오프셋보상클럭)동안 G_{m1} 의 두 입력은 그라운드에 연결되고, G_{m2} R 루프가 형성되어 증폭회로의 오프셋이 C_c 에 저장되게 된다. ϕ_1 (신호증폭클럭)동안 G_{m2} 는 오프셋에 해당하는 dc 성분을 출력에서 상쇄시킴으로서 증폭회로의 오프셋을 보상하게 된다.

G_{m1} 과 G_{m2} 의 입력 오프셋을 각각 V_{os1} , V_{os2} 라 하면 총 출력 오프셋, 즉 C_c 에 저장되는 전압은 다음과 같다.

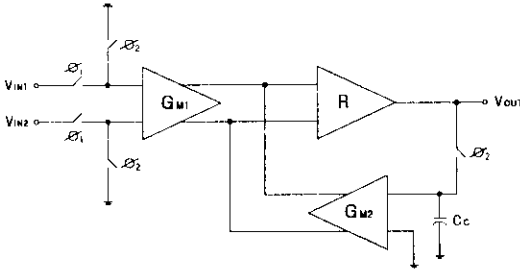


그림 1. 보조 증폭회로를 사용한 옵셋보상

$$V_{OS.out} = \frac{G_{m1}RV_{OS1} + G_{m2}RV_{OS2}}{G_{m2}R}$$

MOS 스위치에서 전하 주입을 고려한 총 입력 옵셋전압은

$$V_{OS.in} = \frac{V_{OS1}}{G_{m2}R} + \frac{V_{OS2}}{G_{m1}R} + \frac{G_{m2}}{G_{m1}} V_{err}$$

이 된다. 여기서 V_{err} 은 MOS 스위치가 OFF시 C_c 에 주입되는 채널 전하에 의한 에러전압이다. 처음 두 항을 줄이기 위해서는 G_{m2}/G_{m1} 과 V_{err} 을 감소시켜야 한다. 보통의 경우 G_{m2}/G_{m1} 은 0.1정도로 선택하면 되고, C_c 값을 증가시키면 V_{err} 을 감소시킬 수 있다.

위의 옵셋보상 방법을 R-R 복합입력단에 적용하기 위해서는 그림 2와 같이 두 개의 보조 증폭회로가 필요하다. M_{55} , M_{56} , M_{57} 로 구성된 증폭회로는 NMOS 차동쌍 M_{13} , M_{14} 에 의한 옵셋전압(V_{OSn})을 보상하기 위한 보조증폭회로이고 M_{55} , M_{56} , M_{57} 로 구성된 증폭회로는 PMOS 차동쌍 M_{11} , M_{12} 에 의한 옵셋전압(V_{OSp})을 보상하기 위한 보조 증폭회로이다.

NMOS 차동쌍만 동작할 때의 옵셋전압이 C_{Cn} 에 저장되고, PMOS 차동쌍만 동작할 때의 옵셋전압이 C_{Cp} 에 저장된다. NMOS 차동쌍과 PMOS 차동쌍이 동시에 동작할 경우 두 개의 보조 증폭회로가 함께 동작하여 V_{OSn} 과 V_{OSp} 를 동시에 보상할 수 있게 된다. 두 개의 차동쌍 중 하나만 동작하는 경우에는 대응되는 보조 증폭회로만 동작하고 나머지 하나는 동작해서는 안 된다. 이를 위해 보조 증폭회로에 추가적인 회로가 필요하다. 그림 2.(b) 경우 M_{56} , M_{57} 로 구성된 보조 증폭회로는 NMOS 차동쌍 M_{13} , M_{14} 에 의한 옵셋전압(V_{OSn})을 보상하기 위한 것이기 때문에, V_{cm} 이 V_{SS} 에 가까운 영역에서는 동작하지 않아야 된다. 이런 역할을 위해서 $M_{51} \sim M_{54}$ 가 필요하다. V_{cm} 이 V_{SS} 에 가까워지면 M_{51} 과 M_{52} 는 OFF가 되고 M_{54} 에 흐르는 전류, 따

라서 M_{55} 에 흐르는 전류는 0이 된다. 따라서 이 보조 증폭회로는 동작하지 않게 된다.

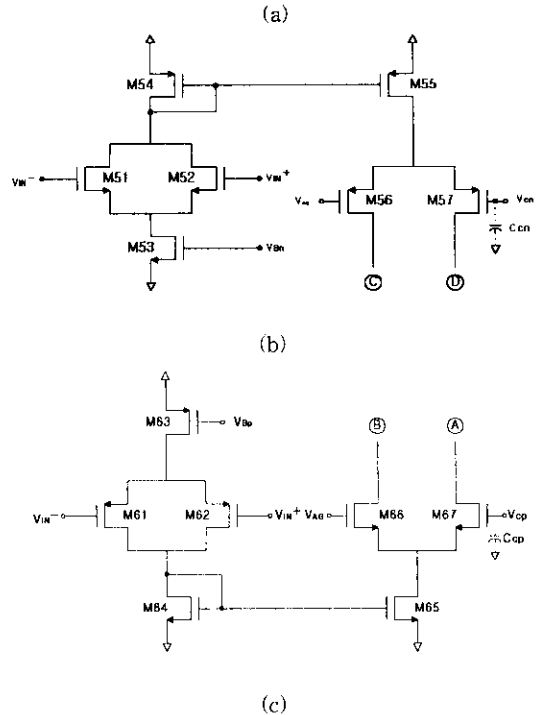
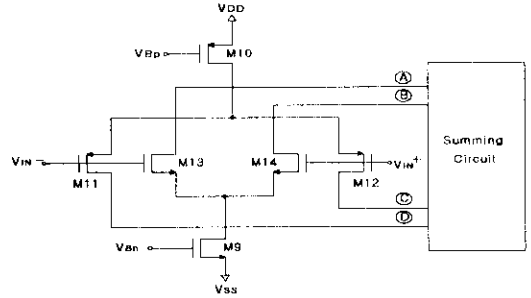


그림 2. 두 개의 보조 증폭회로를 사용한 CMOS op-amp의 옵셋 보상 (a) R-R 입력단을 갖는 CMOS op-amp (b) NMOS 차동쌍을 위한 보조 증폭회로 (c) PMOS 차동쌍을 위한 보조 증폭회로

III. Ping-pong control

Ping-pong control^[34]은 두 개의 똑 같은 증폭회로를 사용하여 스위칭을 통해, 하나는 옵셋보상을 다른 하나는 신호처리를 수행하도록 하고 이 둘의 역할을 주기적으로 바꿔줌으로써 옵셋보상과 함께 연속시간

동작을 가능하게 해준다. Ping-pong control을 사용한 R-R CMOS 증폭회로의 블록 다이어그램과 필요한 클럭들을 그림 3에 나타내었다.

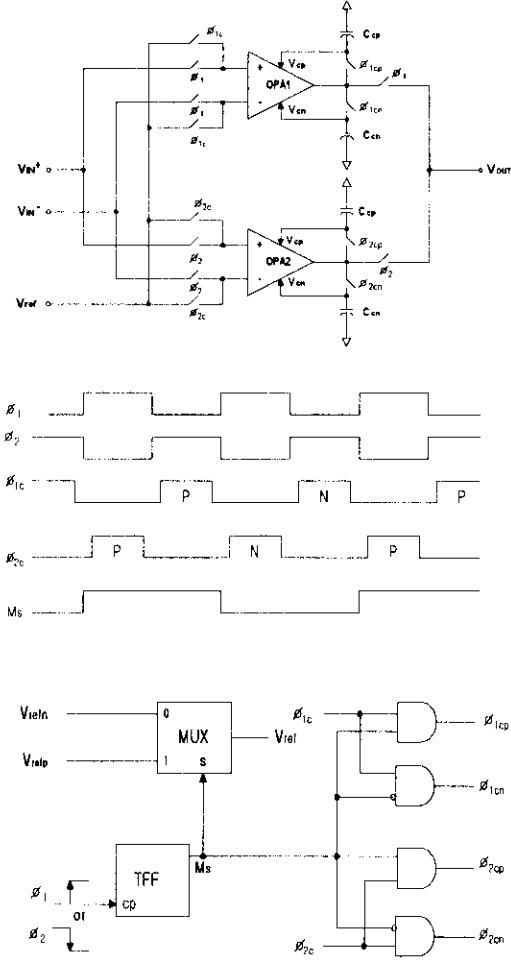


그림 3. Ping-pong control을 사용한 오프셋보상된 R-R CMOS 증폭회로의 블록다이어그램과 필요한 클럭

OPA1과 OPA2는 그림 2의 구조를 갖는 똑같은 증폭회로이다. ϕ_1 과 ϕ_2 그리고 겹치지 않는 ϕ_{1c} , ϕ_{2c} 클럭을 사용하여 OPA1과 OPA2 중 항상 하나의 입력과 출력은 V_{IN+} , V_{IN-} 와 V_{OUT} 에 각각 연결되어 신호를 처리하고, 나머지 하나는 입력이 V_{ref} 에 연결되고 출력은 C_{cp} 또는 C_{cn} 에 연결되어 V_{OSp} 또는 V_{OSn} 을 보상하게 된다. V_{OSp} 와 V_{OSn} 을 번갈아 가며 보상하기 위해 ϕ_{1cp} , ϕ_{1cn} 그리고 ϕ_{2cp} , ϕ_{2cn} 이 필요하며, V_{ref} 또한 대응되는 V_{refp} 와 V_{refn} 이 필요하다. V_{OSp} 를 보상하는 경우 즉, ϕ_{1cp} 또는 ϕ_{2cp} 동안은 NMOS 차동쌍만 동작해야 하므로 V_{refp} 는 V_{SS}

에 가까운 전압이어야 한다. 같은 원리로 V_{refn} 은 V_{DD} 에 가까운 전압이어야 한다.

IV. 모의 실험 결과 및 측정 결과

설계된 증폭회로의 오프셋보상 정도를 알아보기 위해 인위적으로 오프셋전압 ($V_{OSp1}=10mV$, $V_{OSn1}=-5mV$, $V_{OSp2}=-8mV$, $V_{OSn2}=-4mV$)을 인가 후 SPICE 시뮬레이션 하였다. $V_{DD}=3V$, $C_{cn}=C_{cp}=5pF$, $V_{refp}=2.5V$, $V_{refn}=0.5V$, $f_{cp}=100kHz$, 그리고 주 증폭회로와 보조 증폭회로와의 트랜스컨덕턴스 비가 0.2인 경우, V_{cm} 에 따른 오프셋전압 시뮬레이션 결과를 그림 4에 나타내었다. V_{cm} 전 범위에서 오프셋전압은 최대 350 μV 로 20배 이상 보상됨을 알 수 있다. 그림 5에서 클럭 주파수가 100kHz보다 커지면 오프셋 보상이 나빠짐을 알 수 있다.

설계된 회로는 0.8 μm single-ploy double-metal CMOS공정으로 제작되었다. 설계된 회로의 레이아웃을 그림 5에 보였다. 오프셋보상과 ping-pong control에 필요한 클럭들을 위해 on-chip 클럭 발생기를 사용하였다. 설계된 on-chip 클럭 발생기를 측정 한 결과 그림 6에서처럼 ϕ_{1c} ϕ_{1} ϕ_{2} ϕ_{2c} 등이 제대로 발생됨을 알 수 있다. 그림 7는 unity-gain configuration시 증폭기의 입출력 파형으로 OPA1과 OPA2가 역할을 바꿀 때 나타나는 transient 현상을 출력파형에서 확인할 수 있다. 그림 8은 오프셋이 보상되기 전 OPA1과 OPA2의 공통모드 입력전압 V_{cm} 에 따른 오프셋전압과 오프셋보상된 후의 오프셋전압을 나타낸다. 오프셋이 보상되기 전 OPA1과 OPA2의 오프셋이 예상외로 상당히 크기 때문에 오프셋보상 후의 오프셋전압이 1~2mV로 큰편이나, 약 20배 정도 오프셋보상이 됨을 알 수 있다.

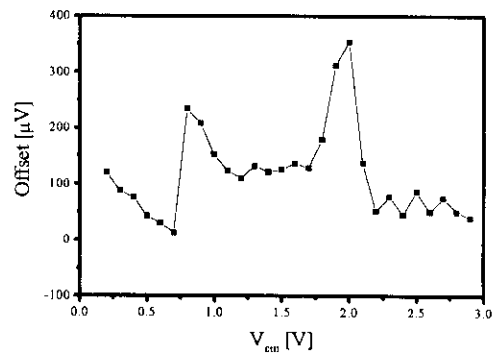


그림 4. V_{cm} 에 따른 입력오프셋

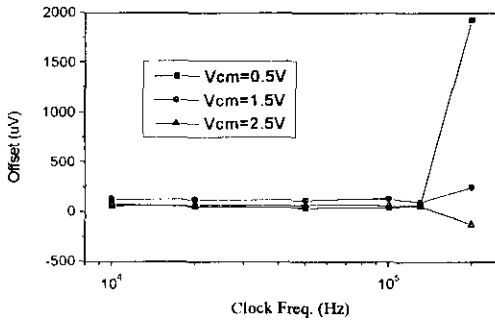


그림 5. 클럭 주파수에 대한 오프셋

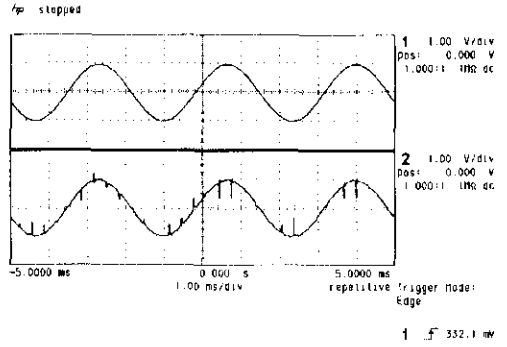


그림 8. Unity-gain configuration시 증폭기의 입력력 파형 (위 : 입력파형, 아래 : 출력파형)

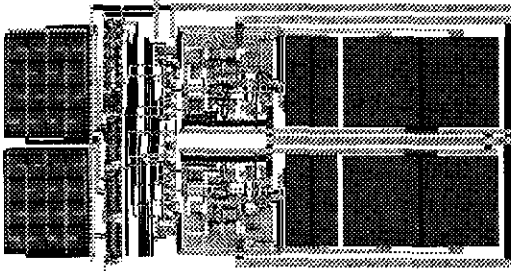


그림 6. 설계된 증폭회로의 레이아웃

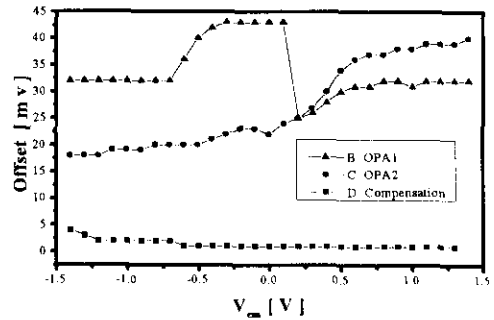


그림 9. Vcm에 따른 OPA1, OPA2의 보상전 오프셋과 보상 후 오프셋 전압

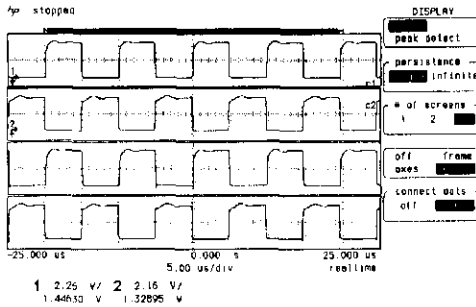


그림 7. On-chip 클럭 발생기의 출력파형 (위에서부터 ϕ_{1c} ϕ_1 ϕ_2 ϕ_{2c})

V. 결론

본 논문에서는 복합입력단을 사용한 R-R 증폭회로의 오프셋보상 방법을 제안하였다. 두 개의 보조 증폭회로를 사용하여 NMOS 차동쌍과 PMOS 차동쌍의 오프셋을 각각 보상하고, ping-pong control을 사용하여 연속

시간 동작이 가능한 R-R CMOS 증폭회로를 설계하였다. 시뮬레이션 및 측정 결과 공통모드 입력 전 범위에서 약 20배 이상 오프셋이 감소함을 확인하였다.

참고 문헌

- [1] J. H. Huijsing and D. Linbarger, *IEEE JSSC*, vol. SC-20, pp. 1144-1150, Dec. 1985.
- [2] E. Vittoz, *Design of MOS VLSI Circuits for Telecommunications*, Eds. Prentice-Hall, 1985,
- [3] I. E. Opris and G. T. A. Kovacs, *IEEE JSSC*, vol.31, no.9, pp. 1320-1324, Sep. 1996.
- [4] C. G. Yu and R. L. Geiger, *IEEE J. of Solid-State Circuits*, vol. 29, no. 6, pp. 601-610, May. 1994.