

MML 구조를 적용한 주사선 변환기 설계

한기운*, 김민호*, 김송옥*, 김재원*, 정정화*

*한양대학교 전자공학과 CAD 및 통신회로 연구실

서울시 성동구 행당동 17 한양대학교

mhkim@shira.hanyang.ac.kr

A Design of Scan Line Converter with MML Architecture

Wung-Gee Han*, Min-ho Kim*, Song-Uk Kim*, Jae-Won Kim*, Jong-Wha Chong*

CAD & Communication Circuits Lab., Dept. of Electronic Eng.,

Hanyang University., 17 HaengDang-Dong, SeongDong-Gu, Seoul, Korea

mhkim@shira.hanyang.ac.kr

요 약

본 논문에서는 MML(Merged Memory Logic) 구조를 갖는 스캔라인 컨버터를 설계하여 제안한다. 비월주사 방식인 TV 비디오 신호를 FIFO 메모리에 저장하여 순차주사방식인 VGA 비디오 신호로 변환하는 주사선 변환기를 MML 개념으로 설계하였다. MML회로는 VHDL로 설계하여 V-system으로 시뮬레이션을 수행하고 Altera FPGA에 구현한 후, TV 비디오 신호를 PC 모니터로 보기 위한 외장형 TV 수신 시스템에 적용하여 성능을 검증했다. MML개념으로 설계된 컨버터는 system-on-a-chip 설계의 첫 단계로 메모리와 로직부분으로 구성된 일반적인 컨버터보다 효율적인 시스템 설계를 할 수 있다.

I. 서론

멀티미디어 기술의 발달은 칩의 복잡도를 기하급수적으로 증가시키고 있다. 이러한 점 때문에 멀티미디어 설계 기술은 ASSP (Application

Specific Standard Product)를 이용한 IP (Intellectual Property)를 활용하여 개발되고 있다 [1]. 이에 따라 본 논문에서는 TV 수신 시스템의 system-on-a-chip을 계획하였다. 첫 단계로 TV 수신 시스템에서 사용되는 비월주사 방식을 순차주사방식으로 전환하는 컨버터를 메모리에 로직 기능을 이식하는 MML구조로 설계 하였다.

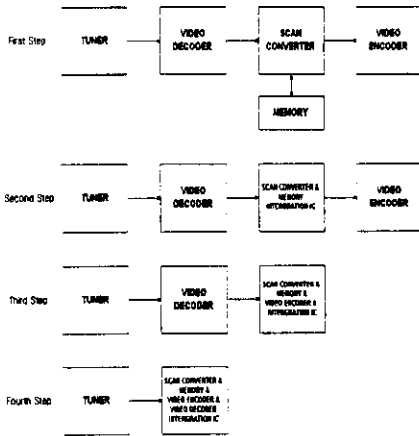
본 논문 구성은 2장은 시스템 설계의 개념과 주사방법과 주사변환 방법에 대해 3장에서는 TV 수신 시스템과 설계된 컨버터에 대해 설명하고, 4장에서는 제작 및 실험에 대해 5장은 결론과 연구방향에 대해서 기술한다.

II. 전체구조의 설계

1. 시스템 설계의 과정

본 논문에서는 NTSC 비월주사 방식을 보다 저 비용 고효율로 PC용 모니터에서 볼 수 있는 순차주사 주사방식으로서의 변환기능을 하는 컨버터를 system-on-a-chip의 첫 단계로서 MML(Merged Memory Logic) 개념을 이용하여 설계하였다. 이러한 기능을 하는 컨버터는 데이터

의 처리를 위한 메모리와 저장된 데이터를 컨트롤하여 주사방식을 전환시키는 컨트롤러로 구성된다. 기존의 설계방식은 컨트롤 로직부분과 메모리 부분을 분리하여 설계하는 방식을 취했는데, 본 논문에서는 컨트롤 로직기능과 메모리 부분을 통합 설계하였다. 이 다음의 단계로서 TV 수신 시스템의 system-on-a-chip화를 최종목적으로 하며 그림 1에 나타냈다.



<그림 1> system-on-a-chip의 단계

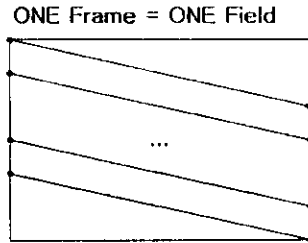
2. MML(Merged Memory Logic)

메모리에 로직 기능을 이식한 memory on-chip을 MML(Merged Memory Logic), MDL(Merged DRAM Logic), 또는 IRAM(Intelligent RAM)[2]이라고도 한다. 기본적인 개념은 일반적으로 분리 설계되어온 Memory 부분과 Logic 부분을 원칩화 함으로서 1)시스템의 효과적인 공간활용 그리고 2)on-chip으로 인한 시스템 설계 및 생산비용 절감 3)시스템의 전체 Power 소비의 절감 4)시스템의 성능향상 등의 이득을 얻을 수 있으며 종전의 설계방식 보다 가격대비 성능 면에서 좋은 결과를 볼 수가 있다.

3. 순차주사방식(Non-Interlace)과 비월주사방식(Interlaced Scan)

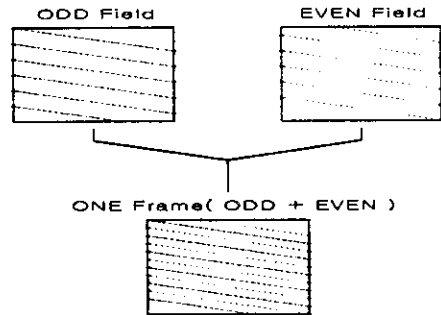
순차주사(non-interlace scan)와 비월주사(interlaced scan)를 아래 그림 2 그림 3에 나타낸다. 통상의 TV에서는 비월주사가 사용되고, 퍼스널 컴퓨터와 같은 표시 모니터에서는 순차주사가 사용된다. 순차주사는 그림 2와 같이 1회 짝이

주사할 때의 제적과 2회 짝 이후를 주사할 때의 제적이 완전히 같은 제적이다.[3][4] 이에 대해



<그림 2> 순차주사

비월주사는 그림 3에 나타나 있듯이 ODD Field 사이에 EVEN Field를 주사해서 1개의 프레임으로 구성한다. 그리고 NTSC 방식일 경우에 525개의 주사선을 갖는다. 순차주사의 경우는 필드와 프레임이 같아진다. [3][4]

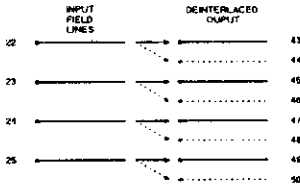


<그림 3> 비월주사

4. 비월주사방식에서 순차주사방식으로의 전환

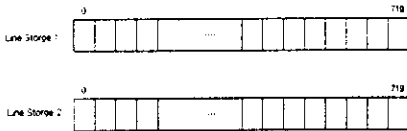
일반적인 TV 신호를 받아 PC 모니터에 디스플레이를 하려면 주사 방식을 비월주사를 순차주사로 바꾸어야 한다. 주사선 변환방식은 Scan Line Interpolation, Field Merging, Scan Line Duplication의 방법이 있다.[5] Scan Line Interpolation은 새로운 라인의 생성을 전 라인과 후 라인의 합으로 구하는 방식이므로 컨트롤이 상대적으로 복잡하다. 또한, Field Merging방법은 필드별로 데이터를 분리하여 각 필드를 순차적으로 합하여 화면을 구성함으로써 큰 용량의 메모리를 필요로 한다. 본 연구에서는 Scan Line Duplication을 사용하였는데 아래 그림 4와 같이 한 라인의 데이터를 두 번 읽어내는 방법이다.[5]

그림 5에서 보면 한 라인을 Storage1에 저장해두고 Storage2에 다른 데이터를 저장할 때 Storage1에 있는 데이터를 두 번 읽어내게 된다. 비디오 디코더에서 나오는 데이터는 YUV 4:2:2 형식이며, 이것은 픽셀레이트가 13.5MHz이고, 휘도 신호 Y와 색 신호 U,V는 각각 8비트이다.



<그림 4> 주사선 복사방식

Y신호는 13.5MHz 속도로 연속해서 픽셀값이 있으며, U,V 신호는 13.5MHz 속도로 교대로 픽셀값이 있다. 1개의 주사선상에서 영상신호가 들어 있는 부분에 Y신호의 픽셀수는 720개이고, U,V 신호의 픽셀수는 각각 360개이다. 그러므로 전체 데이터를 16비트로 처리하며 그 크기는 720words X 16bits 이다.



<그림 5> Line Storage의 구성

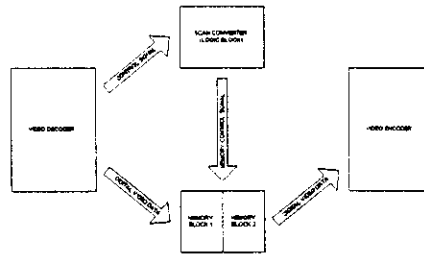
III. TV 수신 시스템과 MML 설계 컨버터

1. TV 수신 시스템

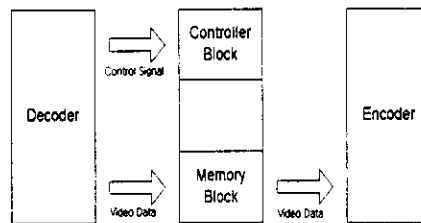
외장형 TV 수신 시스템의 전체 구성은 그림 6에서 보듯이 세 블록으로 나눌 수 있다. 첫 번째로 TV Signal을 받아 디지털 신호로 바꾸는 비디오 디코더 블록, 두 번째는 변환된 데이터의 주사선 방식을 변환시키는 컨버터 블록, 세 번째로는 데이터를 출력시키는 비디오 인코더 블록으로 나눌 수 있다.

2. MML 설계된 컨버터

아래 그림 6에서 보면 기존의 시스템에서는 가운데 블록의 컨트롤러와 그 밑의 메모리 부분이 각각의 칩으로 구성되었다. 그러한 것을 MML 개념을 도입하여 원 칩으로 설계함으로써 시스템의 성능 향상 및 저 비용을 꾀하였다. 아래의 그림 7에서 보는바와 같이 컨버터는 비디오 디코더로부터 내부에 설계된 메모리의 제어용 위하여 컨트롤 신호들을 받게된다.



<그림 6> 전체 시스템의 블록도



<그림 7> 컨버터와 주변 블록도

IV. 제작 및 실험

설계된 주사선 변환기의 성능을 평가하기 위하여 2층 PCB로 TV 수신 시스템을 제작하고 삼성 비디오 디코더 KS0122와 크론텔(CHRONTEL)사의 비디오 인코더 CH8438A를 사용하였다. 설계된 주사선 변환기는 VHDL로 설계되었으며, V-system에서 behavioral simulation을 수행한 후, Altera FPGA EPF10K50GC403-3에 프로그램을 하였다. Altera FPGA는 크게 LAB(Logic array block)와 EAB(Embedded array block)로 구성되며 로직기능은 LAB에 메모리 부분은 EAB에 각각 프로그램 된다. 그림 8은 적용된 PCB의 사진이다. 또, 신호처리의 주요부분을 하나의 칩으로 설계하였으므로 보드의 크기가 소형화되었고 전력소비 또한 적은 장점을 가지고 있다.

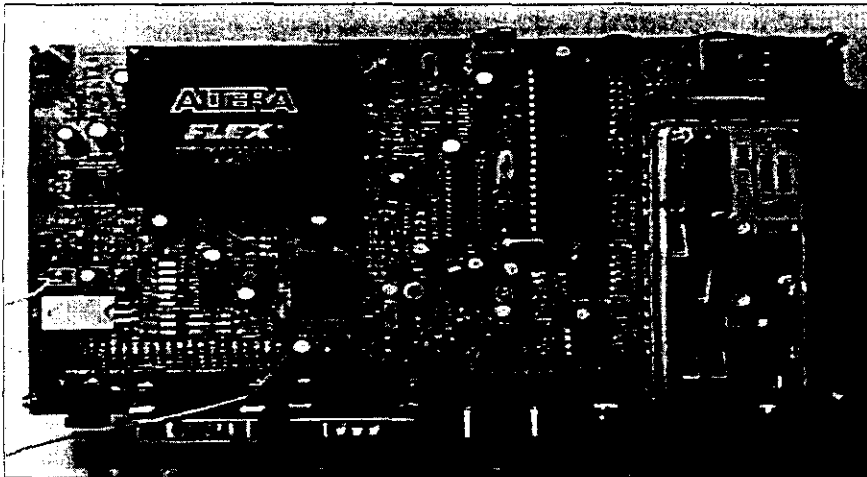
V. 결론

본 논문에서는 외장형 TV 수신 시스템의 주사선 변환기를 MML 개념으로 설계하고, FPGA로 제작하였다. 특히, 비디오 신호처리의 주요부를 하나의 칩으로 설계하였으므로 ASIC화하여 적용한다면 전체 시스템의 PCB의 크기를 최소화 할 수 있으며, ASIC의 적용은 앞으로의 과제 중에 하나이다.

본 연구는 시스템의 system-on-a-chip 설계의 첫 단계이며 향후 연구과제로 비디오 디코더 및 비디오 인코더를 하나의 칩으로 설계하는 것이다.

참 고 문 헌

- [1] Joseph Borel "Technologies for Multimedia Systems on a Chip" ISSCC97 pp. 18-21, 1997
- [2] Ben Gribstad, Jason Golbus, Chirstoforos Kozyrakis, Kevin Wang "Introduction Issues between Memory and Logic in an IRAM system" EECS241 Midterm Project Report
- [3] 기초부터의 영상신호처리, 세화출판사, 1988.
- [4] 첨단, 월간 전자기술, 1995. 9.
- [5] Keith Jack "Video Demystified : A handbook for the Digital Engineer" HighText,
- [5] Keith Jack "Video Demystified : A handbook for the Digital Engineer" HighText, Second Edition, pp. 388-391.
- [6] SAMSUNG, Multi Media DATA BOOK, 1996
- [7] 김민호, 한기웅, 이영호, 진용선, 정정화, "비디오 디코더와 인코더를 이용한 프레임 스위치 설계" 대한 전자공학회 추계종합학술대회 논문집 (B), pp1535-1538, 1996



<그림 8> 전체 시스템의 PCB