

LED 전광판 제어 ASIC의 설계

이 수 범, 남 상 길, 조 경 연, 김 종 진
 부경대학교 전자정보전기 공학부
 부산광역시 남구 용당동 산100번지

A Design of LED Pannel Control ASIC

Soo-Bom Lee, Sang-Gill Nam, Gyung-Yun Sho, Jong-Jin Kim

이 연구는 반도체설계교육센터로부터의 부분적인 지원을 받아 이루어 졌음.

ABSTRACT

The wide spread of multimedia system demands a large viewing display device which can inform a message to many peoples in open area. This paper is about the design, simulating and testing of a large viewing LED pannel control ASIC (Application Specific Integrated Circuit). This LED pannel control ASIC runs on 16 bit microprocessor MC68EC000 and has following functions : 16 line interlaced LED pannel controller, memory controller, 16 channel priority interrupt controller, 2 channel direct memory access controller, 2 channel 12 bit clock and timer, 2 channel infrared remocn receiver, 2 channel RS-232C with 16 byte FIFO, IBM PC/AT compatible keyboard interface, battery backuped real time clock, ISA bus controller, battery backuped 256 byte SRAM and watch dog timer. The 0.6 micron CMOS Sea of Gate is used to design the ASIC in amount of about 39,000 gates.

I. 서론

정보화 사회는 많은 양의 정보와 다양한 정보가 통합되는 멀티미디어 환경에서 다양한 형태의 정보 전달 매체 개발을 가능하게 하고 특히 디스플레이 장치는 대부분의 정보 전달이 인간의 시각적 기능을 통해서 이루어지므로 많은 연구가 이루어지고 있다[1].

이러한 디스플레이 장치는 가볍고 전력소모가 작아서 휴대하기 간편한 개인용, 사무실 등의 작업 환경에 적합한 고해상도와 작은 구경의 사무용, 해상도는 낮으나 구경이 크고 가격이 낮은 가정용, 그리고 많은 대중에게 동시에 정보를 전달하기 위한 광시각용으로 분류할 수 있다[2]. 광시각용 디스플레이는 다수의 사람들에게 여러 환경에서 다양한 정보제공이 가능한 것을 그 특징으로 하며 LED(Light Emitting Diode)를 사용하는 것과 여러개의 CRT를 배열한 멀티비전의 두

가지 종류가 대표적이며, 이외에도 VFD(Vacuum Fluorescent Display)를 이용한 것, 백열 전구를 이용한 것, LCLV (Liquid Crystal Light Valve)를 이용한 것 등이 있다.

LED는 1960년대에 개발된 이후로 스펙트럼 특성과 발광효율은 지난 20년 동안 많은 진보를 했다[3]. LED는 소비 전력이 다소 높다는 단점을 가지고 있으나 응답 속도가 빠르고, 시야각이 넓으며, 가격이 낮은 장점을 가지고 있다. 최근까지 청색 계통의 LED는 광도도 낮고, 가격이 비싸서 full color 전광판을 만드는 것은 높은 가격이 요구되어 보급에 한계가 있었다. 그러나 적색과 황색 계통의 LED는 높은 광도와 낮은 가격으로 옥내의 전광판에 폭 넓게 사용되고 있다.

이들 적황색 LED 전광판은 LED 소자 16 X 16개로 배열한 모듈을 가로, 세로로 나열하여 구성한다. 따라서 입의 크기의 전광판 제작이 용이하며 수평 픽셀이 200 - 300, 수직 픽셀이 50 - 150인 정도의 것이 많이 사용된다. 전광판 제어는 PC의 비디오 제어가인 VGA[4]와 VGA 출력 신호를 LED 전광판에 적합하게 변환하는 FPGA[5]를 사용하여 구성한다. 그런데 비디오 신호는 순차주사 방식으로 LED 전광판의 특성과 맞지 않는다. 즉 수직 픽셀 수가 많아지면 듀티비(duty ratio)가 낮아져서 광도가 낮아지거나, 이를 보상하기 위하여 과도한 전류를 소모하여 LED의 수명이 짧아지는 문제점을 가지고 있다.

이러한 문제점을 해결하기 위하여 본 논문에서는 LED 모듈의 구조에 적합한 16 라인 인터페이스 주사 방식을 가지는 LED 전광판 제어 ASIC (Application Specific Integrated Circuit)을 설계한다.

II. ASIC의 설계

LED 전광판 제어(LPC : LED Pannel Control) ASIC은

모토로라사의 16 비트 마이크로 프로세서인 MC68EC 000을 주 프로세서로 하며, 프로그램 수행을 위한 ROM/DRAM 제어기, 16 채널의 우선 순위 인터럽트 제어기, 고속 입출력 수행을 위한 2 채널 DMA 제어기, 실시간 제어를 위한 2 채널 타이머, 적외선 리모콘 수신을 위한 2 채널 펄스 폭 측정기, 고속 직렬 통신을 위하여 16 바이트의 FIFO를 가진 2 채널 RS-232C 제어기, IBM PC/AT 방식의 키보드 제어기, 배터리 백업 기능의 실시간 시계, IBM-PC의 다양한 주변 기기를 접속하기 위한 ISA 버스 제어기, 전원이 없을 때 중요한 정보를 보존하기 위한 256 바이트 용량의 배터리 백업 SRAM, 시스템 오동작을 감시하는 watch-dog 타이머 등을 내장한다.

주 클럭은 LED 프레임 메모리의 전송폭과 주 프로세서인 68000의 동작 주파수를 고려하여 48MHz로 설정하였다. 68000 클럭은 주 클럭을 삼분주하고 뉴티비를 50:50으로 조정하여 생성한다. LED 전광판 클럭은 LED 구성에 따라서 1.5MHz - 12MHz로 프로그램 가능하도록 한다. 그러므로 최소 80 X 16 픽셀부터 640 X 480 픽셀의 구성까지를 자유롭게 설정할 수 있다.

1. 메모리 제어기

LED 전광판의 메모리 구성은 기본적으로 실행 프로그램 영역과 디스플레이할 데이터를 저장하는 화상 데이터 영역이 필요하며 동화상 데이터나 압축된 데이터를 복원하는 경우에는 대규모의 작업 메모리가 필요하다. 실행 프로그램 영역은 ROM으로 구현하며, 화상 데이터 영역은 비휘발성 기록가능 메모리가 되어야 하므로 ROM 형식의 프레스 메모리[6]를 사용하거나 IO PORT 형식의 프레스 메모리[7]를 사용한다. 따라서 LPC ASIC은 2개의 ROM 영역을 제어해야 한다. 표-1에 LPC ASIC의 메모리 할당을 나타낸다.

작업 메모리는 수백 K 바이트 이상을 필요로 하므로 DRAM을 사용하도록 한다. LED 프레임 메모리는 LED 픽셀당 1바이트이므로 LED 프레임 메모리와 작업 메모리를 공유할 수도 있다. 본 LPC ASIC에서는 별도의 4M 바이트 공간을 작업 메모리로 할당하여서 필요시 사용할 수 있게 한다.

LED 전광판은 하드 디스크, CD 롬, 사운드 장치, IO PORT 형식의 프레스 메모리, 직렬 통신 보낸, 전원 장치 제어기 등의 주변 기기가 필요하다. 이들 주변 기기의 인터페이스를 위하여 최대 8개의 주변 장치를 선택할 수 있도록 peripheral device 0 - 7을 설정한다. 한편 ISA 버스는 10 비트의 어드레스 공간을 사용하는

표-1. LPC ASIC Memory Assignment

68000 address space	Assignment	System Bus
00 0000 - 1F FFFF	ROM bank 0	Active
20 0000 - 2F FFFF	ROM/Flash Memory	Active
40 0000 - 40 FFFF	LPC ASIC internal	Non Active
41 0000 - 41 FFFF	Peripheral device 0	Active
42 0000 - 42 FFFF	Peripheral device 1	Active
43 0000 - 43 FFFF	Peripheral device 2	Active
44 0000 - 44 FFFF	Peripheral device 3	Active
45 0000 - 45 FFFF	Peripheral device 4	Active
46 0000 - 46 FFFF	Peripheral device 5	Active
47 0000 - 47 FFFF	Peripheral device 6	Active
48 0000 - 4B FFFF	Peripheral device 7	Active
4C 0000 - 4F FFFF	Peripheral device 8	Active
50 0000 - 7F FFFF	Reserved	(Non) Active
80 0000 - 9F FFFF	LPC Frame memory	Non Active
A0 0000 - BF FFFF	Reserved	(Non) Active
C0 0000 - FF FFFF	Working memory	Non Active

데 대부분의 ISA 버스용 장치들은 어드레스 디코딩 회로를 내장하고 있다. 그러므로 이들 ISA 버스용 장치들과의 인터페이스를 위해서는 별도의 리드, 라이트 제어 신호가 필요하다. 이를 위하여 어드레스 공간 4C 0000- 4F FFFF를 할당하여서 ISA 버스 호환의 리드, 라이트 신호를 생성하는 기능을 갖도록 설계한다.

2. DMA 제어기

LED 전광판의 화상 표시 데이터는 빠른 속도로 변화하는 것을 필요로 한다. LED 전광판의 설치 장소가 사람들의 양래가 많은 지역으로 짧은 시간내에 정보를 전달하기 위해서는 화면의 변화 속도가 빨라야 되며, 이것은 대규모 화상 데이터를 필요로 한다. 화상 데이터의 양이 많으면 이를 하드디스크나 CD 롬 등의 보조 기억 장치에 저장해야 한다. 특히 음성 데이터와 화상 데이터를 동시에 처리하는 멀티미디어 데이터의 경우에는 이들 사이에 동기를 맞추는 것이 중요하다.

데이터와 화상 데이터 처리의 동기를 맞추기 위해서 이들 데이터를 하나의 스트림으로 통합하는 방법과 별도의 스트림으로 처리하면서 버퍼링을 사용하여 전송 및 처리 속도의 동기를 유지하는 방법이 있다. 이들 방법은 각각의 장단점이 있는데, LED 전광판에 시는 이들 방식을 응용에 따라서 모두 사용한다.

LPC ASIC에서는 버퍼링을 지원하기 위하여 DMA 전송 종료시에 어드레스와 카운터 값을 선택적으로 재직납하는 기능을 갖도록 설계한다. 이러한 기능을

사용하여 비교적 간단하게 버퍼링을 구현할 수 있다.

3. 우선순위 인터럽트 제어기

인터럽트 제어기는 주변회로에서 요구하는 인터럽트 요청 신호를 받아서 우선 순위를 결정하여 CPU에게 인터럽트를 요구하고, CPU의 인터럽트인지 미신 사이클에서 인터럽트 백터를 발생시키는 기능을 수행한다.

우선순위 인터럽트 제어기는 16 채널의 인터럽트를 관리하므로 데이터 체인으로 연결하여 구성한다. 각 채널 제어기중에서 어느 하나가 활성화되면 CPU에 인터럽트를 요구하며 인터럽트 백터를 생성한다.

인터럽트가 요구된 상태에서는 새로운 인터럽트 요구가 들어와도 출력이 발생시키지 않게하여 동일한 인터럽트가 연속하여 요구되는 현상을 방지한다.

4. 16라인 인터레이스 LED 전광판 모듈 제어기

LED 모듈은 16 라인으로 구성되어 있으며, 어느 한 순간에는 하나의 라인만이 점등할 수 있다. 따라서 밝기를 유지하면서 최소한의 전류를 소비하기 위해서는 LED 모듈 구성에 상관없이 듀티비율 16:1로 유지해야 한다. 이를 위해서 LED 프레임을 16 라인 단위로 인터레이스 주사하게 설계한다.

LED 클럭 발생기는 주 클럭인 48MHz를 분주하여 LED 패널 구성에 따라서 1.5MHz, 3MHz, 6MHz 또는 12MHz의 LED 클럭을 발생시킨다. 동기 발생기는 16 라인 인터레이스로 수평 동기와 수직 동기 신호를 발생시킨다. 각 동기 신호의 주기는 LED 패널 구성에 따라서 자유로이 변경할 수 있도록 프로그램 가능하게 설계한다. 발생된 동기 신호에 의하여 프레임 메모리 어드레스를 생성한다. 프레임 메모리 할당은 메모리 공간 중에서 일정한 영역을 프레임 공간으로 설정하고, 설정한 프레임 공간 내에서 윈도우를 설정하여 리프레시하도록 설계한다. 이러한 설계에 의하여 하드웨어에 의한 수직 스크롤이 가능하다.

또한 발생된 동기 신호는 FIFO 제어기로 입력되어 리프레시 데이터를 프레임 메모리로부터 전송 받는데 필요한 신호를 생성한다. FIFO 제어기에서는 수평 리프레시가 비활성화되면 다음 수평 라인의 데이터를 FIFO에 격납한다. 그리고 동기 발생기에서는 수평 리프레시 시작 이전 16 픽셀 위치에서 수평 Back Porch 신호를 발생한다. FIFO 제어기에서는 수평 Back porch 시점 N 픽셀이후부터 FIFO의 데이터를 LED 모듈로 전송한다. 그러나 실제적으로 데이터가 출력되

는 것은 수평 리프레시가 활성화된 이후이므로 Back Porch 기간 중에 전송된 데이터는 소실된다. 이러한 동작을 통하여 화상의 하드웨어 수평 스크롤을 구현한다.

FIFO 크기는 프레임 메모리의 전송폭을 고려하여 설계하지만 LED 전광판의 리프레시 데이터 전송폭은 LED 클럭이 최대 12MHz에서 12Mbps로 크지 않다. 그러나 프레임 메모리를 작업 메모리로 사용하는 경우 CPU의 전송폭을 고려하여 16 X 16 bit로 설계한다.

프레임 메모리 상태 기계는 FIFO 제어기에서 요구하는 점근과 CPU가 요구하는 점근, 그리고 메모리 리프레시 요구를 받아서 프레임 메모리로 사용하는 DRAM에 필요한 제어 신호를 생성한다. 15개의 상태를 가지는 결정형 상태 기계로 설계한다.

5. RS-232C 제어기

LED 전광판에서 악기음을 연주하는 경우에는 띠디 인터페이스가 필요하다. 띠디 인터페이스는 31.25Kbps의 전송 속도를 가지는 비동기 직렬 통신 제어기이다. 하나의 시작 비트와 하나의 스톱 비트를 포함하여 한 바이트 전송에 320usec가 소요된다. 또한 띠디 데이터는 최대 수 K 바이트를 연속해서 전송해야 하므로 프로그램에 의한 폴링 기법으로는 충분한 효율을 얻을 수 없다. 이러한 문제점을 해결하기 위하여 16 바이트의 FIFO를 가진 RS-232C 제어기를 설계한다. 16 바이트 FIFO 모듈을 전송하는 데는 5.12msec가 소요되며, FIFO의 일정 수준에서 인터럽트를 요구한다.

6. 축전지 백업 회로

LED 전광판에서는 정확한 시간 관리가 필요하며 전원이 없을 때도 축전지에 의하여 동작하는 실시간 시계를 설계한다. 실시간 시계는 달력 기능을 가지는 큰 달과 작은 달을 구분하며, 또한 윤년과 평년을 구분하여 월일을 계산하도록 설계한다. 또한 구성 데이터 등 소규모의 중요한 데이터를 전원이 없을 때도 기억하기 위하여 256 바이트의 배터리 백업 SRAM을 내장한다. 배터리는 3.6V Li 배터리를 사용한다. Li 배터리는 전력 용량이 작아서 최대 사용 전류를 50uA 이하로 유지하는 것이 필요하다. 이를 위하여 전원이 없을 때에 모든 출력 핀은 고 임피던스 상태로 설정하며, 모든 입력 핀은 풀 다운 저항 패드를 사용하고, 활성 논리에 따라서 비활성 상태로 변환하기 위한 회로를 설계하여 모든 입력을 비활성 상태로 만든다.

주 클럭도 전원이 없을 때는 한가지 상태로 고정

하지만 68000은 동기 회로로 리세트시에 클럭이 입력되어야 한다. 따라서 전원이 인가될 때 256 클럭 동안 리세트를 연장하는 회로를 부가하여 문제를 해결한다.

7. 기타 주변회로 제어기

리모콘 수신기는 펄스 폭 카운터와 리모콘 인터럽트를 연계하여 구성한다. 적외선 리모콘은 펄스 변조를 사용하며 '0' 비트는 1.125msec, '1' 비트는 2.25msec 펄스로 부호화된다. 따라서 리모콘 출력의 예지에서 인터럽트를 요구하고, 예지간의 펄스 간격을 측정하는 펄스 폭 카운터를 인터럽트 시비스 프로그램에서 관리함으로써 리모콘 수신기를 구현한다.

타이머는 주기적으로 인터럽트를 요구하여 응용 프로그램에 시간 기준을 제공한다. 음성과 화상 데이터를 처리하기 위해서는 정밀도가 높은 타이머가 필요하여 타이머의 정밀도를 12 비트로 설계한다. 그리고 넓은 범위의 주기를 설정하기 위하여 각 타이머는 독립적인 프리 스케일러로 10usec, 100usec, 1msec, 10msec 의 기본 클럭을 사용할 수 있게 하였다.

Watch dog 타이머는 68000에서 발생하는 AS# 신호가 모든 머신 사이클에서 활성화가 되며, 머신 사이클 종료시에 비활성화 되므로 일정한 기간 동안 AS# 신호에 변화가 없으면 상태를 감지하여 시스템에 리셋트 신호를 발생시키고 일정 프래그를 세트하여 시스템 오류를 알려 주도록 설계한다.

키보드 인터페이스 회로는 IBM PC/AT의 직렬 키보드 인터페이스 규격과 일치하도록 설계한다. 또한 외부 버스에 필요한 명령 신호와 대기 사이클을 관리하는 버스 제어기, 단순한 주변 기기를 연결하기 위한 24 비트의 범용 입출력 포트를 설계한다.

III. 결론

설계한 LED 전광판 제어 ASIC은 16 라인 인터페이스 주사 방식을 채용하여 LED 전광판 구성과 독립적으로 LED 리프레시 듀티 비를 항상 16:1로 고정시켜서 LED 광도가 일정하며 하드웨어에 의한 수직 및 수평 스크롤이 가능하여 빠른 화면 제어가 가능하다.

또한 본 LED 전광판 제어 ASIC은 모토로라사의 16 비트 마이크로 프로세서인 MC68EC000을 주 프로세서로 하며, 프로그램 ROM 제어기, 화상 데이터 Flash Memory 제어기, 작업 영역 DRAM 제어기, 16 채널의 우선 순위 인터럽트 제어기, 고속 입출력 수행을 위한 2 채널 DMA 제어기, 실시간 제어를 위한 2 채널 타이머, 적외선 리모콘 수신을 위한 2 채널 펄스 폭 측

정기, 고속 직렬 통신을 위하여 16 바이트의 FIFO를 가진 2 채널 RS-232C 제어기, IBM PC/AT 방식의 키보드 제어기, 배터리 백업 기능의 실시간 시계, IBM-PC의 다양한 주변 기기를 접속하기 위한 ISA 버스 제어기, 정전시 정보를 보존하기 위한 256 바이트 용량의 배터리 백업 SRAM, 시스템 오동작을 감시하는 watchdog 타이머 등을 하나의 ASIC에 집적하며 그림 1은 ASIC을 장치한 실험기판이다.

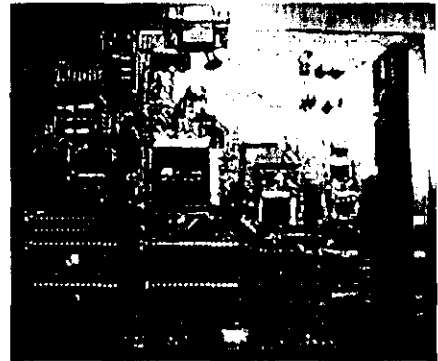


그림 1. Test board

LED 전광판 제어 ASIC은 SUN 워크스테이션상에서 View Logic을 사용하여 0.6 마이크로 CMOS 게이트 어레이로 설계하였다. 약 39,000 게이트가 소요되었으며 160핀 PQFP(Plastic Quad Flat Package)를 사용하였고 설계된 ASIC은 View Logic과 Test board에서 시뮬레이션과 동작을 검증하였다.

본 논문에서 설계한 ASIC은 시스템 제어와 LED 전광판 제어를 한 개의 칩에 집적한 대규모 집적회로로 기존 회로에 비하여 성능이 뛰어나고 가격에 낮으므로 폭 넓은 활용이 기대된다.

참고문헌

- [1] 이 세우, "전자 DISPLAY 기술 동향," 전자공학회지 Vol. 22, No. 3, pp. 23-30, Mar. 1995
- [2] *Competitive Display Technologies*, Sixth Edition, Stanford Resources, Inc., pp. 61-80, 1994
- [3] 원 오경, "Flat Panel Display를 위한 구동방식 및 구동회로," 전자공학회지 Vol. 22, No. 3, pp. 92-105, Mar. 1995
- [4] *VIRGE Integrated 3D Accelerator*, S3 Inc., Feb. 1996
- [5] Abbas El Gamal, et al. "An Architecture for Electrically Configurable Gate Arrays," *IEEE Journal of Solid-State Circuits*, Vol. 24, No. 3, pp. 394-398, Apr. 1989
- [6] *Flash Memory*, Vol. 1, Intel, 1994
- [7] *KM29A040T Flash Memory*, Samsung Electronics, 1996