

지연고장 점검을 위한 IEEE 1149.1 바운다리 스캔 설계

김 태형, 박성주

한양대학교 전자계산학과

경기도 안산시 사1동 1271, 425-791

A New IEEE1149.1 Boundary Scan Design for the Detection of Delay Faults

Taehyung Kim and Sungju Park

Dept. of Computer Science & Engineering, Hanyang University

1271 Sa-1-Dong, Ansan, Kyunggi-Do, 425-791, Korea

tachyung@mslab.hanyang.ac.kr, parksj@mslab.hanyang.ac.kr

Abstract

IEEE 1149.1 바운다리 스캔은 칩과 칩간의 연결선상에서 발생가능한 지연고장을 점검 할 수 없게 설계되어있다. 칩에서 패턴을 주입하는 UpdateDR과 연결선을 통해서 전달된 결과 값을 관측하는 CaptureDR간의 간격이 1TCK가 되도록 UpdateDR 회로를 변경하는 설계기술을 소개한다. 기존의 CaptureDR을 변경하는 기술보다 동작속도 및 추가영역면에서 최적임을 보여준다

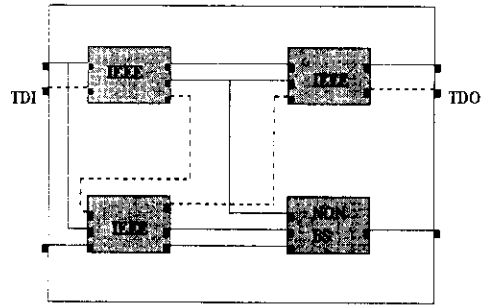


그림 1 : 바운다리 스캔 및 일반칩으로 구성된 보드

1. 개요

바운다리 스캔 설계는 그림 1과 같이 다른 패키지(칩, 보드, 모듈 등) 수준에서 고장 점검 및 진단을 위한 테스트패턴의 주입을 쉽게 하기 위하여 개발된 테스트 설계 기술이다. In-circuit 테스트와 기능 테스트가 카드를 구성하는 칩과 칩간의 연결선 점검을 위하여 널리 사용되어 왔다. In-circuit 테스트는 못판(bed-of nails)으로 카드의 특정 부위를 검사하는 방법으로 보드가 다중기판화 되어감에 따라 탐침을 사용하기 어려워졌다. 기능 테스트는 칩 핀을 직접 탐침으로 점검하지 않아도 된다는 장점은 있지만, 여러 고장에 대한 양질의 테스트패턴 생성을 보장하지 못하며 칩 제작처로부터 일반적으로 제공되지 않는 회로의 상세도를 필요로 한다는 단점이 있다. 바운다리 스캔은 각각의 칩에 전용 바운다리 스캔 레지스터를 사용하여 칩 테스트패턴을 직접 주입 및 관측할 수 있게 한 보드수준에서의 테스트 설계 기술이다. 80년대 초반부터 사용되는 IBM 바운다리 스캔은 칩 내부의 스캔 래치를 바운다리 스캔 용으로도 사용하는 기술이며[1], 90년대에는 별도의 테스트 프로토콜에 의한 IEEE 1149.1 바운다리 스캔이 업계의 표준으로 선택되어 현재 제작되는 비메모리 칩에 널리 내장 설계되고 있다[2].

보드의 칩간 연결선상에서 발생할 수 있는 결함은 AND, OR, stuck-at, dominating 등의 정적인 고장과 지연(delay), 간헐(intermittent) 등의 동적인 고장으로 모델링된다. 정적인 연결선 고장을 위한 테스트패턴 생성에 관한 연구는 활발히 진행되어 왔고 [3,4,5] 동적인 고장 점검에 관하여는 최근에 논문이 발표되고 있지

만[6,7] 각 칩의 내부 스캔 구조에 관한 정보를 필요로 하며 IEEE 바운다리 스캔의 표준화된 설계는 근본적인 문제점 때문에 테스트 패턴을 관측하는데 어려움이 있다. 일반적으로는 칩의 내부 스캔 구조는 알려주지 않고 바운다리 스캔 정보만 BSDL(Boundary Scan Description Language)로 제공한다. 본 논문에서는 IEEE 1149.1 바운다리 스캔 정보만 BSDL로 제공되는 칩들로 구성된 보드에서 칩과 칩간의 연결선상에서 발생가능한 지연고장의 점검을 위한 새로운 설계 기술을 소개한다.

본 논문의 2장에서는 IEEE1149.1 바운다리 스캔 구조와 지연고장 점검에 대한 문제점을 제기한다. 3장에서는 지연점검이 가능한 새로운 바운다리 스캔 구조를 기술하며, 결론 및 향후 연구 계획을 4장에서 기술한다.

2. 1149.1 바운다리 스캔 구조 및 문제 제기

IEEE 1149.1 바운다리 스캔 구조는 그림 2와 같이 Test Access Port(TAP), TAP 제어기, 명령어 및 각종 데이터 레지스터로 구성되어 있다. TAP은 Test Data Input(TDI), Test Data Output(TDO), Test Clock(TCK) 및 Test Mode Selector(TMS) 핀으로 구성되어 있으며 Test Reset(TRST) 핀은 선택적으로 사용할 수 있다. 칩의 각 입력 핀은 연계된 Boundary Scan Cell(BSC)을 통하여 칩 내부로 신호를 주입하고, 회로 내부에서 생성된 신호는 BSC를 통하여 칩

* 본 과제는 교육부 반도체분야 학술연구조성비(과제번호97-E-2041) 지원으로 수행하였습니다.

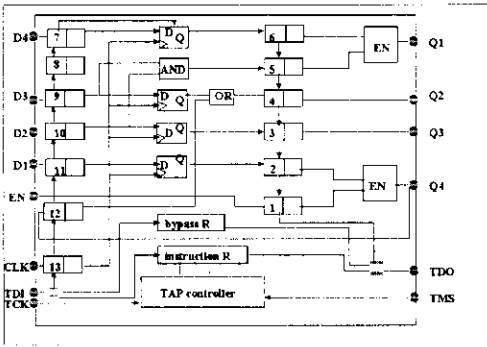


그림 2 : IEEE 1149.1 바운다리스캔 설계된 칩

외부로 출력하게 되어있다. 그림 2의 바운다리스캔 레지스터 가운데 cell 1 - cell 6은 출력 BSC이며 cell 7 - cell 13은 입력 BSC를 나타낸다. 테스트데이터 레지스터로는 바운다리스캔 레지스터 이외에도 bypass 및 idcode 레지스터 등이 있으며 추가적으로 선택하여 특수한 용도로 사용할 수 있다. 바운다리스캔에서 사용되는 명령어로는 Bypass, Exttest, Sample, Clamp, HighZ 등의 필수적인 명령어와 RunBIST 등의 선택적인 명령어로 구분해 볼 수 있다.

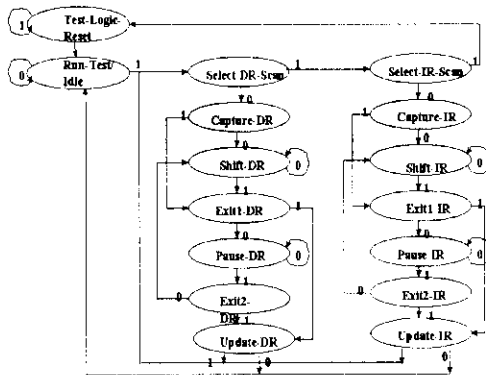


그림 3 : IEEE 1149.1 바운다리스캔 상태천이도

TAP 제어기는 그림 3과 같이 16가지의 상태로 구성되어 있으며 기본적으로 명령어와 데이터를 직렬로 레지스터에 주입하고, 테스트를 실행시키며, 테스트결과를 직접 관측할 수 있도록 한다.

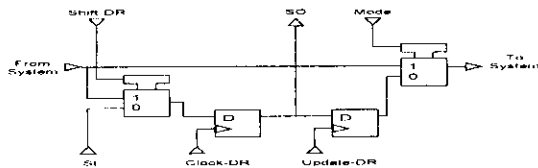


그림 4 : 바운다리스캔 플립플롭

그림 4)는 하나의 BSC를 보여주며, 테스트패턴을 주입할 때는 Capture 래치를 통하여 다음 단의 BSC에 패턴을 전달하고, 내부의 신호를 출력핀에 내보낼 경우와 입력된 신호를 내부회로에 전달할 경우에는 우측에 위치한 Update 래치를 통하게 된다.

보드내 칩간의 연결선상에서 발생 가능한 고장의 종류를 살펴

보면 다음과 같다.

- 1) Stuck-at-0 및 stuck-at-1 : 접지 혹은 전원에 고착된 고장
- 2) Stuck-open : CMOS 트랜지스터 수준에서 선이 끊긴 상태
- 3) Bridging 고장
 - AND 형태 : 두 선중 하나가 논리적으로 "0" 이면 두 선 모두 "0"으로 됨.
 - OR 형태 : 두 선중 하나가 논리적으로 "1" 이면 두 선 모두 "1"로 됨.
 - Dominator 형태 : 지배적인 선의 입력 값이 두 선 모두로 출력됨.
- 4) 지연고장 : "0->1" 혹은 "1->0"으로 천이되는 시간이 일정치를 초과하여 변환된 값이 일정 시간대에 목적지에 있는 플립플롭에서 인지되지 못할 경우.

표 1 : 2log(N) 알고리즘

111 000	-----	111 000	
110 001	-----	110 001	
101 010	-----	101 010	
100 011	}-----	111 111	OR
011 100		111 111	
010 101	-----	010 101	
001 110	-----	001 110	
000 111	-----	000 111	

1), 2), 3)과 같은 정적인 고장의 완전점검 및 부분진단을 위하여 사용되는 테스트패턴을{3} 살펴보면 표 1)과 같다. 표 1)은 7개의 연결선에 대한 6개의 테스트패턴(각 행에 해당)을 보여주며 이러한 패턴을 바운다리스캔 레지스터를 통하여 주입 및 관측하는 방법은 다음과 같다.

1. EXTTEST 명령어를 읽어들이고 디코딩한다. FSM의 상태천이를 살펴보면:

RESET->IDLE->ScanDR->ScanIR->CaptureIR->ShiftIR->...->Exit1IR->UpdateIR->

2. 테스트패턴을 직렬로 바운다리스캔 레지스터를 통하여 읽어 들인다. FSM의 상태천이를 살펴보면:

ScanDR->CaptureDR->ShiftDR->...->Exit1DR->

3. 읽어들이 테스트패턴은 Update 래치를 통하여 주입하고, 연결선을 통하여 전달된 값은 관측할 칩의 입력 BSC에 저장한다. FSM의 상태천이는:

UpdateDR->ScanDR->CaptureDR

4. 입력 BSC에 Capture된 값은 바운다리스캔 레지스터를 통하여 TDO로 출력된다. FSM의 상태천이는:

CaptureDR->ShiftDR->...->Exit1DR

UpdateDR과 UpdateIR은 TCK가 1->0 전이시에 작동하게 되어 있으며 나머지 14가지 상태는 TCK가 0->1 전이시 작동하게 되어 있다. 상기단계 3.을 TCK와 TMS로 타이밍도를 상세히 작성하여 보면 그림 5)와 같고 출력 BSC를 통하여 테스트패턴을 주입하고 입력 BSC를 통하여 관측하는데 총 1.5 TCK가 소요됨을 알 수 있다.

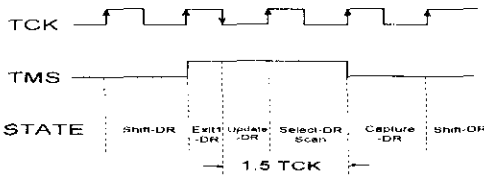


그림 5 : Update-DR 상태에서 Capture-DR 상태까지의 타이밍도

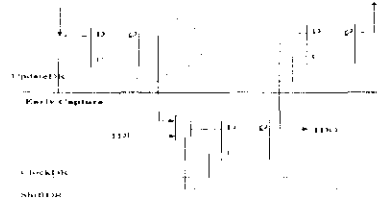


그림 9 : Early Capture 래치에 의한 지연고장의 점검

정적인 고장의 점검을 위하여는 몇 TCK가 소요되어도 문제가 되지 않지만, 지연고장의 점검을 위하여는 1 TCK만에 주입된 패턴을 관측할 수 있어야 한다. 현재 IEEE에서 제안하는 표준안으로는 지연고장을 점검할 수 없기 때문에 상태전이도를 변경하거나 혹은 새로운 명령어와 명령어 수행에 필요한 새로운 기능의 BSC를 설계하여야 한다. 만약 상태전이도의 변경이 불가피하면 표준안에서 제안하는 모든 기능을 수행할 수 있으며 부수적으로 다른 모드에서의 지연고장도 점검할 수 있도록 변경하여야 할 것이다. 그림 4의 BSC에서 Update와 Capture간의 소요시간을 1 TCK로 줄이기 위하여는 첫째, 그림 7과 같이 Capture 부분을 변경하여 Capture를 0.5TCK 빨리하는 방법과 둘째: 그림 8과 같이 Update를 0.5TCK 느리게 하는 방법을 고려해 볼 수 있다

1996년 논문 [8]에서는 그림 9와 같이 Early Capture 래치를 추가하여 지연고장을 점검하였다. 그러나 이 방법은 정상동작시에도 칩의 출력신호가 래치를 통과하여야 하므로, 처리속도가 저하되며 별도의 Early Capture Clock 입력 핀을 필요로 한다는 단점이 있다. 본 논문에서는 이러한 단점을 보완하며, Update-DR에서 Capture-DR 까지의 상태 전이가 1 TCK에 이루어지게 하는 바운다리스캔 설계 기술을 제안하고자 한다. IEEE 1149.1 바운다리스캔 표준안과 호환성을 유지하기 위하여 EXTEST 명령어가 실행될 때에만 지연고장 점검모드로 동작하게 한다.

정리 1: EXTEST 명령어 수행시에 Update-DR을 0.5TCK 늦게 하거나 Capture-DR을 0.5TCK 빨리 하도록 바운다리스캔 구조를 변경하면 연결선간의 지연고장은 물론 정적인 연결선고장도 정상적으로 점검할 수 있다. ■

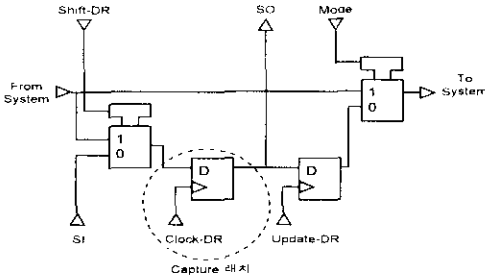


그림 7 : Capture 래치의 변경에 의한 지연고장의 점검

먼저 그림 7과 같이 Capture 래치에 인가되는 ClockDR 신호를 변형하는 방법에 대하여 살펴보기로 한다. ClockDR 신호는 Capture-DR 상태 뿐만이 아니고 Shift-DR 상태에서도 active 하게 되어있다. 따라서 만약 ClockDR을 0.5TCK 먼저 active하게 하면 ClockDR 뿐만이 아니라 ShiftDR 신호도 0.5 TCK 먼저 active하게 주어야 한다. 반면에 그림 8과 같이 UpdateDR 신호를 0.5TCK 느리게 active하면 출력단과 연결된 멀티플렉서의 mode 신호는 이미 EXTEST 명령어가 해독되면서 부터 하단부를 선택하게 되어 있으므로 UpdateDR 신호만 변경해주면 된다. 따라서 본 논문에서는 Capture래치 대신 UpdateDR을 변경하며, 다음장에서 상세히 설명하겠다.

3. 지연고장 점검을 위한 UpdateDR 회로의 변경

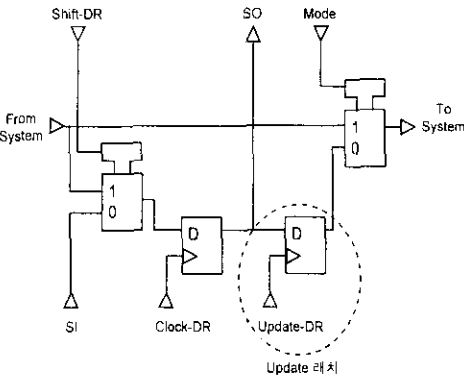


그림 8 : Update 래치의 변경에 의한 지연고장의 점검

UpdateDR을 0.5TCK 늦게 해 주기 위해 변경된 바운다리 스캔 구조는 그림 10과 같다. 2개의 D플립플롭, 4입력 AND 게이트, 2 입력 MUX, NOR사이트 그리고 3개의 NOT게이트가 새로 추가되었다. UpdateDR, Shift-DR, Clock-DR 신호는 TAP의 출력신호이며, MUX의 제어신호인 NOR 게이트의 입력인 Do0과 Do1은 IR(Instruction Register)의 출력선이다.

변경된 칩의 동작을 살펴보자. 먼저, EXTEST명령 일 때 IR의 명령어 코드 출력은 "00"이 된다. 그러므로 Do0과 Do1의 값은 각각 '0'의 값을 갖게되고, Mux에대한 제어신호는 1이 된다. 이 경우에는 4개의 신호, 즉 Shift-DR, Clock-DR, TCK, Update-DR의 조합된 신호가 Update래치의 Clock단으로 인가되어서 UpdateDR동작이 0.5 TCK 늦게 일어나게 한다.

EXTEST가 아닌 다른 명령어일 경우, Mux의 제어신호는 '0'의 값이 되고 본래의 UpdateDR신호가 들어가, IEEE 표준안의 명령과 일치하게 동작한다.

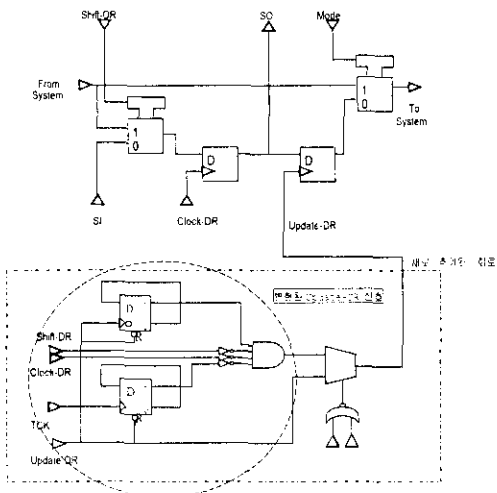


그림 10 : UpdateDR 변경회로

이렇게 바운다리 스캔구조를 변경함으로써, EXTEST 명령일 때에는 지연고장검출의 기능을 가질수가 있고, 나머지 명령어의 경우에는 IEEE 표준안의 동작과 일치하도록 했다.

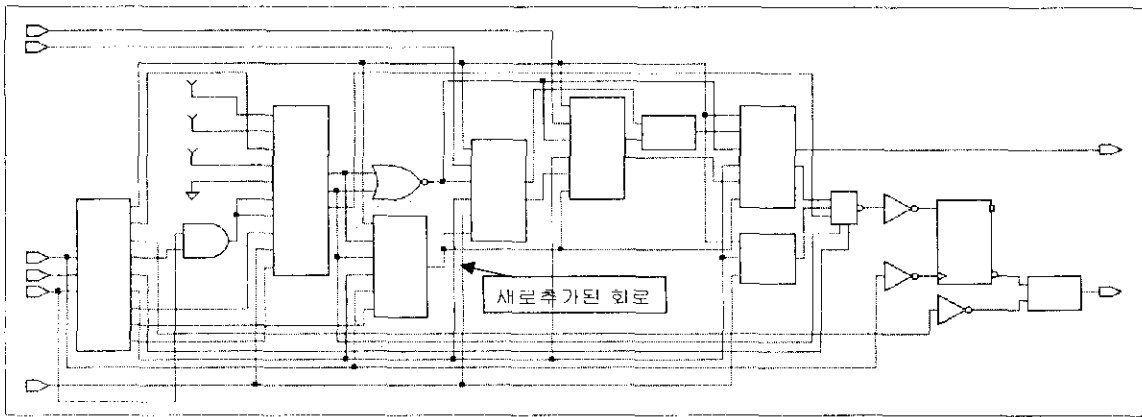


그림 11 : Synopsys를 이용한 바운다리 스캔 설계

그림11은 Synopsys를 사용하여, 간단한 회로에 바운다리 스캔 셀을 추가한 모습이다. 이 회로의 Core는 2입력 1출력을 가지고 있는데, 임출력 핀에 바운다리 스캔 레지스터가 연결되어 있고, IAP와 IR까지 전체 바운다리 스캔 셀이 연결된 모습이다. UpdateDR을 0.5TCK 늦게 해 주기위한 추가적인 회로는 NOR게이트 아래에 위치한 6입력 1출력을 가지는 셀이다. Core회로에 바운다리 스캔 레지스터의 추가는 Synopsys 툴에서 자동으로 지원해 주고, UpdateDR을 0.5TCK 늦게 해주기위한 변경된 회로는 Design Compiler Expert editing 명령어를 사용하여 추가하였다.

기존의 방법은 바운다리 스캔셀을 변경하는 방법으로 임출력포트 수 많큼의 새로운 하드웨어 비용이 추가되는 반면, 본 논문에서 제시한 방법은 하나의 셀만 추가해주는 간단한 방법으로서, 하드웨어의 추가부담을 최소화 할 수 있는 구조이다.

실험을 위해 2bit명령을 사용했는데, 명령어의 bit수가 늘어나더라도, EXTEST명령은 여전히 '0'로만 구성되어지므로, MUX의 선택을 위한 NOR게이트에 선이 추가되는 것외에는 달라지는 것은 없다.

4. 결론 및 향후계획

본 논문에서는 IEEE 1149.1 바운다리 스캔 설계를 최소한으로 변경하여 연결선상에서 발생가능한 지연고장도 점검할 수 있게 하였다. UpdateDR이 0.5TCK 늦게 동작하도록 하여 기존의 Early Capture Latch를 사용하는 기술보다 추가영역 및 동작속도면에서 최적이 되도록 하였다. 또한 EXTEST 명령어의 별도기능으로 추가하여 정적 및 동적 고장을 모두 점검할 수 있게 하였다. 상용 CAD 도구를 사용하여 실제회로에서 바운다리 스캔 설계를 변경한 예를 보여주었다.

연결선상에서 발생가능한 정적고장 및 지연고장을 동시에 점검 및 진단할 수 있는 최소한의 패턴생성 알고리즘을 개발하고 있다.

참고문헌

- [1] R. W. Bassett, M. E. Turner, J. H. Panner, P. S. Gills, S. F. Oakland and D. W. Stout, "Boundary Scan Design Principles for Efficient LSSD ASIC Testing," IBM Journal of Research and Development, Vol. 34, 1990, pp. 339-354.
- [2] IEEE Standard 1149.1-1990, "IEEE Standard Test Access Port and Boundary-Scan Architecture," IEEE, June 1989.
- [3] P. T. Wagner, "Interconnect Testing with Boundary Scan."

- Proceedings of IEEE International Test Conference, 1987, pp. 52-57.
- [4] S. Park, "A New Complete Diagnosis Patterns for Wiring Interconnects," ACM/IEEE Design Automation, 1996, pp. 203-208.
- [5] W. T. Cheng, J. L. Lewandowski and E. Wu, "Optimal Diagnostic Methods for Wiring Interconnects," IEEE Transactions on Computer-Aided Design, Vol. 11, No. 9, Sept. 1992, pp. 1161-1166.
- [6] W. Ke, "Backplane Interconnect Test in a Boundary Scan Environment," Proceedings of IEEE International Test Conference, 1996, pp. 717-724.
- [7] W. Ke, "Hybrid Pin Control Using Boundary Scan and Its Applications", Proceedings of IEEE International Asian Test Symposium, Taiwan, 1996.
- [8] K. Lofstrom, "Early Capture For Boundary Scan Timing Measurements", Proceedings of IEEE International Test Conference, 1996, pp. 417-422.