

트리구조에 기초한 선형다치논리시스템의 설계에 관한 연구

나기수*,신부식*,박승용**,최재석*,김홍수*

* 인하대학교 전자공학과, **재능대학 전자계산학과

인천시 남구 용현동 253 인하대학교

e-mail : g9711128@inhavision.inha.ac.kr

A Study on the Design of Linear MVL Systems based on the Tree Structure

Gi-Su Na*, Boo-Sik Shin*, Seung-Yong Park**, Jai-Sock Choi*, Heung-Soo Kim*

* Dept. of Electronic Eng., Inha Univ.

** Dept. of Computer Scie., Jae-nung J. College

253 Yonghyun-Dong Nam-Gu Incheon 402-751, KOREA

E-mail : g9711128@inhavision.inha.ac.kr

Fax : +82-32-868-3654

요 약

본 논문에서는 노드들간의 입출력 관계가 트리형태로 주어진 경우에 이 관계를 수식으로 해석하여 최소화시키고 이를 회로로 구현하는 새로운 알고리즘을 제안한다. Nakagima등에 의해 제안된 알고리즘은 트리의 특성을 갖는 노드들의 관계를 2치논리에 근거하여 회로로 구현하였으나, 이러한 기법은 일반적인 형태로 주어진 트리구조에 대한 해석이 충분치 못하므로 일반화된 회로의 구성에 많은 제약과 가지고 있다. 이러한 문제점에 대하여 본 논문에서는 트리구조를 갖는 노드들의 전체적인 입출력관계를 수식으로 정리하여 최소화된 회로설계 알고리즘을 제안하고 예를 들어 이를 검증한다.

감소시킬 수 있는 장점이 있다. 또 한가지 주목받고 있는 방법이 그래프이론을 회로설계에 적용한 분할연산구성기법¹⁻³⁾이다. 이는 출력에 영향을 미치는 입력의 연관관계를 함수로서 해석하고 이를 분할연산하여 회로로 구성한 후 이를 선형결합하는 기법이다. 이러한 기법을 통해 입력과 출력의 관계를 최적화하여 회로소자들간의 의존도감소에 의해 내부접속의 복잡성을 감소시킬 수 있다. 따라서, 다치논리이론과 분할연산 구성기법은 초고속 집적회로에 대한 차세대 디지털논리시스템의 매우 중요한 관심분야로 부각되고 있으며 이에대한 연구가 활발히 진행중이다.

본 논문에서는 노드들의 입출력 관계가 트리의 특성을 갖는 방향성그래프(Directed Tree Graph:DTG)의 형태로 주어지는 경우, 트리의 수식적인 성질을 적용하여 노드들의 입출력 관계를 최소화하고 이를 토대로 최소화된 회로를 설계하는 알고리즘을 제안하였다. 특히, 본 논문에서 제안된 알고리즘을 적용하여 기존에 제안된 알고리즘으로는 회로구성이 용이하지 않은 입출력간의 연관관계에 대하여 쉽게 최소화 회로로 구현할 수 있다.

I. 서 론

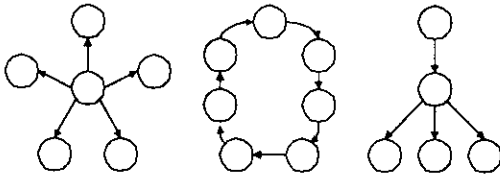
최근 집적회로 기술의 비약적인 발전으로 인해 단일 칩상에 방대한 양의 회로가 집적될 수 있게 되었다. 이러한 비약적인 발전에도 불구하고 보다 복잡하고 다양한 기능을 구현하기 위해 더 많은 소자들을 더 적은 면적의 칩속에 집적해야 하는 것이 현재 집적회로 기술이 해결해야 할 과제로 떠오르고 있다. 이러한 문제들은 내부접속의 복잡성으로 인한 구성의 한계로 부터 기인하는 것이며 이를 해결하기 위한 많은 연구가 계속되고 있다. 그 중 최근 주목받고 있는 분야가 다치논리(MVL)이론¹⁻³⁾을 회로에 적용하는 것으로, 이는 하나의 신호선에 오직 두개의 신호레벨만을 전송하는 것 보다 동일한 신호선에 더 많은 전송을 함으로써 내부접속의 복잡성을

II. 수학적 배경

1. 방향성 그래프(DG:Directed Graph)

일반적으로, 그래프는 방향성그래프(Directed Graph:DG)와 비방향성그래프(Undirected Graph:UG)로 구분되며 또한 이들의 계층적(hierarchical)구조에 따라 각각 사이클(cycle)과 트리(tree)로 세분된다. 그래프는 노드(node)들과 그 노드들을 연결한 브랜치(branch)들의 집합으로

정의되며, 특히 노드들을 연결한 브랜치들의 방향이 정의되어 화살표로 방향을 표시할 때 이러한 그래프를 방향성그래프라 하며 이의 몇가지 예를 그림 1에 도시하였다.



(a) star type (b) cycle type (c) tree type

그림 1. 방향성그래프의 몇 가지 예

그림 1의 (c)와 같이 방향을 가지며 그래프의 노드들이 트리를 이루는 구조를 방향을 갖는 트리그래프 (Directed Tree Graph:DTG)라 하며 이의 몇가지 성질^{[10][11]}을 다음과 같이 정리하였다.

[성질 1.1] $s_2 = A s_1$ 의 관계를 갖는 두 노드 s_1, s_2 에 대하여 s_1 을 s_2 의 조상(원인 또는 입력), s_2 를 s_1 에 대한 자손(결과 또는 출력)이라 볼 수 있다. 이때, s_1 과 s_2 의 관계를 그림으로 나타내면 s_1 에서 출발한 화살표가 s_2 에 도착한 형태로 표현되며 이러한 화살표를 두 노드들간의 관계를 설명해 주는 전달행렬(transfer matrix) A 로 생각할 수 있다.

[성질 1.2] $s_k = A^m s_1$ 의 관계를 갖는 두개의 노드 s_k 와 s_1 에 대하여 s_1 은 s_k 의 m 번째 조상이 되며, s_k 는 s_1 의 m 번째 자손이 된다. 즉, s_1 에서 출발하여 s_k 에 도착하기 위해서는 m 번의 A 를 취해줘야 한다.

[성질 1.3] 트리는 root라 불리는 하나의 노드를 가지며 트리구조의 모든 노드는 root노드와 연결되어있다.

[성질 1.4] root노드는 길이가 1인 사이함을 이루며 root노드를 제외한 사이함은 트리구조내에 존재하지 않는다.

2. 유한체 GF(p)의 성질

유한체는 프랑스의 수학자 Galois가 발견하여 일명 Galois체라고도 하며, 다차논리이론 및 오류정정부호, 스위칭이론 등에 광범위하게 적용되는 대수학의 일부분이다. 유한체GF(p)는 p가 1보다 큰 소수이고 그 원소가 0, 1, 2, ..., p-1인 기초체이다. 유한체 GF(p)상의 임의의 원소 α, β, γ 는 다음과 같은 수학적 성질^{[12][13]}을 만족한다.

[성질 2.1] 유한체 GF(p)상의 원소들의 연산에 대하여 가산(+)과 승산(\times)이 정의되고, 그 연산 결과는 유한체 GF(p)에 대하여 닫혀있다.

[성질 2.2] 유한체 GF(p)상의 원소들의 연산에 대하여 교환,결합,분배법칙이 성립한다.

[성질 2.3] 유한체 GF(p)상의 원소들의 연산에 대하여

가산과 승산의 항등원과 역원이 각각 존재한다.

3. 회로의 분할 연산

두개의 정방행렬 A 와 A' 가 유한체 GF(p)상에서 정의될 때 다음의 경우 A 와 A' 는 서로 유사하다(similar)고 할 수 있다. 유일하지 않은(nonsingular) 행렬 P 에 대하여 $A' = P A P^{-1}$ 를 만족하는 행렬 P 를 A 에서 A' 로의 유사변환행렬(similarity transformation matrix)이라 한다.

다음 식 1에서,

$$d(x) = a_0 + a_1 x + \dots + a_{n-1} x_{n-1} + x_n \quad (1)$$

$d(x)$ 의 수반행렬(Companion matrix)를 C_i 라 정의하고 이를 행렬로 나타내면 식 2와 같다.

$$C_i = \begin{pmatrix} 0 & 0 & 0 & \dots & -a_0 \\ 1 & 0 & 0 & \dots & -a_1 \\ 0 & 1 & 0 & \dots & -a_2 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \dots & -a_{n-1} \end{pmatrix} \quad (2)$$

전달행렬 A 는 이러한 수반행렬들을 선형결합함으로써 다음의 식 3을 얻을 수 있다.

$$A = \begin{pmatrix} C_1 & & & \\ & C_2 & & \\ & & \ddots & \\ & & & C_s \end{pmatrix} \quad (3)$$

III. 회로설계

1. Nilpotent 행렬

A 가 정방행렬이면서 어떤 양의 정수 n 에 대해서 $A^n=0$ 이면 정방행렬 A 를 멱영행렬(Nilpotent matrix)이라 하고 이를 수반행렬(Companion matrix)로 나타내면 식 4와 같다.

$$C_i = \begin{pmatrix} 0 & 0 & 0 & \dots & 0 & 0 \\ 1 & 0 & 0 & \dots & 0 & 0 \\ 0 & 1 & 0 & \dots & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & \dots & 1 & 0 \end{pmatrix} \quad (4)$$

이 때, 수반행렬의 선형결합으로 구성되는 A 는 m 이라는 vector에 의해 특성화되어 지는데 m 은 식 5와 같은 형태를 취한다.

$$m = \begin{pmatrix} m_1 \\ m_2 \\ m_3 \\ \vdots \\ m_L \end{pmatrix} \quad (5)$$

여기서 L 은 가장 큰 Nilpotent 블록(block)의 차원(dim

ension)의 크기를 나타내며 n 은 A 의 차원을, w 는 기본 제산자(elementary divisors)의 수를 나타낸다.

$$m_1 + m_2 + \dots + m_L = n$$

$$m_1 + 2m_2 + 3m_3 + \dots + Lm_L = w$$

2. DTG의 회로설계

본 절에서는 디지털논리시스템의 입출력사이의 연관 관계를 도식적으로 표현해 주는 DTG를 회로로 설계하는 과정을 논의한다. 예를 들어 아래 표 1과 같은 노드들간의 입출력 연관관계표로부터 DTG를 도시하면 그림 2과 같다.

표 1. 노드들간의 입출력 연관관계표.

입력	A	B	C	D
출력	A	A	B	B

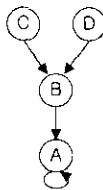


그림 2. 표 1에 대한 DTG.

그림 2의 4개의 노드들은 각각 전달행렬 A 에 의해서로 입출력의 연관관계를 가지며 어떤 노드에서라도 적당한 전달행렬 A 를 취해주면 마지막 노드인 root노드에 이르게 된다. 예를 들어, 노드D로부터 출발한다면, 각 노드들은 $AD=B$, $AB=A \cdot A^2D$, $AA^3=A \cdot A^3D$ 같이 수식으로 표현된다.

이때 주어진 그림에서 전달행렬 A 를 구하기 위해 트리의 특성을 이용하면 각 level간의 관계를 식 6과 식 7와 같이 표현 할 수 있다.

$$k_i = \log_p(1 + N_1 + N_2 + N_3 + \dots + N_i) \quad (i=1,2,3,\dots,L)$$

$$(N_0 = 1) \tag{6}$$

$$K = Em \tag{7}$$

따라서 전달행렬 A 를 구하기 위한 m 은 식 8에 의해 구할 수 있다.

$$\begin{pmatrix} m_1 \\ m_2 \\ m_3 \\ \vdots \\ m_{L-1} \\ m_L \end{pmatrix} = \begin{pmatrix} 2 & -1 & 0 & \dots & 0 & 0 \\ -1 & 2 & -1 & \dots & 0 & 0 \\ 0 & -1 & 2 & \dots & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & \dots & 2 & -1 \\ 0 & 0 & 0 & \dots & -1 & 1 \end{pmatrix} \begin{pmatrix} k_1 \\ k_2 \\ k_3 \\ \vdots \\ k_{L-1} \\ k_L \end{pmatrix} \tag{8}$$

디지털논리시스템의 입출력 노드들간의 연관관계로부터 DTG를 도출하고 이를 토대로 회로설계하는 알고리즘은 다음과 같다.

[알고리즘]

- step 1. DTG로부터 각 level에 달린 노드의 수를 파악한다.
- step 2. 각 level당 매개변수 k_i 가 양의 정수가 되도록 P -치를 결정하고 잉여의 노드를 삽입한다.
- step 3. 식 6과 식 8에 의하여 각각 k_i 와 m 을 구한다.
- step 4. step 3에서 구한 벡터 m 을 선형결합하여 전달행렬 A 를 구한다.
- step 5. 전달행렬 A 를 회로로 구현한다.

3. 적용 예

본 절에서는 본 논문에서 제안한 알고리즘을 통하여 회로를 구현하는 과정을 살펴본다.

[예제 3.1] 표 2의 입출력 노드들간의 연관관계를 DTG로 도시하면 그림 3과 같다.

표 2. 입출력 노드들간의 연관관계표.

입력	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P
출력	A	A	A	A	A	A	A	E	E	E	E	E	E	E	E	E

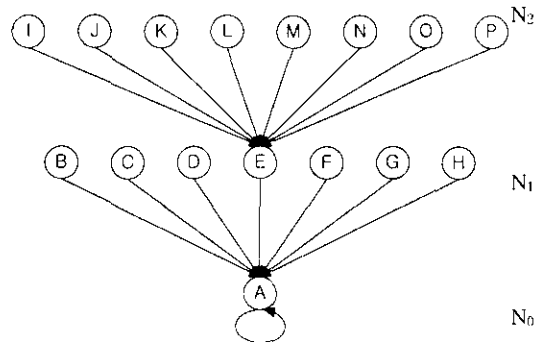


그림 3. 표 2에 대한 DTG.

- step 1. 각각 $N_0 = 1$, $N_1 = 7$, $N_2 = 8$ 개의 노드수를 가진다.
- step 2. 각 level당 매개변수 k_i 가 정수가 되도록 3-치로 결정하고 N_1 에 1개, N_2 에 10개의 잉여의 노드 삽입하여 트리를 재구성 한다.
- step 3. 재구성된 트리에 식 6과 식 8에 의해 m 을 구해보면,

$$\begin{pmatrix} m_1 \\ m_2 \end{pmatrix} = \begin{pmatrix} 2 & -1 \\ -1 & 1 \end{pmatrix} \begin{pmatrix} k_1 \\ k_2 \end{pmatrix} = \begin{pmatrix} 1 \\ 1 \end{pmatrix}$$
- step 4. step 3에서 구한 vector m 에 의해 A 는 수반행렬 $C_1 = (0)$ $C_2 = \begin{pmatrix} 0 & 0 \\ 1 & 0 \end{pmatrix}$ 의 선형결합으로 구성되며

$$A = \begin{pmatrix} 0 & & \\ & 0 & 0 \\ & 1 & 0 \end{pmatrix} \text{ 이다}$$

step 5. step에서 구한 전달행렬 A를 회로로 구현하면 그림 4와 같다.

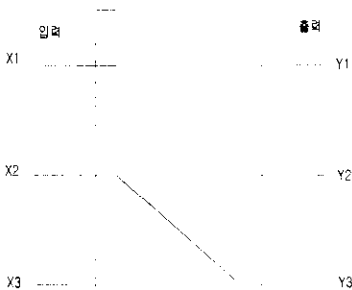


그림 4. 표 3에 대한 회로설계.

IV. 결론

본 논문에서는 DTG로 표현된 입출력사이의 노드들간의 연관관계를 수식적 해석을 통하여 함수로 변환하고 이를 회로로 구현하는 알고리즘을 제안하였다.

기존 연구내용에서 제안된 알고리즘의 경우 Branch들 중에서 제일 많은 노드의 갯수를 가지는 Branch를 선택하여 다른 Branch에 두 같은수의 노드를 만들기위해 여러 level에 많은 수의 잉여노드를 달아야만 했다. 그러나 하나의 branch에 유독 많은 수의 노드가 몰릴 경우 이를 회로로 구성하기가 어렵고, 또 각각의 출력에 코드를 할당하는 문제에서도 가장 최적인 P-치를 선택하는데 어려움이 따른다.

본 논문에서 제안한 알고리즘은 이러한 문제점을 개선하기위해 Nilpotent Tree의 성질을 수학적으로 해석,이 용하여 주어진 트리에 구조에 의해 P-치를 결정하고 최소의 회로를 구성할 수있도록 하는 알고리즘을 제시하였다.

DTG의 상태를 회로로 구현하는 알고리즘과 함께 각각의 노드들에 적합한 코드를 할당해주는 알고리즘 필요하다. 현재 이에 대한 연구가 활발히 진행되고 있다.

참고문헌

[1] M. Kameyama, "Toward The Age of Beyond-Binary Electronics and Systems", *IEEE Proc. 20th Int. Sym-*

posium on Multiple-Valued Logic, pp.162-166, May. 1990.

[2] K. C. Smith and P. G. Gulak, "Prospects for multiple-valued intergrated circuits," Special issue on Multiple Valued intergrated Circuits *IEICE TRANS. ELECTRON.*, vol.E76-C, no.3,pp.372-382, Mar. 1993.

[3] T. Hanyu, M. Nakajima and T. Higuchi, "Prospects of multiple-valued VLSI processors," Special issue on Multiple-Valued intergrated Circuits *IEICE TRANS. ELECTRON.*, vol.E76-C, no.3,pp.383-392, Mar. 1993.

[4] M. Nakajima and M. Kameyama, "Design of Multiple-valued Linear Digital Circuits for Highly Parallel Unary Operations", *IEEE Proc. 23th Int. Symposium on Multiple-Valued Logic*, pp.283-288, May. 1993.

[5] M. Nakajima and M. Kameyama, "Design of Highly Parallel Linear Digital System for ULSI Processors", *IEICE Trans*, Vol.E76-C, No.7, pp.1119-1125, Jul. 1993.

[6] S. Tamaki, M. Kameyama, and T. Higuchi, "Code Assignment Algorithm for Highly Parallel Multiple-Valued Combinational Circuits", *IEEE Proc. 22th Int. Symposium on Multiple-Valued Logic*. pp.382-388, May. 1992.

[7] M. Nakajima and M. Kameyama, "Design of Multiple-valued Linear Digital Circuits for Highly Parallel k-ary Operations", *IEEE Proc. 24th Int. Symposium on Multiple-Valued Logic*, pp.223-230, May. 1994.

[8] M. Ryu and M. Kameyama, "Design of a Highly Parallel Multiple-valued Linear Digital Circuits for k-ary Operations Based on Extended Representation Matrices", *IEEE Proc. 25th Int. Symposium on Multiple-Valued Logic*, pp.20-25, May. 1995.

[9] M. Nakajima and M. Kameyama, "Design of Highly Parallel Linear Digital Circuits Based on Symbol-Level Redundancy", *IEEE Proc. 26th Int. Symposium on Multiple-Valued Logic*, pp.104-109, May. 1996.

[10] R. J. Wilson and J. J. Watkins, *GRAPH An Introductory Approach*, John Wiley & Sons, Inc. 1990.

[11] Douglas B. West, *Introduction to Graph Theory*, Prentice Hall, Inc. 1996.

[12] E. Artin, *Galois Theory*, NAPCO Graphic arts, Inc., Wilconsin. 1971.

[13] Robert J. McEliece, *Finite Fields for Computer Scientists and Engineers*, Kluwer Academic Publisher, 1978.

[14] A.Gill, *Linear Sequential Circuits*, McGraw-Hill Book Co., Newyork. 1966.