

DRAM 의 안정한 내부 전압 시스템 설계에 관한 연구

주종두, 이승훈, 광계달
한양대학교 전자공학과
133-791 서울시 성동구 행당동 17 번지
jdju@shira.Hanyang.ac.kr

A Study on the Design of the Stable Internal Voltage System for DRAM's

Jong-Doo Joo, Seung-Hoon Lee, Kae-Dal Kwack
Dept. of Electronic Engineering Hanyang University*,
17 Heangdang-Dong Seongdong-Gu Seoul 133-791, KOREA*

Abstract

This paper presents a new Reference Voltage Generator(RVG) for advanced DRAM's. The Proposed RVG with three temperature coefficient is independent of temperature variation, and Supply Voltage. This is used to shorten Leakage Current using the Boosted Sense Ground(BSG). This circuit is designed in a 0.8 μ m nwell CMOS, double-polysilicon, double-metal technology. The Simulation results in independent temperature and supply voltage. In Hspice simulation results, Temperature Dependency of RVG is 130 μ V/ $^{\circ}$ C, and Supply Voltage dependency is \pm 0.91%, V_{cc} =3.3V \pm 0.5V

1. 서론

현재 전자산업의 추세는 배터리 구동용 휴대기기의 점유율이 급속히 증가 하고 있다. 특히, DRAM의 경우 칩들이 점점 고집적화 됨에 따라 공정의 선 폭이 줄어들고 이로 인해 Reliability를 보장하기 위해서는 안정한 내부 전압 시스템이 필요하다. 안정한 내부전압 시스템에서는 낮은 전압에서도 안정한 동작을 하며 외부 공급 전압과 온도 변화에 영향을 받지 않는 안정한 기준 전압 발생기를 설계하는 것은 중요하다. 이 기준 전압 발생기는 워드라인 드라이버, 기판 전압 발생기, Half- v_{cc} 생성기 등에 응용된다[1].

지금까지 발표된 기준 전압 발생기는 온도가 변화함에 따라 출력 전압이 영향을 받지 않게 하기 위해서 바이폴라 트랜지스터의 밴드갭 전압을 이용하거나 MOS 문턱 전압의 차이를 이용해 왔다. 이 중 첫번째 방법은 온도 보상의 범위가 제한되어 있다는 점과 소모 전류가 크다는 단점을 가진다. 두번째 방법에서는 Depletion

Mode MOSFET을 만들기 위하여 추가적인 공정이 필요하다는 단점을 가진다[2].

최근 발표된 단일 CMOS 공정을 이용한 기준 전압 발생기는 그림 1과 같다. 이 회로도는 음의 온도계수를 갖는 V_{tp} 와 양의 온도계수를 갖는 $(RQ_{on})^2$ 의 항에 의해 기준 전압 발생기를 만든다. 이 기준 전압 발생기는 공급전압의 변화에 안정적이지 못하고 많이 변화하고 있다. 왜냐하면, 이 기준 전압 발생기의 바이어스를 잡아 주는 전류원이 약반전에서 이용되어서 온도와 공급전압에 따라 변화가 심하기 때문이다.

또한, 내부 전압 시스템의 저전력화에 맞추어 1mw 이하의 전력을 소모하는 전류원이 필요하게 되었는데 작은 전류를 얻기 위해서는 저항은 매우 커야 하는데 보통 수 MW을 요구하게 된다. 그런데 이렇게 큰 저항을 사용하게 되면 큰 면적이 필요하므로 DRAM의 고집적화에는 부적절 하게 된다. 그래서 저전력과 고집적에 유리한 저항없는 전류원의 필요성이 대두되고 있다[4,5].

또한 DRAM의 저전력화에 따른 설계 기법중 데이터 보존시 전력 소모를 줄이는 방법이 연구 되어 지고 있다.

본 논문에서는 위와 같은 설계 기술들에 대해서 고찰하고 이러한 문제점들을 개선한 새로운 구조의 내부 전압 시스템을 현대 표준 CMOS 공정상에서 설계하였다.

2. 새로운 기준 전압 발생기 동작원리

새로운 내부 전압 시스템의 블록도는 그림 2에 나타내었다. 새로운 내부 전압 시스템은 크게 기준 전압 발생기와 기준 전류 발생기로 나눌 수 있다. 기준 전압 발생기는 양의 온도계수를 가진 기준전압 발생기, 음의 온도계수를 가진 기준전압 발생기, 그리고 두 기준전압

발생기를 합한 일정한 온도계수를 가진 기준전압 발생기로 구성 되어 있다. 그리고 기준전압 발생기에 연결된 VDC(Voltage Down Converter)와 VDC에 연결되어 공급 전압에 독립적이고, 온도 보상된 전류원으로 구성 되어 있다.

그림 3은 새로운 내부전압 시스템의 회로도이다. 이 회로의 일부분인 기준 전압 발생기는 온도가 증가함에 따라 감소하는 특성을 갖는 NMOS 트랜지스터의 문턱 전압 V_{TN} 과 출력 전류가 온도가 증가함에 따라 증가하도록 하는 회로를 설계하여 이 전류(I_{REF})와 V_{TN} 을 곱적화함으로써 온도변화에 안정된 전압을 발생하도록 한다. 출력전류 I_{REF} 의 이동도 빠른 온도가 증가함에 따라 감소하는 특성을 가지므로 출력 전류는 온도가 증가함에 따라 증가하는 특성을 갖는다. 이 회로의 출력 전류인 I_{REF} 는 식(1)과 같다.

$$I_{REF} = \frac{2 \cdot LM_6}{\mu_n \cdot COX \cdot WM_6 \cdot R^2} (\sqrt{K} - 1)^2 \quad (1)$$

$$\left(\text{단, } K = \left[\frac{WM_6/LM_6}{WM_5/LM_5} \right] \right) \text{이다.}$$

$$V_{REF} = V_{Tn} + 2 \left(\frac{2 \cdot I_{REF} \cdot LM_{19}}{\mu_n \cdot COX \cdot WM_{19}} \right)^{1/2} \quad (2)$$

$$V_{REF} = 2 \left\{ V_{Tn} + \left(\frac{2 \cdot I_{REF} \cdot LM_{20}}{\mu_n \cdot COX \cdot WM_{20}} \right) \right\}^{1/2} \quad (3)$$

양의 온도계수를 가지는 기준 전압 발생기의 출력전압 V_{REF} 는 식(2)와 같고 음의 온도계수를 가지는 기준 전압 발생기의 출력전압 V_{REF} 는 식(3)과 같다. 식(2)와 식(3)에서 V_{REF} 는 V_{TN} , I_{REF} , μ_n , 그리고 R의 함수로 이것들을 이용하여 양과 음의 기준 전압 발생기를 만들 수 있다. 안정한 온도 보상된 기준 전압 발생기는 양의 온도 계수를 가진 기준 전압 발생기와 음의 온도계수를 가진 기준 전압 발생기를 비교기를 이용하여 얻을 수 있다. 비교기의 동작에서 M27은 능동 저항역할을 하며 V_{REF} 의 출력 전압 값을 조절하는 역할을 한다. M28은 음의 온도계수를 가지는 전압 발생기의 출력 전압 레벨을 조절한다.

3. 기준 전압 발생기의 응용

제안된 공급 전압에 일정하고, 양의 온도 계수를 가진 기준 전압 발생기는 다음과 같은 기술에 응용될 수 있다. 현재 발표되어진 저전력 기술중의 하나인 BSG(Boosted Sense Ground)기법의 개념은 메모리 셀

Access 트랜지스터에서 문턱 전압 이하에서의 전류를 차단하기 위해서 제안 되었는데 이것은 Bit-line 전압의 낮은 레벨을 약간 올려준다는 것이다. 그림 4에 BSG 기법의 설명도를 나타내었다[3]. 여기서는 양의 온도 계수를 가진 기준 전압기를 Ground Level에 연결시키면 V_{GS} 값이 커지게 되고, 이 원리는 V_{GS} 에 Negative Bias가 걸리게 하는 역할을 하게 한다. 그러므로써, 데이터 보존시 상당한 양의 누설 전류를 줄일 수 있어 전력 소모를 줄일 수 있다. 그림 5는 제안하는 양의 온도계수를 가진 전압 발생기를 이용하여, Node V_1 , Node V_2 의 출력전압 값을 내부 접지 레벨에 연결했을때 나타나는 결과 그림이다.

4. 새로운 기준 전류 발생기 동작 원리

안정한 VDC에 연결된 제안된 전류원은 공급전압과 온도 변화에 독립적인 전류원을 갖어서 내부시스템의 안정한 바이어스를 잡아주는데 중요한 역할을 할 수 있고, 1nW 이하의 작은 바이어스 전류원을 소모하므로 저전력 시스템을 구현하는데 적당할 수 있다. 또한 제안된 회로는 집적도 면에서 저항이 없으므로 장점이 될 수 있다.

$$i_2 = \frac{1}{2} \cdot \beta_{M36} \cdot (V_5 - V_{Tn})^2 \quad (4)$$

$$i_1 = \beta_{M37} \cdot V_X \left(V_5 - V_{Tn} - \frac{1}{2} \cdot V_X \right) \quad (5)$$

$$i_1' = \beta_{M37} \cdot V_X \cdot \left[\frac{2i_1 \cdot SM_{11}}{\sqrt{\beta_{M36} \cdot SM_{32}}} - V_X \right] \quad (6)$$

$$V_X = U_T \cdot \ln \left(\frac{SM_{36} \cdot SM_{35}}{SM_{37} \cdot SM_{34}} \right) \quad (7)$$

(단, $b = n \cdot C_{OX} \cdot D_W/L$, $U_T = (KT/q) \ln(N_A/n_i)$, S_{M1} = 2 MOS Tr의 W/L 이다.)

제안된 회로의 M34, M35는 약반전 상태에 있고, M36는 강반전 시의 포화영역에 있고, 저항 역할을 하는 M37은 강반전 시의 선형영역에 있다. 식(4)는 강반전 시의 포화 영역에서의 전류식이고, 식(5)는 강반전 시의 선형 영역에서의 전류식이다.

제안된 기준 전류원의 온도 의존관계를 보면 식(6)에서 V_X 는 약반전 시의 PTAT(Proportion To Absolute Temperature)전압으로써 양의 온도계수를 갖는다. 또한 i_1 의 V_{Tn} 항이 음의 온도계수를 갖으므로 i_1 을 잘 조절하여 온도에 일정한 전류원(GD)을 갖게 하였다.

5. 시뮬레이션 결과

본 논문에서 제안한 내부전압 시스템은 Hspice를 이용하여 시뮬레이션 되었다. 그림 6과 7은 기준 전압 발생기의 각각의 시뮬레이션 결과를 나타내고 있으며

공급 전압과 온도변화에 대해서 안정된 특성을 나타내고 있다. 온도 변화에 일정한 기준 전압 발생기의 변화율은 $130\text{mV}/\text{DC}$ 이며 공급 전압에 대한 변화율은 $0.91\%/V$, $V_{CC}=3.3V \pm 0.5V$ 이다. 표 1에 새로운 기준 전압 발생기와 기존의 기준 전압 발생기의 결과를 비교해 보았다. 그림 8 과 9는 안정한 VDC 에 연결된 기준 전류기의 시뮬레이션 결과를 나타내었다. 공급 전압과 온도변화에 대해서 안정된 특성을 나타내고 있는데 온도 변화에 대한 변화율은 $0.2\text{nA}/\text{DC}$ 이며, 공급 전압에 대한 변화율은 $0.13\%/V$, $V_{CC}=3.3V \pm 0.5V$ 이다.

6.결론

본 논문에서는 차세대 저전력 DRAM 에 이용되는 안정한 내부 전압 시스템의 동작을 위한 기준 전압 발생기와 기준 전류 발생기를 제안하였다. 새로운 내부 전압 시스템은 현대 표준 CMOS 0.8 μm 공정을 이용하여 설계하였고 낮은 기준 전압 영역에서 안정된 동작을 하며 외부 공급전압의 변화, 온도변화에 대해서 좋은 출력 특성을 나타내었다. 양의 온도계수를 갖는 기준 전압 발생기는 자동 온도 보상 기법에 응용되어 BSG 기법과 같이 데이터 보존 시 누설전류를 줄일 수 있다. 또한 온도 보상이 된 기준 전류원은 VDC 에 연결되어 공급 전압에도 독립적이며, 저항이 사용되지 않아 고집적기술에 이용 될 수 있다. 그러므로, 새로운 내부전압 시스템은 향후 개발될 저전력 DRAM 에 이용 되어 질 수 있을 것이다.

참고 문헌

- [1] Kiyoo Itoh, et al., "Limitations and Challenges of Multi-gigabit DRAM circuits" Symposium on VLSI circuits Digest of Technical Papers, pp.2-7, 1996.
- [2] D.S. Min, et al., "Temperature-Compensation Circuit Techniques for High-Density CMOS DRAMs," IEEE Journal of Solid-State Circuits, vol, 27, no. 4, pp.626-631, April 1992.
- [3] T. Ooishi, et al., "An Automatic Temperature Compensation of Internal Sense Ground for Subquarter Micron DRAM's" IEEE Journal of Solid-State Circuits, vol.30, no. 4, pp. 471-479, April 1995.
- [4] Henri J. Oguey and Daniel Aebischer, "CMOS Current Reference Without Resistance" IEEE Journal of solid-state circuits, vol.32, no. 7, pp.1132-1135, July 1997.
- [5] Hitoshi tanaka, et al., "Sub-1-nA Dynamic Reference Voltage Generator for Battery-Operated DRAM's" IEEE Journal of Solid-state circuits, vol.29, no. 4, pp.448-453, April 1994.

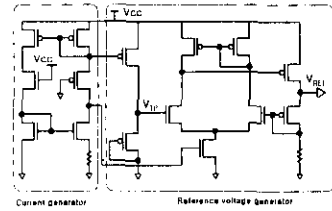


그림 1. 기존의 기준 전압 발생기.

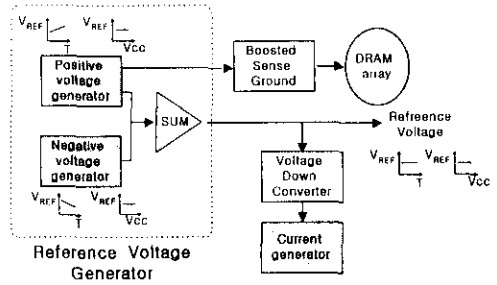


그림 2. 새로운 내부 전압 시스템 블럭도

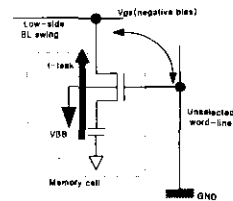


그림 4. Boosted Sense Ground Scheme

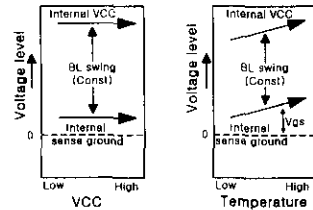


그림 5. 내부전압레벨과 공급전압, 온도와의 관계

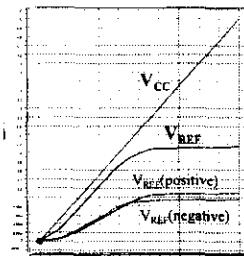


그림 6. 공급 전압에 대한 기준 전압 발생기의 출력 전압 특성

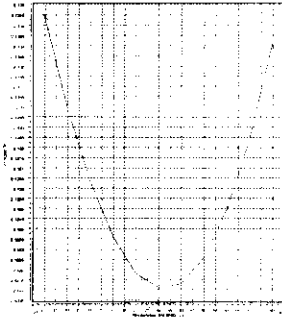


그림 7. 온도변화에 대한 기준전압 발생기의 출력 전압 특성

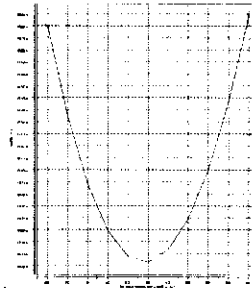


그림 9. 온도변화에 대한 기준전류 발생기의 출력 전류 특성

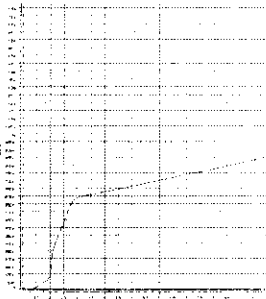


그림 8. 공급 전압에 대한 기준전류 발생기의 출력 전류 특성

Table 1.

<새로운 기준 전압 발생기의 성능 비교>

종류 Spec	[5] H.Tanaka(199 4.JSSC)	[2] D.S.Min(199 2.JSSC)	새로운 기 준 전압 발 생기
온도 의존 성	370mV/°C	333mV/°C	131mV/°C
공급 전압 의존도	±2.5% ($V_{CC}=3.3V \sim 5V$)	±2% ($V_{CC}=3.3V \sim 0.5V$)	±0.91% ($V_{CC}=3.3V \sim 0.5V$)
추가 공정	Low V_T PMOS	없음	없음

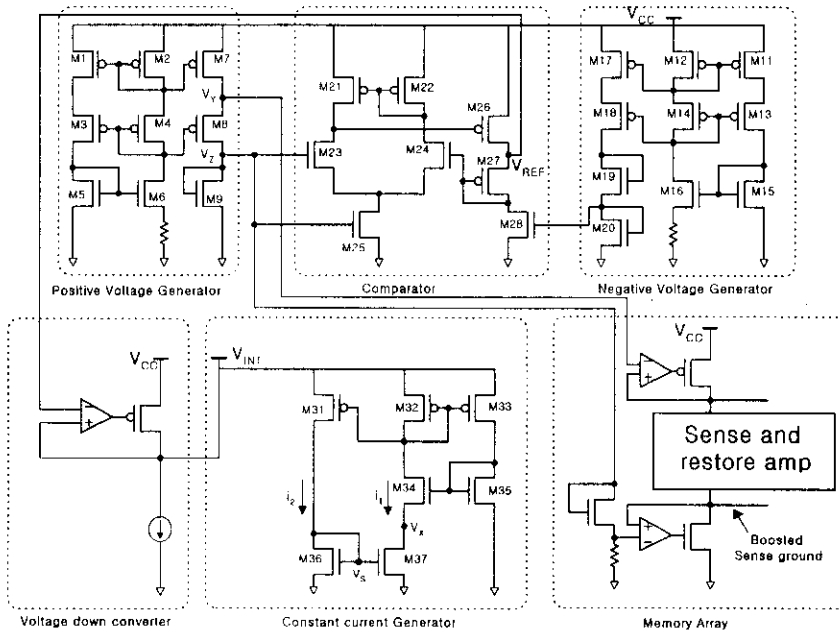


그림 3. 새로운 내부 전압 시스템 회로도.