

# 고주파 보상회로를 가지는 CMOS TSO의 설계에 관한 연구

오재환\*, 이영훈, 김상수  
한남대학교 전자공학과  
대전광역시 대덕구 오정동 133  
ojh@ee.hannam.ac.kr

## DESIGN OF CMOS TWO-STATE OPAMP INCLUDE WITH HIGH FREQ. COMPENSATION.

Jeahwan. OH, Younghun. Lee, Sangsu. Kim  
Hannam Univ.  
133 Ojung-Dong Deaduc-Gu Teajeon, Korea  
ojh@ee.hannam.ac.kr

### 요 약

본 논문에서는 아날로그 증폭기의 특성 개선을 통해 아날로그 신호처리 시스템의 동작속도를 향상시키기 위해서 2단 연산증폭기(Two-stage opamp : TSO)의 주파수 응답특성과 이득을 개선하기 위한 회로를 설계하고 시뮬레이션을 통해서 설계된 회로의 우수성을 증명하였다.

### 1. 서 론

지금까지의 많은 공정 기술들 가운데 CMOS 기술은 전체 시스템을 하나의 IC로 집적하는데 절대적인 영향을 미친 기술이라 할 수 있다. CMOS 기술을 사용하여 아날로그 시스템을 집적하는 기술은 디지털 시스템을 집적하는 기술에 비해 크게 뒤져 있는데 이는 증폭율, 주파수 응답, 위상응답, 지연시간 등의 요구조건에 대해 CMOS 아날로그 회로가 넓은 범위에 걸쳐 일정한 특성을 가지고 동작 가능하도록 설계하기가 어렵기 때문이다. 특히 CMOS 기술에 적합한 고주파용 증폭기의 부재는 현재까지 하나의 IC로 집적된 아날로그 신호처리 시스템의 동작가능 주파수를 낮은 MHz범위의 영역으로 묶어 놓는 가장 큰 제한 요소가 되고 있

다.[1][2]

아날로그 증폭기의 활용도를 결정짓는 가장 중요한 성질은 증폭기의 속도와 정확도이다. 아날로그 회로에서의 속도와 정확도는 대부분 연산 증폭기의 정착(settling)동작에 의해 결정되는데 빠른 정착을 위해선 높은 단위이득 주파수와 단일 극점 정착(single pole settling)동작이 요구되고 정확한 정착을 위해선 큰 전압 증폭율이 요구된다.[3][4]

이에 본 연구에서는 이런 요구조건에 부합하는 새로운 TSO회로를 제안하고, 시뮬레이션을 통해 결과 회로의 우수성을 입증하고자 한다.

### 2. 회로구성 및 동작

#### 2-1. 간단한 형태의 opamp

신호처리용 회로의 내부에 쓰이는 가장 간단한 형태의 TSO를 그림 1.1에 보였다. 이 회로는 단지 7개의 트랜지스터만을 필요로 하며 차동증폭소자로서 동작하는 트랜지스터 M1과 M2에 전류반복기 M3와 M4를 연결하여 한쪽으로부터 출력신호를 얻어내어서, PMOS

트랜지스터 M6으로 증폭된다.[4]

여기에서 트랜지스터 M5는 차동증폭기에 공급하는 전류의 크기를 정하기 위한 것이고, 트랜지스터 M7은 공통소스 증폭단으로 동작하는 PMOS 트랜지스터 M6의 능동부하를 구성하기 위한 것이다.

우선 아직  $C_c$ 를 연결하지 않은 상태에서 기생용량  $C_1$ 과  $C_3$ 를 함께 표시한 회로에 대하여 생각해 보면, 이 회로는 이 두 개의 노드와 결부된 기생용량 때문에 회로 내부에서 이미 두 개 이상의 극점을 갖고 있고, 또 이에 덧붙여 부하  $C_2$ 의 크기에 따라 정해지는 추가의 극점을 갖게 된다. 따라서 이들 극점의 크기는  $C/gm$ 으로서  $C_1$ 값과  $C_2$ 의 값이 비슷하면 극점과 극점 사이의 간격이 충분하지 못하여 충분한 크기의 위상여유(Phase margin)를 확보하는데 어려움이 따른다. 주파수 보상을 위한 캐패시터  $C_c$ 는 이와 같은 어려움을 피할 수 있도록 밀러효과를 이용하여, 즉 차동증폭단의 높은 출력저항과 이 밀러 캐패시터의 곱이 매우 큰 값이 되도록 하여서, 우성 극점의 크기를 낮추기 위한 것이다.

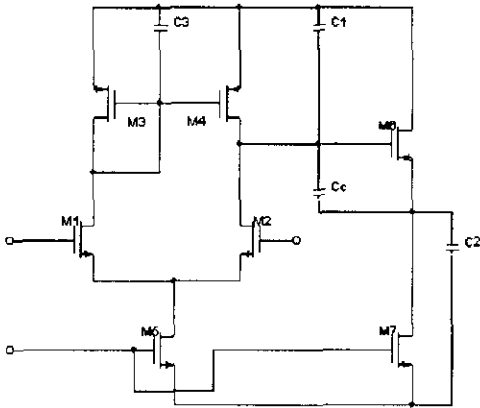


그림 2.1 간단한 형태의 TSO

물론 이와 같이 회로내부에서 매우 작은 값을 갖는 극점을 인위적으로 삽입하는 대신에 부하에 의한 극점의 값을 내부회로와는 무관하게 매우 크게 정해지도록 하여 두 개의 극점이 서로 충분히 멀어지게 만들고, 부하용량을 소스플로워로 분리시켜 이 회로의 출력전압을 작게 하는 방법도 가능하긴 하지만, 이때에는 출력전압의 최대치가  $V_T$ 만큼 줄어들므로 큰 값의 출력전압 범위가 필요한 응용분야에서는 그다지 바람직하지 못하다.[3]

2-2. 제한한 opamp의 구성 및 결과 고찰

주파수 보상단을 포함한 실제 Two-Stage opamp를 그림 1.2에서 구현하였다. 캐패시터  $C_c$ 는 일반적으로 보상 우성극점이라 부른다. 이것은 첫 번째 우성폴을 제어하고(즉,  $\omega_{p1}$ ), 그것에 의하여  $\omega_{t0}$ 는 (식 2.1)과 같이 주어진다.

$$\omega_{t0} = A_0 \omega_{p1} \tag{식 2.1}$$

트랜지스터  $Q_{16}$ 은 이것을 통해서 흐르는 dc전류바이어스가 없으므로  $V_{DS16} = 0$ 이고, 그로 인하여  $Q_{16}$ 은 트리오드영역에서 동작한다. 그러므로, 이 트랜지스터는 저항  $R_C$ 로 동작하며 그 값은

$$R_C = r_{ds16} = \frac{1}{\mu_n C_{OX} \left(\frac{W}{L}\right)_{16} V_{eff16}} \tag{식 2.2}$$

이 트랜지스터는  $\omega_c$ 의 바로 위나 주파수 주위에서 과속 중간영역 영점을 구현하기 위해서 포함한다.  $Q_{16}$ 이 없이 오른쪽 중간영역의 영점을 보상하는 것은 매우 어렵다. 여분의 왼쪽 중간영역의 영점을 더하는 것을 일반적으로 전치 보상(Lead-compensation)[4]이라 부른다. 이것은 활성모드에서  $Q_{16}$ 의 유한한 출력임피던스에 반대되는 트리오드영역에서  $Q_{16}$ 의 드레인-소스간의 저항을 나타낸다. 같은 표기법으로  $r_{ds}$ 는 트랜지스터가 활성영역이나 트리오드영역이든지 간에 드레인과 소스간에 저항으로 표시된다.

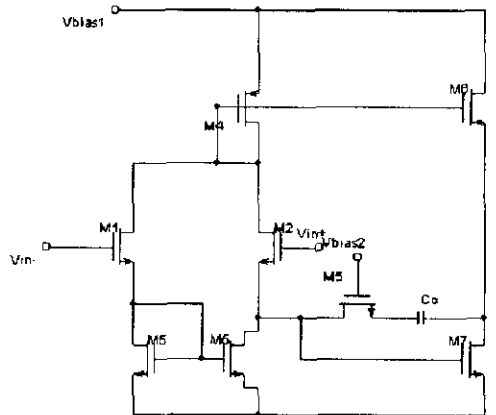


그림 2.2 보상단을 포함한 Two-Stage opamp

이 opamp에 대한 간략화한 소신호 모델은 그림 2.3에 나타내어졌다. 여기에서 출력버퍼는 다시 무시되었으며, 역시, 첫째 단은 둘째 단보다 매우 빠르고 간단한

전압제어 전류소스에 의해 모델링되어 있다고 가정한다. 소신호모델에서 우리는 다음의 식을 얻을 수 있다.

$$R_1 = r_{ds4} \parallel r_{ds2} \quad (\text{식 2.3})$$

$$C_1 = C_{db2} + C_{db4} + C_{gs1} \quad (\text{식 2.4})$$

$$R_2 = r_{ds6} \parallel r_{ds7} \quad (\text{식 2.5})$$

$$C_2 = C_{db1} + C_{db6} + C_{L2} \quad (\text{식 2.6})$$

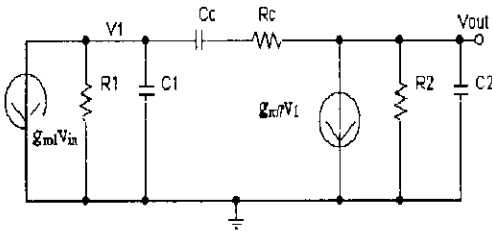


그림 13 Two-Stage opamp의 소신호 모델

Rc의 필요성을 보이기 위해, 먼저 Rc=0이라 가정하고, V1과 VOUT에서 지정된 노드에서 마디해석을 수행하였다. 전달함수에 따라 아래의 식을 얻을 수 있다.

$$\frac{V_{out}}{V_{in}} = \frac{g_{m1} g_{m2} R_1 R_2 \left(1 - \frac{s C_C}{g_{m2}}\right)}{1 + sa + s^2 b} \quad (\text{식 2.7})$$

여기에서

$$a = (C_2 + C_C)R_2 + (C_1 + C_C)R_1 + g_{m2}R_1R_2C_C \quad (\text{식 2.8})$$

그리고,

$$b = R_1R_2(C_1C_2 + C_1C_C + C_2C_C) \quad (\text{식 2.9})$$

이다.

극점은 실수이고 광범위하게 퍼져있다는 가정을 기초로 하면 두개의 극점에 대해 근사식을 찾을 수 있다.[4] [5]. 이 가정을 사용하여 분모 D(S)를 다음과 같이 나타낼 수 있다.

$$D(S) = \left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right) \approx 1 + \frac{s}{\omega_{p1}} + \frac{s^2}{\omega_{p1}\omega_{p2}} \quad (\text{식 2.10})$$

1.7과 1.10의 계수를 갈게 놓은 다음 관계식에 따라  $\omega_{p1}$ 과  $\omega_{p2}$ 에 대해서 풀면, 우성 극점  $\omega_{p1}$ 은 아래와 같이 주어진다.

$$\begin{aligned} \omega_{p1} &\approx \frac{1}{R_1[C_1 + C_C(1 + g_{m2}R_2)] + R_2(C_2 + C_C)} \\ &\approx \frac{1}{R_1C_C(1 + G_{m2}R_2)} \\ &\approx \frac{1}{g_{m2}R_1R_2C_C} \end{aligned} \quad (\text{식 2.11})$$

그리고, 여기에서 비우성 극점  $\omega_{p2}$ 는 아래와 같이 주어진다.

$$\begin{aligned} \omega_{p2} &\approx \frac{g_{m2}C_C}{C_1C_2 + C_2C_C + C_1C_C} \\ &\approx \frac{g_{m2}}{C_1 + C_2} \end{aligned} \quad (\text{식 2.13})$$

식1.7로부터 또 다른 영점  $\omega_z$ 가 오른쪽 중간 영역에 위치한다는 것과 그것이

$$\omega_z = \frac{-g_{m2}}{C_C} \quad (\text{식 2.14})$$

로 주어진다는 것을 알 수 있다.

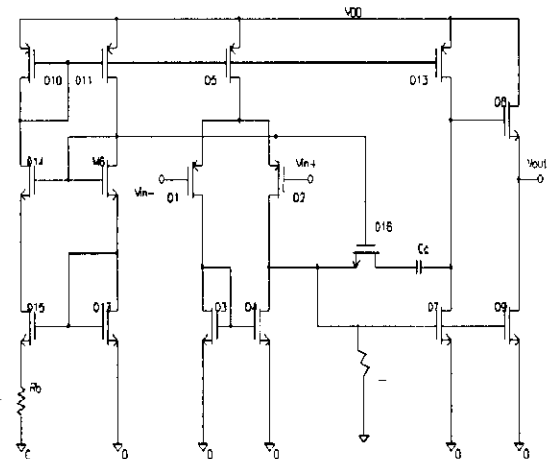


그림 2.4 주파수가 보상된 Two-Stage Opamp

대부분의 CMOS OPAMP에서 채택하는 밀러보상 (Miller compensation)[6][7]을 본 논문에서도 사용하였다. 그림 2.4에서 입력단의 트랜지스터는 열 잡음 면에서는 불리하지만 슬루율이 뛰어난 PMOS를 채택하였고, 실제로 2개의 이득단과 하나의 단위이득 출력단을 가지는 3단으로 구성된 이 회로의 출력버퍼는 단지 드라이브에 필요한 부하저항일 경우에만 정상적으로 동작한다. 따라서, 보상용 트랜지스터 Q<sub>10</sub>은 실제동작에서는 단지 저항으로 동작한다.

### III. 컴퓨터 시뮬레이션

그림 2.4에 사용된 각각의 트랜지스터 size를 다음 식들로 결정할 수 있다.[8]

$$\left(\frac{W}{L}\right)_5 = \frac{2I_5}{K_5' [V_{DS(sat)}]^2}$$

$$\left(\frac{W}{L}\right)_2 = \frac{g^2 m_2}{K_2' I_5}$$

$$\left(\frac{W}{L}\right)_{13} = \left(\frac{I_7}{I_5}\right) \cdot \left(\frac{W}{L}\right)_5$$

$$\left(\frac{W}{L}\right)_7 = \frac{g_{m7}}{K_7' V_{DS7(sat)}}$$

아래의 그림 2.4에서 설계된 회로의 시뮬레이션 결과를 보여주고 있다.

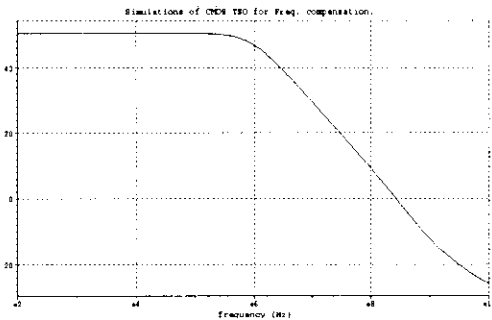


그림 3.1 설계된 회로의 시뮬레이션 결과

표 1. 소자의 size(W/L, pF)

	계산값	simulation
Q1	167.5	187
Q5	191	187
Q7	183	187
Q10	18.8	16
Q12	15.6	16
Cc	1.89	2

이 결과에서처럼 DC open loop Gain은 47dB이며 Unity Gain frequency는 209MHz이다. 두 값을 이용하여 Slew rate를 구하면 131V/μs가 된다.

### IV. 결론

본 논문에서는 Current Buffer에 기초한 CMOS 연산 증폭기를 설계하였다. 계산값과 시뮬레이션 값에는 다소 차이가 있는 것은 Early효과를 무시하여 각 트랜지스터의 드레인 바이어스 전류값이 정확하지 않은 상태에서 계산하였기 때문이다.

시뮬레이션 결과에서 보는 바와 같이 209MHz의 높은 Unity Gain frequency와 131V/μs의 매우 빠른 Slew rate를 가짐을 알 수 있다.

### 참고 문헌

- [1] Richard E. Vallee and Ezz I. El-Masry, "A Very High Frequency CMOS Complementary CMOS Folded Cascode Amplifier", IEEE Journal of Solid-State Circuits, Vol.29, No.2, p.130, 1994.
- [2] J. K. Roberge. Operational Amplifiers. John Wiley & Sons, New York, 1975.
- [3] P. R. Gray and R. G. Meyer. Analysis and Design of Analog Integrated Circuits, 3rd ed. John Wiley & Sons, New York, 1993.
- [4] Klaas Bult and Govert J.G.M. Geelen, "A Fast Settling CMOS Op Amp for SC Circuits with 90-dB DC Gain ", IEEE Journal of Solid-State Circuit, Vol.25, No.6, p.1379, 1990.
- [5] David Johns and Ken Martin. Analog Integrated Circuit Design, John Wiley&Sons, New York, 1997.
- [6] K. Laker and W. Sansen, Design of Analog Integrated Circuits and Systems. New York : McGraw-Hill, 1994.
- [7] M. Ahuja, "An improved frequency compensation technique for CMOS operational amplifiers", IEEE J. Solid-State Circuits, vol. SC-18, pp.629-633, Dec. 1983.
- [8] S. Pernic, G. Nicollini, and R. Castello, "A CMOS low-distortion fully differential power amplifier with double nested Miller compensation," IEEE J. Solid-State Circuits, vol.SC-28, pp.758-763, July 1993.