

# 1.5V-25MHz 대칭적 귀환전류 증가형 연속시간 전류구동 CMOS 필터

장진영, 윤광섭  
인하대학교 전자공학과 아날로그 회로설계 연구실  
402-751 인천광역시 남구 용현동 253  
g9621024@inhavision.inha.ac.kr

## A 1.5V-25MHz Symmetric Feedback Current Enhancement Continuous-Time Current-Mode CMOS Filter

Jin Young Chang , Kwang Sub Yoon  
Dept. of Electronic Eng. Inha University  
253 Younghyundong Nam-Gu Incheon Korea 402-751  
g9621024@inhavision.inha.ac.kr

### ABSTRACT

This paper proposed a symmetric feedback current enhancement circuit with 1.5V power supply to design a 3<sup>rd</sup> order Butterworth low pass filter. The proposed filter designed on 0.8 $\mu$ m CMOS n-well double poly/double metal process simulated in HSPICE composed of the 3dB frequency enhancement circuit and the unity-gain frequency enhancement circuit. The simulation result on the design filter shows the bandwidth of 25MHz, phase of 92.6 ° and power consumption of 0.3mW.

### I. 서론

오늘날의 전자 기술의 발전이 가속화됨에 따라 좀 더 작고 우수한 성능의 제품을 언제 어느 곳에서나 사용할 수 있는 휴대용 전자제품 대한 선호도가 높아지고 있다.

이를 만족하기 위해서는 제품에 사용되는 칩이 하나의 칩안에 설계되어지는 추세로 연구가 진행되고 있다. 이에 본 연구에서는 휴대용제품의 입출력부분에서 아날로그 신호처리를 하는 필터에 관하여 연구를 수행하였다.

일반적인 필터 방식에는 전압구동 방식과 전류구동 방식, 두 가지로 나눌 수가 있다. 전압구동 방식을 이용하여 영상신호 처리를 하기 위한 주파수 10MHz ~ 100MHz를 포함하는 필터를 구현하기에는 많은 전력소모를 요구하므로 저전압 구동 휴대통신 시스템내 집적화

시키기 어렵다[1-5]. 그러나 전압 구동방식을 이용한 필터는 전류 구동방식을 이용한 필터보다 고임피던스 노드들 요구함으로 시정수가 커져서 주파수 대역폭이 낮아지는 단점을 지니고 있다. 본 연구에서 제안한 필터는 전류구동 방식을 사용하여 공급전압을 1.5V로 낮추므로써 기존의 대부분 전류구동 필터들이 3.3V와 5V의 높은 구동전압에서 동작하므로써 발생하는 문제인 높은 전력소모 측면을 해결하였다. 공급전압을 낮추는 과정에서 발생하는 단점인 주파수 대역과 전류이득의 감소를 보완하기 위하여 난위이득 주파수 증가구조와 3dB 주파수 증가구조를 이용하여 적분기를 설계하였다.

또한, 제안된 전류구동 필터에 사용되는 적분기는 완전차동 구조로 사용함으로써 신호잡음에 강한 특성을 지니도록 설계되었다.

### II. 대칭적 귀환전류 증가형 필터

기본형 전류구동 필터의 설계방법론을 바탕으로 제안된 전류구동 적분기를 이용하여 버터워스(Butterworth) 저대역통과(Low-Pass) 필터를 설계하였고 제안된 필터의 주파수 특성을 파악하기 위해서 소신호 등가모델을 통한 입·출력에 관한 전달함수를 유도하였다.

본 연구에서 주파수를 증가시키기 위하여 사용된 두 가지 방법 모두 MOS 소자를 완전히 캐스코드로 연결하지 않고도 주파수 대역을 증가시키는 구조이다. 세

안된 첫 번째 구조는 그림1에서 나타난 바와같이 PMOS 소자의 소스(Source), 게이트(Gate), 드레인(Drain)을 기본형 적분기의 각각의 증폭단의 공급전원단, 출력단, 입력단에 연결함으로써 적분기의 단위이득 주파수의 증가구조를 제안하였고, 그림2에서 보듯이 첫 번째 제안된 구조에서의 PMOS 소자 게이트와 드레인의 입력과 출력단을 바꾸어서 연결함으로써 3dB-주파수를 증가시킬 수 있었으며, 이를 3dB-주파수 증가구조를 제안하였다.

제안된 적분기는 기본형 적분기의 구조에 전류 미러에 의해서 이루어진 증폭기가 대칭적으로 이루어져 앞단의 출력이 다음 증폭기의 입력단으로, 다시 여기의 출력은 앞단의 입력으로 들어가는 과정을 수행하여 적분기에서 두가지 구조를 이용하여 설계한 대칭적 귀환전류 증가형 적분기는 그림3에서 설계되었다. 대칭적 귀환전류 증가형 적분기는 각각의 입·출력의 바이어스 전류를 증가시키므로써 필터의 주파수 대역을 증가시키는 결과를 얻을 수 있었다.

이와 같은 구조에서 첨가되어진 단위이득 주파수와 3dB-주파수 증가형 회로의 특성을 파악하기 위해서 그림4에서의 소신호 등가모델을 통한 주파수 해석을 하였다. 전달함수 유도과정에서 소신호 등가모델을 해석하기 위해서  $C_{gt}$ 와  $C_{gs}$ 는 MOS 트랜지스터가 이상적으로 입력이 들어오므로 무시할 수 있고,  $g_{mb}$ 는 단순 미러를 사용하여 회로를 구현하였으므로 0으로 놓고 계산이 가능하며,  $R_L$ 와  $R_S$ 는 소신호 등가모델 해석에서 무시하는 것이 일반적이다. 이러한 조건상에서 식(1)과 (2)의 두가지 정의를 바탕으로 전달함수를 유도하였다.

$$g_{dsL} = g_{ds1} + g_{ds4}, \quad g_{dsR} = g_{ds2} + g_{ds5} \quad (1)$$

$$C_L = C_1 + C_4 + C_A, \quad C_R = C_2 + C_5 \quad (2)$$

식(1)과 (2)에 의해서 전류 방정식(3)와 (4)를 유도해낼 수 있다.

$$I_{in+} + I_{out+} = (g_{m1} + g_{m11} + g_{dsL} + g_{ds1} + sC_L)V \quad (3)$$

$$I_{out+} = (g_{m2} + g_{m3} - g_{dsR} - g_{ds3})V \quad (4)$$

위의 두 식(3)와 (4)을 입·출력전류에 관한 식(5)으로 정리하면,

$$I_{in+} + I_{out+} = \frac{g_{m1} + g_{m11} + g_{dsL} + g_{ds1} + sC_L}{g_{m2} + g_{m3} - g_{dsR} - g_{ds3}} I_{out+} \quad (5)$$

이고, 이 식을 전달함수에 관한 식으로 나타낼 경우 식 (6)과 같다.

$$G_1 = g_{m3} - g_{dsR} + g_{ds3}$$

$$\frac{I_{out+}}{I_{in+}} = \frac{g_{m2} + G_1}{g_{m1} + g_{m11} - g_{m2} - G_1 + g_{dsL} + g_{ds1} + sC_L} \quad (6)$$

식(6)은 식(7)의 관계에 의해서 다시 정리할 수 있다

$$I_{out+} = A \cdot \frac{1}{1 + \frac{s}{P_1}} I_{in+} \quad (7)$$

A는 전류이득 크기이고,  $P_1$ 는 제1우수극점을 나타낸다. 이는 식(7)과 같은 정의에 의해서 입·출력 전류방정식을 식(8)으로 다시 나타낼 수 있다.

$$I_{out+} = \frac{\frac{g_{m2} + G_1}{g_{m1} + g_{m11} - g_{m2} - G_1 + g_{dsL} + g_{ds1}}}{1 + \frac{s}{\frac{g_{m1} + g_{m11} - g_{m2} - G_1 + g_{dsL} + g_{ds1}}{C_L}}} I_{in+} \quad (8)$$

$$A = \frac{g_{m2} + g_{m3} - g_{dsR} - g_{dsL}}{g_{m1} + g_{m11} - g_{m2} - G_1 + g_{dsL} + g_{ds1}}$$

$$P_1 = \frac{g_{m1} + g_{m11} - g_{m2} - G_1 + g_{dsL} + g_{ds1}}{C_L}$$

제안된 적분기의 3dB-주파수 ( $\omega_o$ )는 식(9)과 같이 나타낼 수 있다.

$$\omega_o = P_1 \cdot A = \frac{g_{m2} + g_{m3} - g_{dsR} - g_{dsL}}{C_L} \quad (9)$$

대칭적 귀환전류 증가형 적분기의 회로는 제안된 단위이득과 3dB-주파수를 증가시키는 회로를 첨가함으로써 식(9)에서 보는 바와 같이 기존에 제안되었던 전류구동 필터 보다도 더 높은 주파수 대역을 얻을 수 있었다. 물론, 상호 컨덕턴스 값과 임피던스 값이 식(10)에서 주어진 관계를 갖기 때문에 회로를 캐스코드나 쌍의 구조를 가질때 보다도 많은 주파수 대역의 증가를 가져 오지는 못하지만 공급전압을 낮추면서 주파수 대역을 늘릴 수 있다는 점에서는 만족되는 조건을 지닌다.

식(10)에서 상호 컨덕턴스의 값이 임피던스의 값보다 V-I 특성곡선의 일정한 지점까지는 항상 크게 존재함을 알 수 있었다.

$$g_m \propto \sqrt{I_D}, \quad g_{ds} \propto I_D \quad (10)$$

결론적으로, 표1에서 나타나 있듯이 제안된 적분기가 기본형 전류구동 적분기 보다 더 높은 주파수 대역의 증가를 가져오는 것을 수식에 의해서 확인할 수 있었다.

제안된 대칭적 귀환전류 증가형 적분기를 사용하여 3차 버터워스(Butterworth) 저역통과 필터를 설계하였다. 필터의 구현함에 있어서 그림5에서 보는 바와 같이 본 연구에서 다루고 있는 대칭적 귀환전류 증가형 필터는 차동 입력력의 구조를 가지고 있으며, 3차이브로 3개의 적분기가 능동회로망의 연결과 같은 형태로 되어있다. 앞에서도 언급한 바와 같이 적분기의 입력에는 전압을 전류로 바꾸어주기 위하여 선형성이 뛰어난 수동소자인 저항을 연결하였고, 출력단에는 입력과 마찬가지로 전류출력을 전압출력으로 바꾸어 주기 위하여 필터의 주파수 대역에 10배이상의 주파수 대역을 가지는 증폭기를 연결하였다.

### III. 모의실험 및 고찰

단위이득 주파수와 3dB 주파수 증가회로를 포함한 대칭적 귀환전류 증가형 적분기에 대한 모의 실험을 수행하였다. 모의실험 결과에서 제안된 형태의 적분기는 1.5V의 낮은 공급전압에서 동작을 하였고, 그림6에서 보는 바와같이 제안된 적분기의 크기응답 곡선에서는 25MHz의 단위이득 주파수를 가지고 그림7의 위상응답 곡선에서는 92.6°의 위상을 확인하였다. 그리고 최종적으로 저대역통과 필터를 설계하여 그림8에서 보는 바와 같이 25MHz의 주파수 대역을 가지는 것을 확인하였다. 참고적으로 모의실험 결과에서 나타나있는 실험치와 소신호 등가모델을 통한 방정식에서 구해진 계산치를 비교하면 약간의 오차가 발생함을 알 수 있다. 이는 일반적인 회로설계에서 알려진 사실이며 계산치와 비슷한 결과의 상호 컨덕턴스의 값을 얻기 위해서 필터에 쓰여진 소자의 종횡비를 조정하였다. 그리고 모의 실험을 통하여 얻어진 결과는 표2에 나타나 있다.

### IV. 레이아웃

제안된 전류구동 필터 칩 제작을 위하여 0.8μm N-well CMOS 2개의 폴리(Double poly)와 2개의 메탈(Double metal) 공정에 따라 수행되었으며, 제안된 대칭적 귀환전류 증가형 적분기와 필터에 관하여 수행하였다. 그림 9은 대칭적 귀환전류 증가형 필터의 레이아웃이다. 하나의 적분기에서는 각 증폭단의 출력을 위하여 미러를 사용하여 4개의 출력이 나타나 있으며, 차동입력을 위하여 2개의 입력단자, 바이어스 회로를

위한 2개의 저항단자, 공급전압과 접지를 위한 2개의 단자가 나타나 있다.

### V. 결론

본 연구에서는 1.5V의 낮은 공급전압에서 동작을 하는 대칭적 귀환전류 증가형 연속시간 전류구동 필터를 설계하였다. 기존의 필터가 지니는 단점인 높은 전원전압과 전력소모를 낮추기 위하여 제안된 두가지 회로를 이용하여 대칭적 귀환전류 증가형 연속시간 전류구동 필터를 설계하였다.

제안된 필터의 HSPICE를 이용한 0.8μm N-well CMOS공정을 통한 모의실험에서 볼수 있듯이 기존의 적분기보다는 높은 주파수대역인 25MHz를 가지며, 고주파수에서의 동작에 적합하도록 적분기의 직류성분이득이 43dB가 나타나는 것을 확인하였다.

### 참고문헌

- [1] Haideh Khorrabadi and Paul R. Gray, "High-Frequency CMOS Continuous-Time Filters," *IEEE Journal of Solid-State Circuits*, vol. sc-19, pp. 939-948, Dec. 1984
- [2] Mihai Banu and Yannis Tsvividis, "An Elliptic Continuous-Time CMOS Filter with On-Chip Automatic Tuning," *IEEE Journal of Solid-State Circuits*, vol. sc-20, pp. 1114-1121, Dec. 1985.
- [3] Chin S. Park and Rolf Schumann, "Design of a 4-MHz Analog Integrated CMOS Transconductance-C Bandpass Filter," *IEEE Journal of Solid-State Circuits*, vol. 23, pp. 987-996, Aug. 1988
- [4] Yun-Ti Wang and Asad A. Abidi, "CMOS Active Filter Design at Very High Frequencies," *IEEE Journal of Solid-State Circuits*, vol. 25, pp. 1562-1572, Dec. 1990
- [5] John M. Koury, "Design of a 15-MHz CMOS Continuous-Time Filter with On-Chip Tuning," *IEEE Journal of Solid-State Circuits*, vol. 26, pp. 1988-1997, Dec. 1991.

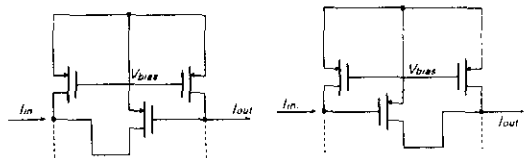


그림 1 단위이득 주파수 증가회로

그림 2 3dB-주파수 증가회로

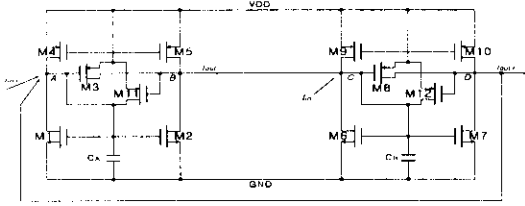


그림 3 제안된 전류구동 적분기

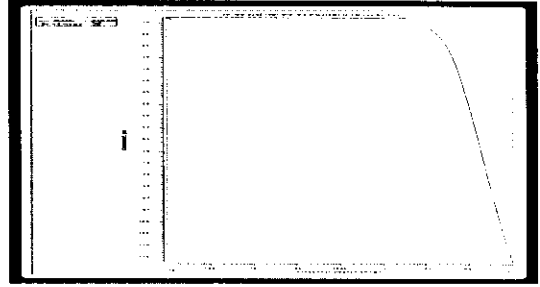


그림 8 제안된 필터의 크기응답곡선

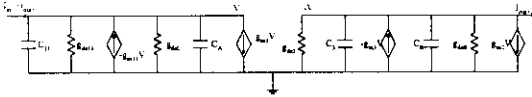


그림 4 제안된 적분기의 1/2 소신호 등가모델

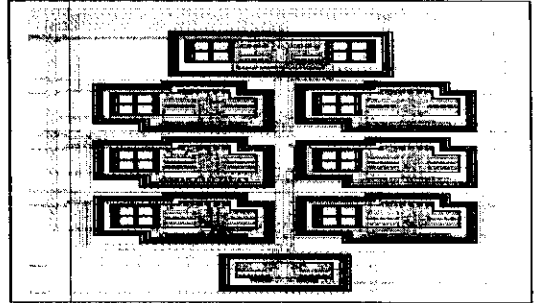


그림 9 0.8μm N-well 공정을 이용한 필터 레이아웃

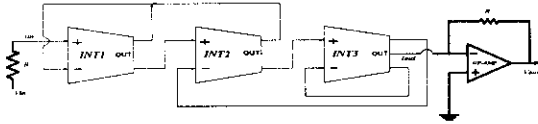


그림 5 3차 버터워스(Butterworth) 저대역통과 필터의 블록 다이어그램

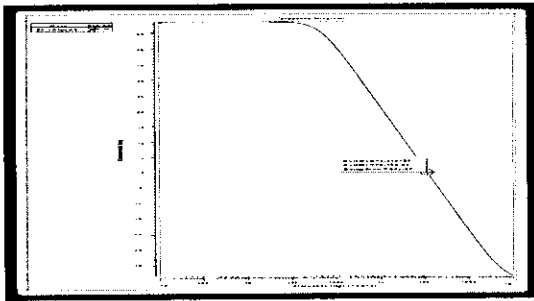


그림 6 제안된 적분기의 크기응답곡선

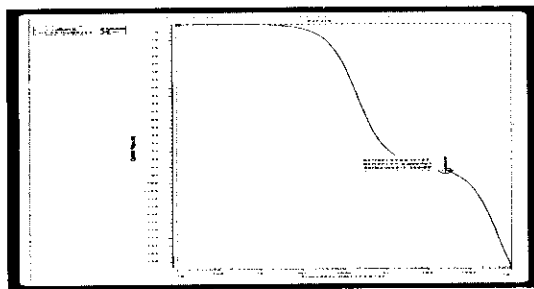


그림 7 제안된 적분기의 위상응답곡선

표 2 기본형과 제안된 적분기와의 성능비교

$$\begin{aligned} * G_2 &= g_{dsL} + g_{gsR}, G_3 = g_{m1} - g_{m2} \\ , G_4 &= g_{m11} - g_{m3} + g_{ds3} + g_{gs1} \end{aligned}$$

	기본형 적분기	대칭적 귀환전류 증가형 적분기
진폭(A)	$\frac{g_{m2} - g_{dsR}}{G_2 + G_3}$	$\frac{g_{m2} + g_{m3} - G_2}{G_3 + G_4}$
제 1극점 (P <sub>1</sub> )	$\frac{G_2 + G_3}{C_A}$	$\frac{G_2 + G_3 + G_4}{C_L}$
주파수 (ω <sub>0</sub> )	$\frac{g_{m2} - g_{dsR}}{C_A}$	$\frac{g_{m2} + g_{m3} - g_{dsR} - g_{ds3}}{C_L}$

표 2 제안된 필터의 사양비교표

측정항목	제안된 필터	대칭적 귀환전류 증가형 필터
공급전압	1.5V	1.5V
필터의 3dB-주파수	25MHz	25MHz
적분기의 위상응답	92.6°	92.6°
적분기의 DC 이득	43dB	43dB
칩면적	0.5mm × 0.6mm	0.5mm × 0.6mm
전력소모	0.3mW	0.3mW